الدوائر المنطقية

نظرى ... عملى

(مع شرح لما يزيد على ١٥٠ شريحة إلكترونية)

أ.د. محمد ابراهيم العدوى

قسم الإلكترونيات والاتصالات والحاسبات – كلية الهندسة بحلوان – جامعة حلوان

٢٠١٧

الإهداء

إلى كل من يحترم لغته ويعتز بها !!!

رجاء من كل قراء هذا الكتاب

الكتاب متاح لجميع القراء دون أى تكلفة وللاستفادة منه على أى وجه. فرجاء إذا رأيت عزيزى القارىء أنك قد استفدت منه فلا أطلب منك سوى الدعاء لمؤلفه إن كنت غير قادر ماديا، أما القارىء القادر ماديا فأطلب منه التبرع بما يستطيع لأى جهة خيرية يريد، وليكن على سبيل المثال مستشفى سرطان الأطفال ٥٧٣٥٧ بالقاهرة، أو مستشفى الكبد بالمنصورة، أو مستشفى القلب (مجدى يعقوب) بأسوان، أو هيئة مصر الخير، أو صندوق تحيا مصر، مع نية ثواب التبرع للمتبرع وللمؤلف.

المؤلف

أ.د.محمد ابراهيم العدوى

98eladawy@gmail.com

عرض الكتاب

لا شك أننا نعيش الآن فى عالم من الرقميات ابتداء من لعب الأطفال البسيطة وانتهاء بنظم التراسل مع الأقمار الصناعية والتليفونات المحمولة، فكلها تتعامل من خلال الإشارات الرقمية. من السهل جدا أن نتعامل مع مثل هذه الإشارات إذا تعلمنا أساسيات علم الإلكترونيات الرقمية بأسلوب سهل وبسيط على القارىء العربى.

لقد أصبح التعامل مع الإلكترونيات هذه الأيام من الأمور السهلة والبسيطة حتى على الهاوى غير المتخصص. يرجع ذلك إلى أن التعامل مع الإلكترونيات الآن أصبح على مستوى الأنظمة. فأنت الآن تستطيع شراء شريحة إلكترونية بقروش قليلة تحتوى مكبر إشارة كامل وكل ما عليك هو قراءة دليل هذه الشريحة لتعرف أين تضع إشارة الدخل، ومن أين ستأخذ الخرج، وأين ستضع مصدر القدرة للشريحة. وهكذا ستجد هناك فى سوق الإلكترونيات شريحة أو أكثر تستطيع بها بناء أى مشروع يخطر ببالك مهما كانت درجة تعقيده.

نحن هنا نقدم هذا الكتاب كخطوة أولى لتحقيق هذا الهدف، هدف أن يستطيع أى قارىء سواء كان من طلاب المراحل الأولى من كليات الهندسة أو من الهواة بناء أى دائرة يفكر فيها وذلك بأسلوب سهل وبسيط وبعيد عن التعقيد. **من أجل ذلك راعينا أن نعرض الخلفية النظرية لموضوعات الإلكترونيات الرقمية المهمة، ثم عرضنا بالشرح المبسط الكثير من الشرائح الموجودة فى السوق والتى تؤدى هذا الغرض من حيث الرسم الطرفى والوظيفى لكل شريحة.** ربما تحتوى المكتبة العربية على بعض الكتب فى هذا المجال والتى أغلبها من الكتب المترجمة، ولكن معظم هذه الكتب تهتم فقط بالناحية النظرية ونادرا ما تتعرض بالشرح لبعض الشرائح الذى يغنى القارىء عن الجرى وراء جمع كتالوجات هذه الشرائح، وهذا ما حاولنا تحقيقه هنا من خلال الشرح الكافى لما يزيد على ١٥٠ شريحة إلكترونية فى الموضوعات المختلفة. فكما أن هذا الكتاب صمم ليكون كتابا دراسيا للسنوات الأولى من كليات الهندسة، ومناسبا أيضا لهواة الإلكترونيات، إلا أنه يعتبر أيضا كتالوجا أو مرجعا فى الكثير من شرائح الإلكترونيات الرقمية. ولقد تم عمل جدول يضم أرقام هذه الشرائح ووظيفة كل منها وموقع كل منها فى الكتاب لسهولة الوصول إلى أى شريحة بسرعة.

الفصل الأول من الكتاب يعرض مقدمة عامة عن الإلكترونيات الرقمية تبدأ بالتعرف على الأنواع المختلفة للمقاومات والمكثفات وكيفية قراءتها وتحديد القدرة لها. بعد ذلك يعرض الفصل للأنواع المختلفة للشرائح الإلكترونية وكيفية التعامل مع أطرافها. بعد ذلك يقدم الفصل فكرة سريعة عن أجهزة القياس المستخدمة فى قياس وإظهار الإشارات الرقمية.

الفصل الثانى يقدم أنظمة العد المختلفة وكيفية التحويل من نظام لآخر وكيفية إجراء العمليات الحسابية فى هذه الأنظمة وبالذات النظام الثنائى حيث أنه هو النظام المستخدم فى الحاسبات والإلكترونيات الرقمية على وجه العموم.

الفصل الثالث يقدم كل أنواع البوابات المنطقية التى تعتبر أدوات الإلكترونيات الرقمية، وقدم الفصل أيضا للكثير من الشرائح المتاحة فى السوق والتى تؤدى وظيفة كل بوابة من هذه البوابات.

الفصل الرابع يقدم الجبر البولينى، هذا الجبر الذى يعتبر حساب الدوائر المنطقية. يقدم الفصل أيضا للطرق المختلفة لتبسيط التعبيرات المنطقية، وكيفية بناء هذه التعبيرات فى صورة دائرة إلكترونية من البوابات المختلفة وبأكثر من طريقة.

الفصل الخامس يقدم العديد من الدوائر المنطقية الشهيرة ومنها المشفرات Encoders ومحللات الشفرة Decoders ومنتقى البيانات Multiplexer وموزع البياناتDemultiplexer ويقدم الفصل أيضا للكثير من الشرائح المستخدمة فى ذلك.

الفصل السادس يقدم دوائر الحساب ومن أهمها المجمع بأنواعه وكيفية استخدامه كطارح ثم دوائر المقارنة والشرائح المستخدمة فى ذلك.

الفصل السابع يقدم شرحا وافيا للماسكات بأنواعها والفرق بين هذه الأنواع، ثم يختتم الفصل بالشرح الوافى للكثير من الشرائح الإلكترونية.

الفصل الثامن يقدم شرحا مفصلا للعدادات الرقمية كأحد تطبيقات القلابات الأساسية وأحد الدوائر الرقمية المستخدمة بكثرة فى الكثير من التطبيقات، ويختتم الفصل أيضا بالعديد من شرائح العدادات ذات الخواص والمواصفات المختلفة.

الفصل التاسع يقدم مسجلات الإزاحة كأحد التطبيقات كثيرة الاستخدام فى الدوائر والمشاريع الإلكترونية، ويختتم الفصل أيضا بشرح العديد من الشرائح المستخدمة لهذا الغرض.

الفصل العاشر يقدم شرحا للأنواع المختلفة من الذاكرة سواء ذاكرة القراءة والكتابة RAM أو ذاكرة القراءة فقطROM. ثم يقدم الفصل أيضا شرحا للعديد من شرائح الذاكرة شائعة الاستخدام.

الفصل الحادى عشر يعرض لكيفية بناء دوائر التوقيت المختلفة باستخدام شرائح متاحة فى السوق رخيصة الثمن جدا. كلنا نعلم مدى أهمية دوائر التوقيت فى الكثير من التطبيقات والمشاريع المختلفة. يقدم الفصل أيضا شرحا وافيا للكثير من شرائح التوقيت والاستخدامات المختلفة والخواص المميزة لكل شريحة.

الفصل الثانى عشر يقدم عرضا لنوع مهم من البوابات المنطقية وهى البوابات ثلاثية المنطق التى تستخدم بكثرة بالذات عند التعامل مع المعالجات والحاسبات.

بعد ذلك تم وضع قاموس لكل المصطلحات والكلمات الأجنبية التى تم استخدامها فى هذا الكتاب مع إعطاء نبذة مختصرة عن معنى هذه الكلمة واستخداماتها إذا تطلب الأمر. ولقد حاولنا فى أثناء الشرح وضع الكلمة أو المصطلح الإنجليزى كما هو باللغة الإنجليزية وبالذات عند أول ذكر له حتى لا نحرم المستخدم من معرفة ذلك. فى بعض المواضع القليلة فى الكتاب تم استخدام النطق الأجنبى لبعض الكلمات باللغة العربية ولكن بعد شرح المعنى العربى للكلمة. فمثلا بوابة الضرب المنطقى AND تم كتابتها بوابة آند لسرعة التعامل وكان ذلك فقط مع البوابات المنطقية وذلك لشيوع اللفظ الأجنبى وكثرة استخدامه.

يعتقد البعض أن الكتابة العلمية أو التدريس باللغة العربية هو محاربة للغات الأجنبية التى نحتاجها لمواكبة العلم والتكنولوجيا، ونحن نؤكد هنا على أننا لسنا ضد تعلم اللغات الأجنبية ولكننا ضد فكرة أن مواكبة العلم والتكنولوجيا لا تكون باللغة العربية. هل نحكم على رجل الشارع أن يتعلم اللغات الأجنبية حتى يمكنه النهوض بنفسه والتقدم مع العلم والتكنولوجيا، أم نحضر له العلم والتكنولوجيا على طبق من فضة بلغته فيستطيع استيعابها وهضمها، وعند ذلك فقط سيبدع ويظهر كل طاقاته التى كانت مخبأة وراء حاجز العجز اللغوى. إن معظم الشعب المصرى لديه ثقافة طبية ممتازة يستطيع بها أن يشخص المرض ويصف العلاج ونحن نعتقد أن ذلك مرجعه إلى المطبوعات العربية فى ذلك وكثرة الأدوية التى يستخدمها

وكلها لها نشرات باللغة العربية، حتى أن البعض اقترح عدم كتابة نشرات الأدوية باللغة العربية حتى لا يتمادى البعض فى وصف العلاج بنفسه ودون الرجوع للطبيب. لقد تأخرنا كثيرا نحن القائمين على تدريس المادة العلمية فى استخدام اللغة العربية فى كتابة مذكراتنا أو مؤلفاتنا وحتى فى التدريس فى قاعات المحاضرات حتى فرضت المصطلحات الأجنبية نفسها علينا وأصبحنا لا نستطيع الفكاك منها بالرغم من وجود المرادف العربى السهل لها. بالله لماذا يفضل البعض استخدام كلمة encoder ويتردد فى أن ينطق بكلمة مشفر، أو أن يقول multiplexer ويصيبه الخزى والعار إذا قال منتقى بيانات، والأمثلة لا حصر لها فى كل المجالات. إن كل تقارير متخصصى التربية العالميين توصى بأن يكون التدريس باللغة الأم لأى دارس وحذروا من خطورة الإفراط فى تعلم اللغات الأجنبية. إن هذا ما اتبعه اليابانيون وكل دول شرق آسيا التى وصلت إلى ما وصلت إليه الآن من تقدم علمى واقتصادى. التعليم فى اليابان باللغة اليابانية فى كل مراحل التدريس، ولا تدرس اللغات الأجنبية إلا كمقررات اختيارية يختارها من يريد تعلم هذه اللغة وأنا أعتقد أن هذا هو سر وصولهم إلى ما وصلوا إليه الآن. لقد جربنا كثيرا التمسك والإفراط فى أن الطريق إلى التقدم هو من خلال اللغات الأجنبية، فهل آن الأوان فى أن نجرب إعطاء اللغة العربية الفرصة الحقيقية لتكون لغة التدريس الأساسية فى الجامعات، وتوجه العناية للتأليف بها والترجمة إليها.

وأخيرا أتقدم بالشكر إلى كل أفراد أسرتى الذين أتاحوا لى الفرصة والوقت فى تجهيز وإعداد هذا الكتاب كخطوة وتجربة ثانية أرجو أن تتكرر للكتابة باللغة العربية التى لا عز لنا إلا بعزها ورفعتها. وأرجو أن أتلقى أى مقترحات فى هذا الشأن فبالتأكيد ستكون قوة دافعة.

المؤلف
أ.د. محمد ابراهيم العدوى
كلية الهندسة بحلوان جامعة حلوان
قسم الاتصالات والإلكترونيات والحاسبات
98eladawy@gmail.cpm

جدول الشرائح الموجودة فى هذا الكتاب

المحتويات

الفصل الأول

١

أساسيات عامة

General Principles

١–١ مقدمة

سنقدم فى هذا الفصل بعض المعلومات الأساسية التى نحتاجها عادة عند تصميم أى دائرة إلكترونية مثل أنواع المقاومات المتاحة فى السوق وكيفية تصنيفها وكيفية قراءتها ونفس الشيء سيكون بالنسبة للمكثفات. سنعرض أيضا للأشكال المختلفة للشرائح الإلكترونية وكيفية عد أطرافها. بعد ذلك سنعرض للفرق بين الأنظمة الرقمية والأنظمة الانسيابية أو التماثلية وأهمية استخدام الإشارات والأنظمة الرقمية فى عالم من الرقميات نعيشه الآن. سنختم هذا الفصل بعرض سريع للأجهزة المستخدمة فى بناء واختبار الدوائر الإلكترونية.

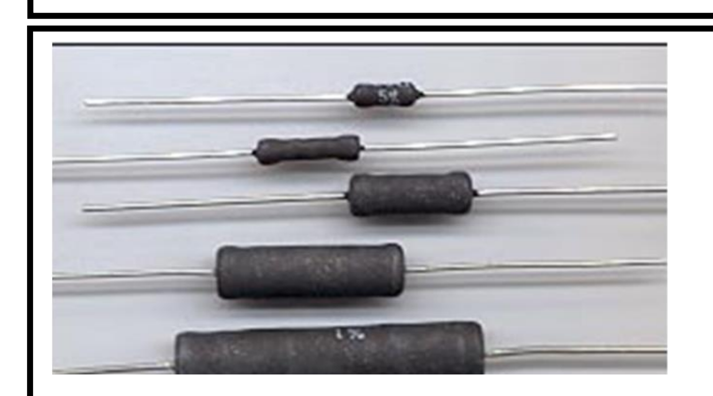
١– ٢ المقاومات الكهربية Resistances

أولا: المقاومات الثابتة القيمة

توجد المقاومة الكهربية فى أشكال متعددة منها المقاومات الثابتة القيمة والمتغيرة القيمة. توجد المقاومات الثابتة فى أحجام كثيرة على حسب القدرة الكهربية لكل مقاومة. القدرة الكهربية يقصد بها حاصل ضرب التيار المار فى المقاومة فى فرق الجهد الموجود على المقاومة ويقدر ذلك عادة بالوات. توجد مثلا مقاومات ربع وثلث ونصف وواحد واثنين وات، وأخرى تتحمل أكثر من وات وبالذات المقاومات المكونة من سلك ملفوف والتى تصل قدرتها إلى ٢٠٠ وات. تتميز المقاومات ذات الوات العالى بكبر حجمها ويكتب عليها فى العادة قيمتها بالأوم والقدرة التى تتحملها. شكل (١-١) يبين بعض هذه المقاومات التى تقدر قدرتها بربع وثلث ونصف وواحد وات ابتداء من أصغر مقاومة.



شكل (١-١) مقاومات كهربية مختلفة القدرة من ربع إلى واحد وات



شكل (١- ٢) أحد أشكال المقاومات ذات الوات العالى

الأشكال (١-٢ و ١-٣ و ١-٤ و ١-٥) تبين أشكالا مختلفة من المقاومات ذات الوات العالى. تتميز هذه المقاومات بدقتها العالية حيث أنها فى العادة تكون

ذات قيمة قليلة. فقيم هذه المقاومات تبدأ أحيانا من ٠،١ أوم وتصل إلى ١٥٠ كيلوأوم وهذه قيمة قليلة تحتاج لدقة عالية فى التصنيع.

المقاومات الموجودة فى شكل (١– ٣) تتميز بأن لها غلافا معدنيا يكون فى الغالب من الألومونيوم وذلك للمساعدة فى تسريب درجة الحرارة العالية التى من الممكن أن تتولد فى المقاومة نفسها. قيم هذه المقاومات تكون مكتوبة عليها فى الغالب كما فى الشكل.



شكل (١- ٤) أشكال أخرى للمقاومات ذات الوات العالى

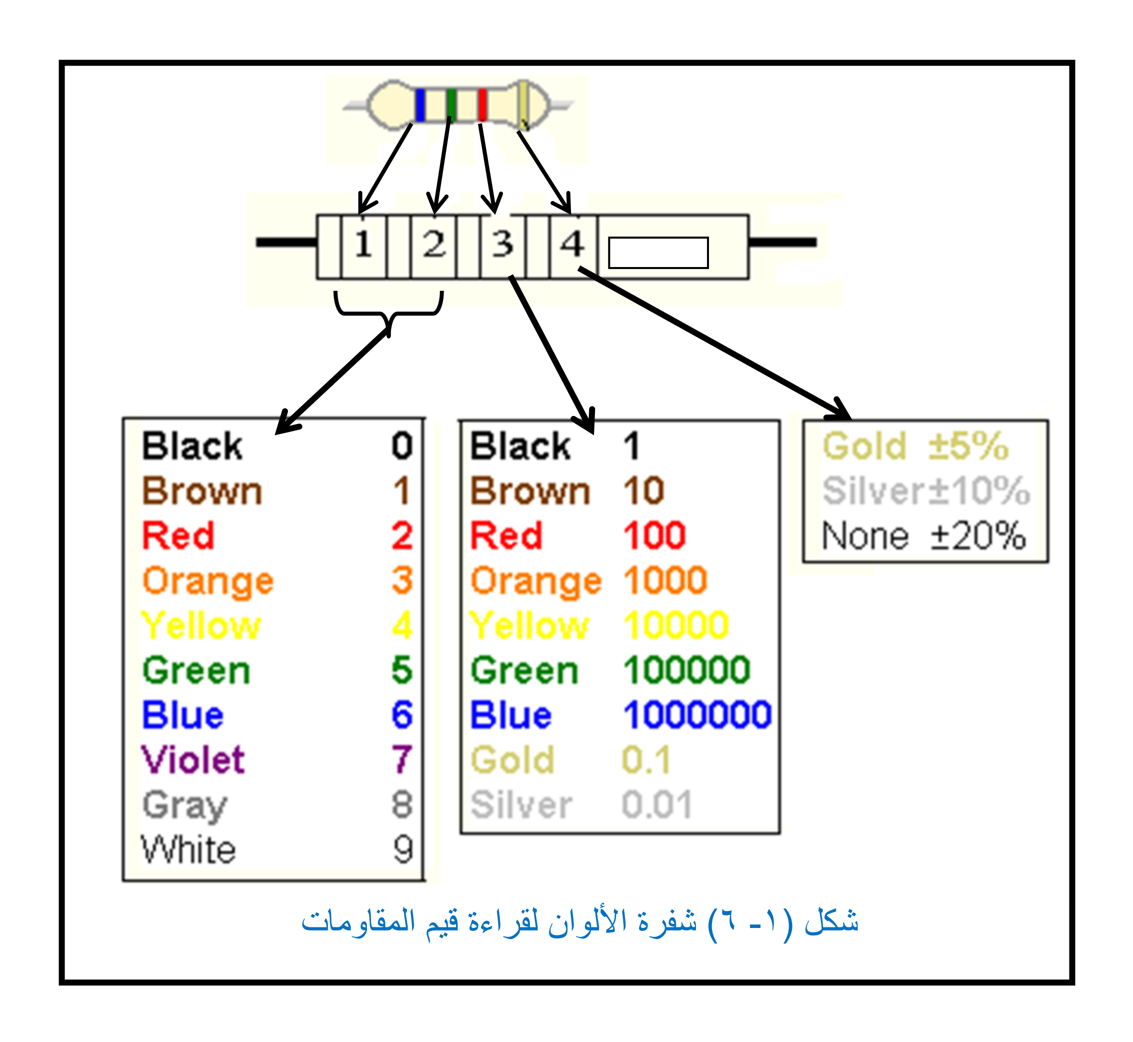


شكل (١- ٣) شكل آخر من المقاومات ذات الوات العالى المغلفة بمعدن لزيادة تسرب الحرارة



شكل (١- ٥) أشكال أخرى عديدة من المقاومات ذات الوات العالى

إذا كانت المقاومات ذات الوات العالى مكتوب عليها قيمتها، فماذا عن المقاومات ذات الوات المنخفض كيف نقرأ قيمتها؟ هذه المقاومات تكتب عليها قيمتها بطريقة مختلفة تماما وفى صورة شفرة من الحلقات الملونة كما فى شكل (١-١). تتكون شفرة القيمة لأى مقاومة من ٤ حلقات بألوان مختلفة حول جسم المقاومة كما فى شكل (١- ٦). الحلقتين الأولى والثانية من جهة اليسار تحددان أول رقمين فى المقاومة على حسب جدول الألوان الموجود فى شكل (١- ٦). إذا كانت الحلقة الأولى زرقاء كما فى الشكل فأول رقم فى المقاومة هو ٦، وإذا كانت الحلقة الثانية خضراء كما فى الشكل أيضا، فالرقم الثانى هو ٥. وعلى ذلك فأول رقمين فى قيمة هذه المقاومة هما ٦٥. الحلقة الثالثة على جسم المقاومة تحدد عدد الأصفار بعد الرقمين السابقين. فإذا كانت هذه الحلقة حمراء كما فى الشكل فإن ذلك يعنى أننا يجب أن نضع صفرين على يمين الرقمين السابقين أو أن نضربهما فى مائة لتصبح قيمة المقاومة ٦٥٠٠ أوم أو ٦,٥ كيلوأوم. الحلقة الرابعة على جسم المقاومة تحدد دقة تصنيعها، فاللون الذهبي يعني أن هذه المقاومة مصنعة بدقة مقدارها ٥%. أى أن قيمة المقاومة ستكون ٦٥٠٠ أوم زائد أو ناقص ٥% من هذه القيمة، وفى حالة عدم وجود حلقة رابعة فإن ذلك يعنى أن الدقة هى ٢٠% كما هو موضح فى شكل (١- ٦).



شكل (١- ٦) شفرة الألوان لقراءة قيم المقاومات

بعض المقاومات تحتوى حلقة خامسة على يمين حلقة الدقة. هذه الحلقة تعنى الإعتمادية أو الثقة reliability فى هذه المقاومة. شكل (١- ٧) يبين مثالا لأحد هذه المقاومات وجدول الألوان الذى يحدد مدى هذه الثقة فى المقاومة بعد

تشغيلها ١٠٠٠ ساعة. فمثلا اللون البرتقالى يعنى أن حد الثقة فى هذه المقاومة هو ٠,٠١% وهذا يعنى أن احتمال أن هذه المقاومة ستفشل فى الأداء بعد فترة عمل ١٠٠٠ ساعة هو ٠,٠١%، بمعنى آخر أن مقاومة من كل ١٠٠٠٠ مقاومة تفشل فى الأداء بعد فترة عمل مقدارها ١٠٠٠ ساعة. هناك ٤ ألوان فقط لتمثيل حد الثقة فى المقاومة وهى البنى والأحمر والبرتقالى والأصفر كما فى شكل (١ – ٧) حيث نلاحظ أنها آخر حلقة من ناحية اليمين على جسم المقاومة. كلمة أخيره نقولها هنا وهى أنه عند مسك المقاومة بين أصابعك لتقرأ قيمتها، دائما إبحث عن حلقة الدقة أولا التى تكون ذهبى أو فضى واجعلها ناحية اليمين ثم ابدأ فى قراءة الحلقات من اليسار كما أشرنا. إذا كانت هذه المقاومة لا تحتوى حلقة للدقة فاجعل المساحة الفاضية من جسم المقاومة التى لا تحتوى حلقات ألوان ناحية اليمين ثم ابدأ.

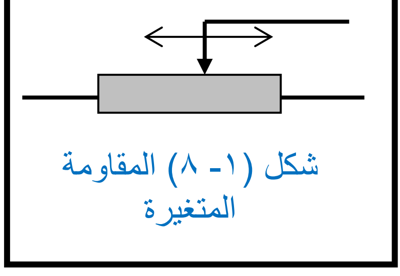


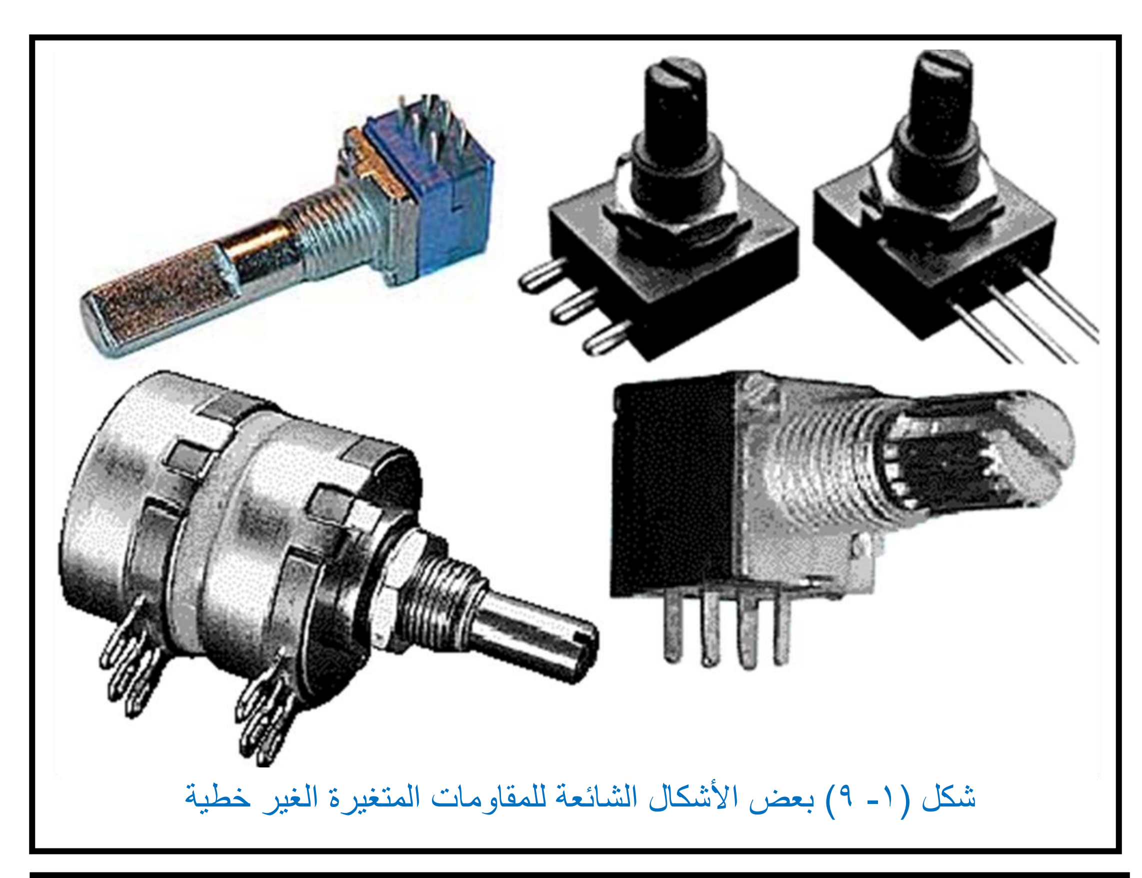
شكل (١- ٧) حد الثقة فى المقاومة

ثانيا: المقاومات المتغيرة

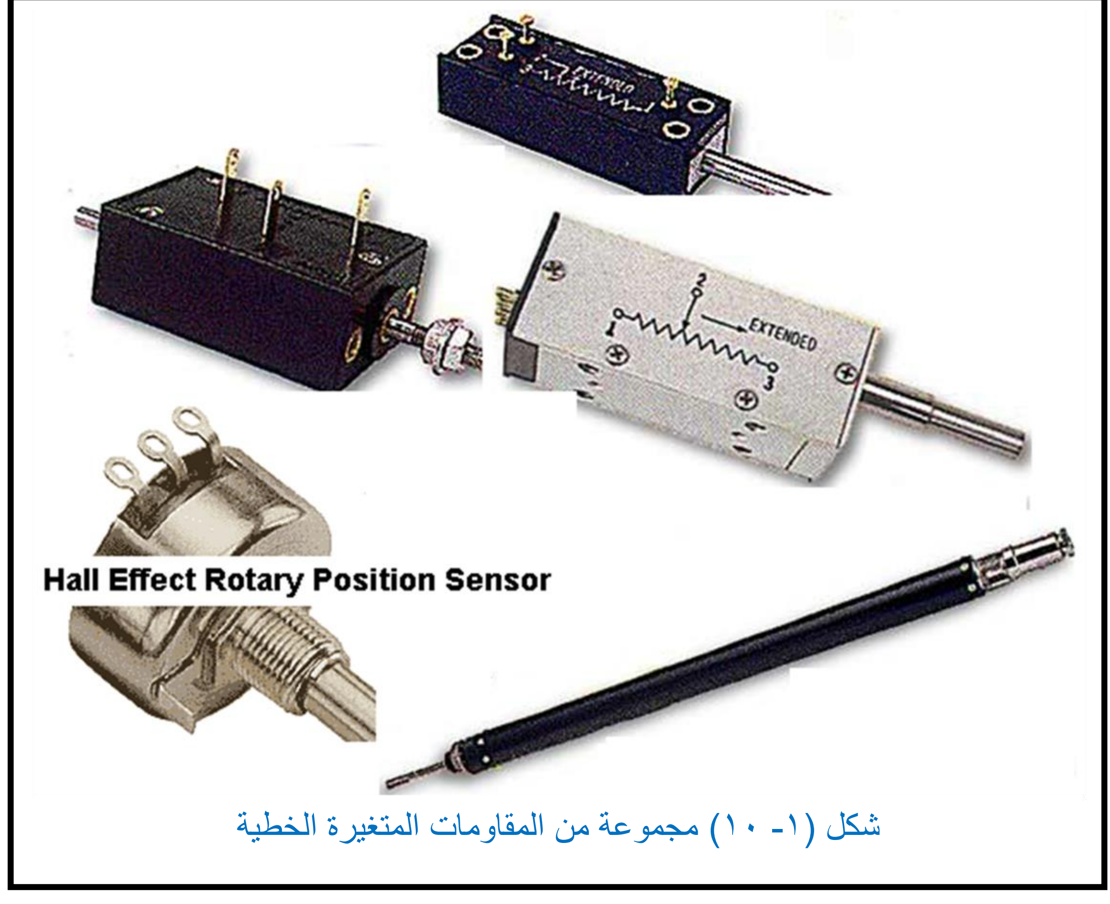
Potentiometer

توجد المقاومات المتغيرة فى أشكال وقيم عديدة وفى الغالب تكون الأشكال مناسبة لطبيعة الوضع أو المكان الذى تستخدم فيه هذه المقاومة. فمقاومة التحكم فى شدة الصوت مثلا تختلف فى الشكل عن مقاومة التحكم فى سرعة موتور من حيث الشكل فقط. المقاومات المتغيرة تكون عبارة عن طرف منزلق يتحرك بين طرفين ثابتين كما فى شكل (١ – ٨). العلاقة بين حركة المنزلق والتغير الحادث فى قيمة المقاومة تكون خطية أو غير خطية. فى حالة العلاقة غير الخطية فإن التغير فى قيمة المقاومة لا يقابل تغير خطى فى حركة منزلق المقاومة وهذا هو النوع الشائع من المقاومات المتغيرة وهى رخيصة الثمن. النوع الثانى من المقاومات المتغيرة هو النوع الخطى والذى يعنى أن أى تغير فى حركة المنزلق يعطى تغير فى قيمة المقاومة متناسب خطيا مع هذه الحركة. هذا النوع أغلى سعرا من النوع السابق ويستخدم فى التطبيقات التى تحتاج لتغيرات دقيقة فى قيمة المقاومة. شكل (١ – ٩) يبين العديد من الأشكال المتاحة فى السوق من المقاومات المتغيرة. شكل (١ – ١٠) يبين مجموعة من المقاومات الخطية. هناك أشكال عديدة أخرى لا يتسع المكان لحصرها هنا.


شكل (١- ٨) المقاومة المتغيرة

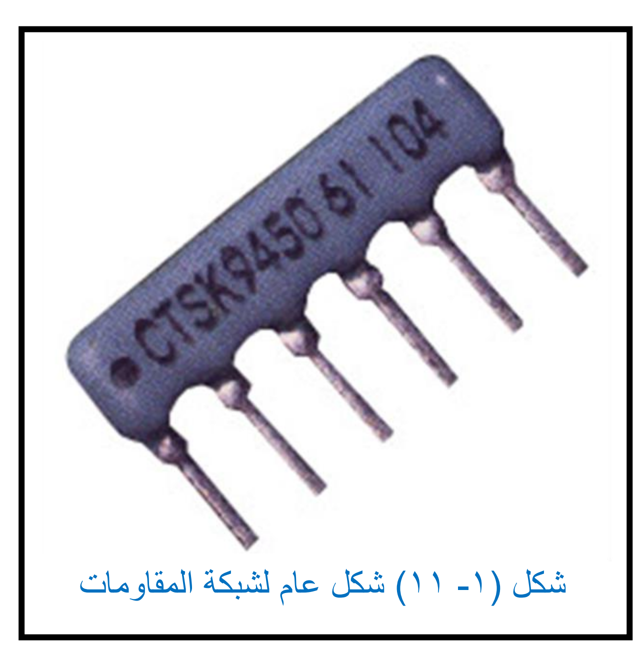


شكل (١- ٩) بعض الأشكال الشائعة للمقاومات المتغيرة الغير خطية



شكل (١- ١٠) مجموعة من المقاومات المتغيرة الخطية

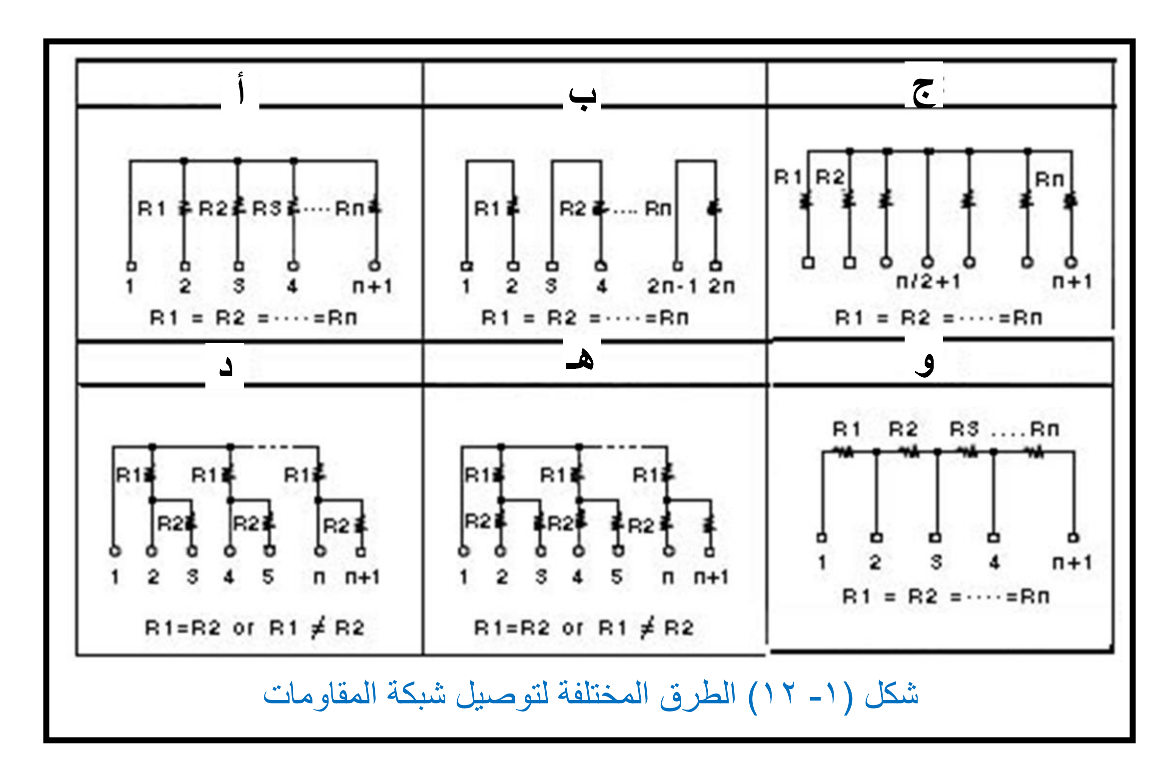
ثالثا: شبكة المقاومات Resistor Network



شكل (١- ١١) شكل عام لشبكة المقاومات

شبكة المقاومات كما فى شكل (١- ١١) تحتوى عدد من المقاومات المتساوية الموصلة مع بعضها بطريقة معينة داخل نفس المحتوى. شكل (١- ١٢) يبين الطرق المختلفة لتوصيل هذه المقاومات مع بعضها داخليا. شكل (١- ١٢أ) مثلا يبين توصيل كل المقاومات فى نقطة واحدة عامة والطرف الثانى لكل مقاومة والطرف العام تخرج كأطراف من المحتوى. شكل (١- ١٢ب) يبين أن كل مقاومة تم إخراج طرفيها من المحتوى. حاول دراسة باقى طرق التوصيل فى شكل (١- ١٢) للتعرف على الطرق المختلفة الأخرى للتوصيل. نؤكد هنا على أن كل المقاومات داخل الشبكة تكون متساوية. تستخدم شبكة المقاومات فى الكثير من التطبيقات التى تتطلب هذه المقاومات مثل توصيل مقاومات على التوالى مع مجموعة من الدايودات المضيئة LED.

شكل (١- ١٣) يبين صورا لمقاومات متغيرة تستخدم فى بعض الأغراض الخاصة مثل التحكم فى الصواريخ وسفن الفضاء والأزرع الآلية (الروبوت) حيث تكون هذه المقاومات متناهية الدقة.



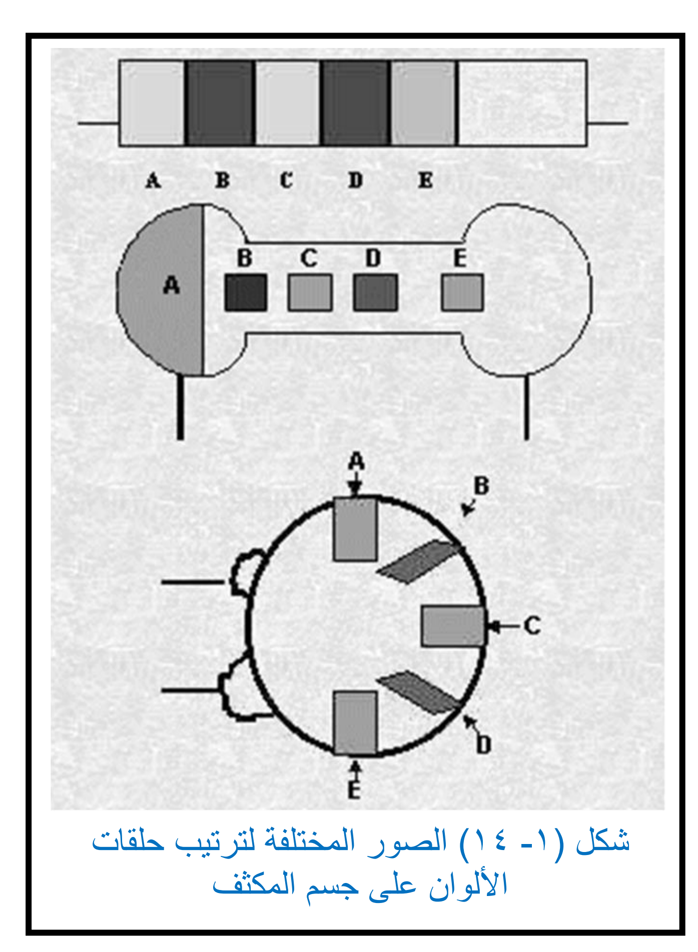
شكل (١- ١٢) الطرق المختلفة لتوصيل شبكة المقاومات



شكل (١- ١٣) صور كثيرة للمقاومات المتغيرة المستخدمة لأغراض خاصة

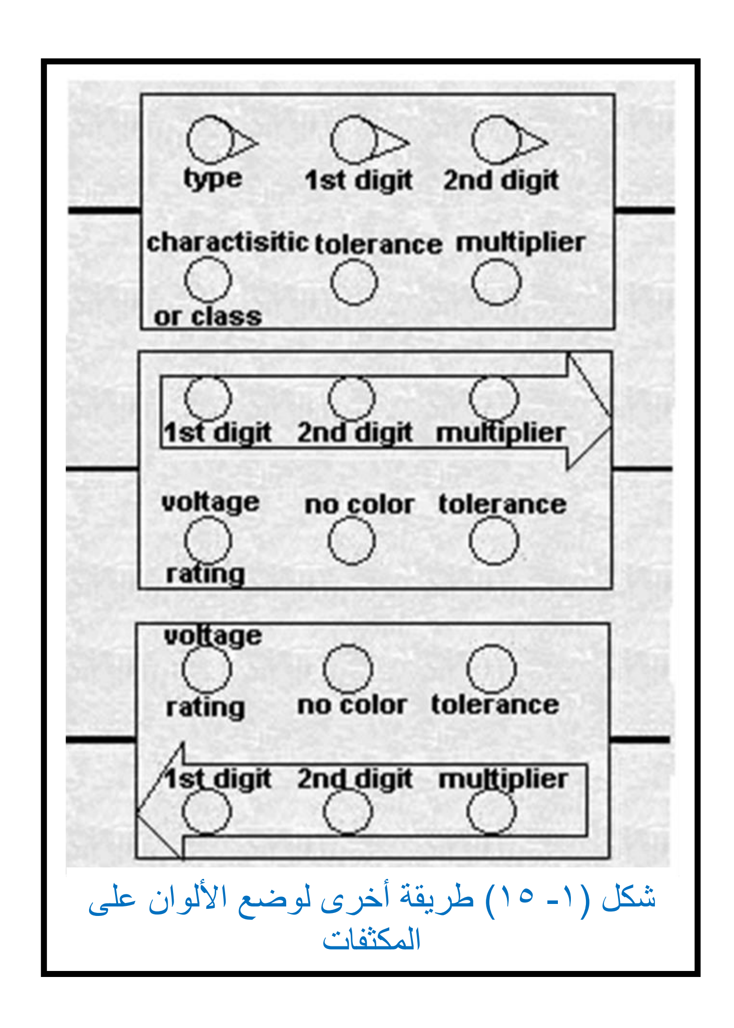
١-٣ المكثفات الكهربية Capacitors

توجد المكثفات الكهربية فى الكثير من الأشكال ومنها الثابت القيمة والمتغير ويتم تصنيفها بطرق عديدة، فهى إما أن تصنف على حسب فرق الجهد الذى يمكن أن تتحمله، أو على حسب طريقة التصنيع. قيمة المكثف إما أن تكتب على جسم المكثف إذا كان الوضع يسمح بذلك أو يتم قراءتها عن طريق شفرة ألوان كما كان يحدث فى حالة قراءة قيمة المقاومات. شكل (١- ١٤) يبين طريقة ترتيب الألوان على جسم المكثف حسب شكله. كما فى الشكل نجد أن هناك ٥ حلقات أو ٥ ألوان وهذه الألوان يتم تمييزها بالحروف A, B, C, D, E من اليسار كما فى شكل (١- ١٤). الحرف A يمثل المعامل الحرارى للمكثف، أى مقدار التغير فى قيمته نتيجة التغير فى درجة الحرارة. الحرف B هو الرقم الأول من القيمة. الحرف C يمثل الرقم



شكل (١- ١٤) الصور المختلفة لترتيب حلقات الألوان على جسم المكثف

الثانى من القيمة. الحرف D يمثل معامل الضرب أو بمعنى آخر عدد الأصفار. الحرف E يمثل الدقة فى قيمة المكثف. القيمة المحسوبة من هذه الشفرة تكون بالبيكوفاراد PF. القيمة العددية لكل لون هى نفس القيم المستخدمة مع المقاومات كما فى شكل (١- ٦). عدد الألوان على جسم المكثف من الممكن أن يكون ثلاثة أو ستة وفى كل حالة تبقى الشفرة كما هى. شكل (١- ١٥) يبين طريقة أخرى لوضع الألوان على جسم المكثف حيث توضع فى صورة دوائر كما فى الشكل وترتب تبعا لسهم يرسم على جسم المكثف كما فى الشكل أيضا. هناك ٣ دوائر مهمة، الأولى والثانية تمثل الرقم الأول والثانى والدائرة الثالثة تمثل عدد الأصفار التى توضع على يمين الرقمين السابقين كما كان الحال مع كود المقاومات. شكل (١- ١٦) يبين بعض الصور المختلفة والشائعة للمكثفات.



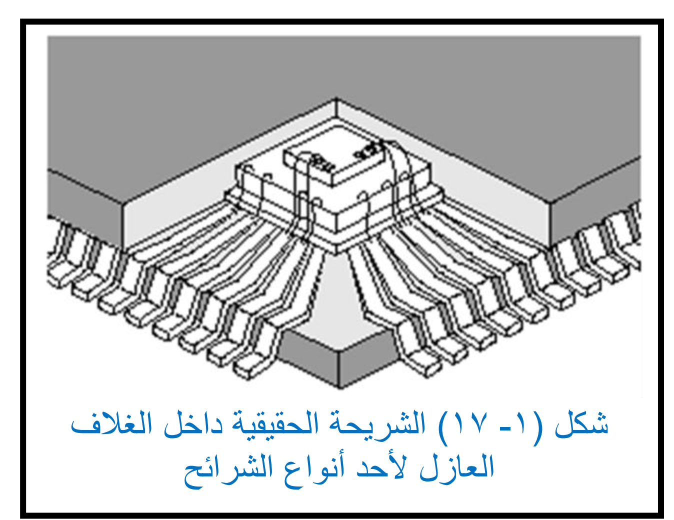
شكل (١- ١٥) طريقة أخرى لوضع الألوان على المكثفات

١- ٤ الدوائر التكاملية Integrated Circuits, ICs

كل واحدة من الدوائر المنطقية التى سنتكلم عنها فى هذا الكتاب متاحة فى صورة شرائح إلكترونية. من مميزات وضع هذه الدوائر فى شرائح إلكترونية أنها ستكون صغيرة الحجم ورخيصة الثمن يمكن الاعتماد عليها فى الكثير من ظروف التشغيل reliable، كما أن معظم هذه الشرائح تستهلك القليل من القدرة الكهربية. لذلك لزم علينا أن نعرض للأشكال المختلفة للشرائح الإلكترونية المتاحة فى الأسواق وكيفية قراءة وترتيب أطراف هذه الشرائح حتى نستطيع التعامل معها معمليا .

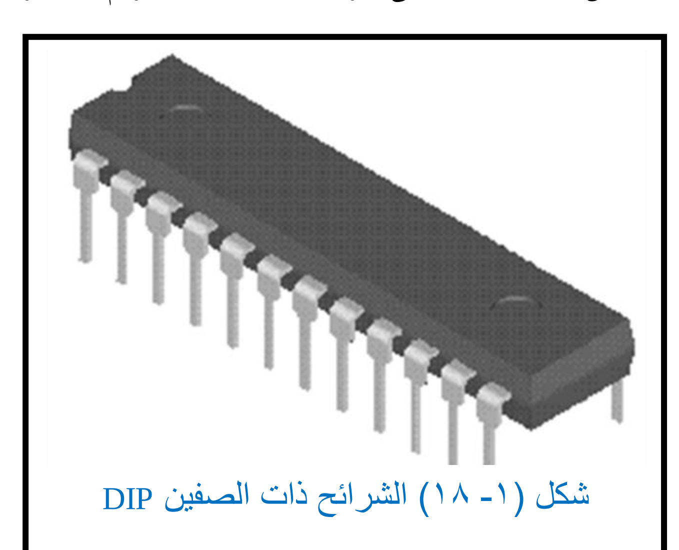
شكل (١- ١٦) الصور المختلفة للمكثفات

الكثير منا ينظر إلى الحجم الأسود لأى شريحة على أن هذا هو حجم الشريحة الأصلى، ولكن الحقيقة هى أن هذا الجسم الأسود يكون عادة من مادة عازلة تغطى أو تغلف الجسم الحقيقى للشريحة الموجود بالداخل وهذا الجسم فى العادة يكون صغيرا جدا بالنسبة لهذا الغلاف الأسود الموجود فقط لكى يتمكن المصنع من إخراج الأطراف المختلفة للشريحة بطريقة مريحة للمستخدم. شكل (١- ١٧) يوضح ذلك.



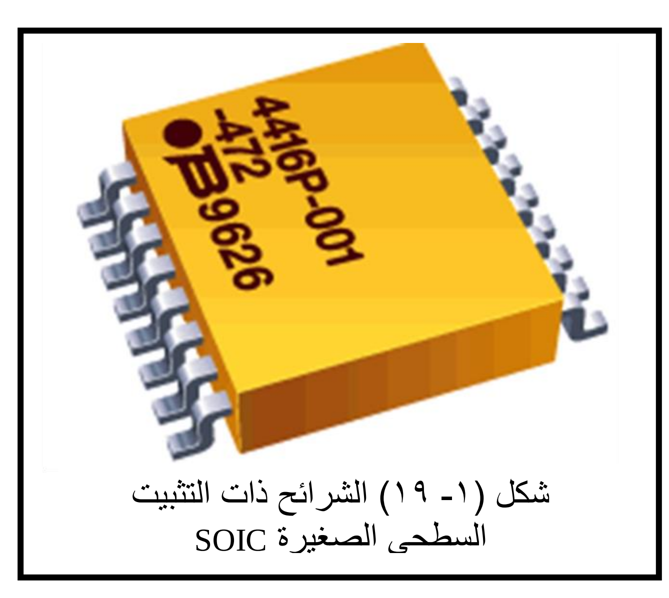
شكل (١- ١٧) الشريحة الحقيقية داخل الغلاف العازل لأحد أنواع الشرائح

هناك أكثر من طريقة لتغليف الشرائح الإلكترونية، أولها وأكثرها شيوعا هى الشرائح ذات الأطراف النافذة أو الخارمة. فى هذه الحالة لابد من عمل خرم أو فتحة لكل طرف من أطراف الشريحة على اللوحة ينفذ منها الطرف ويتم لحامة أو تثبيته من الناحية الأخرى للوحة التثبيت. أى أن الشريحة تكون موجودة على أحد أوجه اللوحة والأطراف مثبته على الوجه الآخر لها. من الأشكال الشائعة لذلك الشرائح المعروفة بذات الصفين النافذة Dual In line Package, DIP الموضحة فى شكل (١- ١٨).



شكل (١- ١٨) الشرائح ذات الصفين DIP

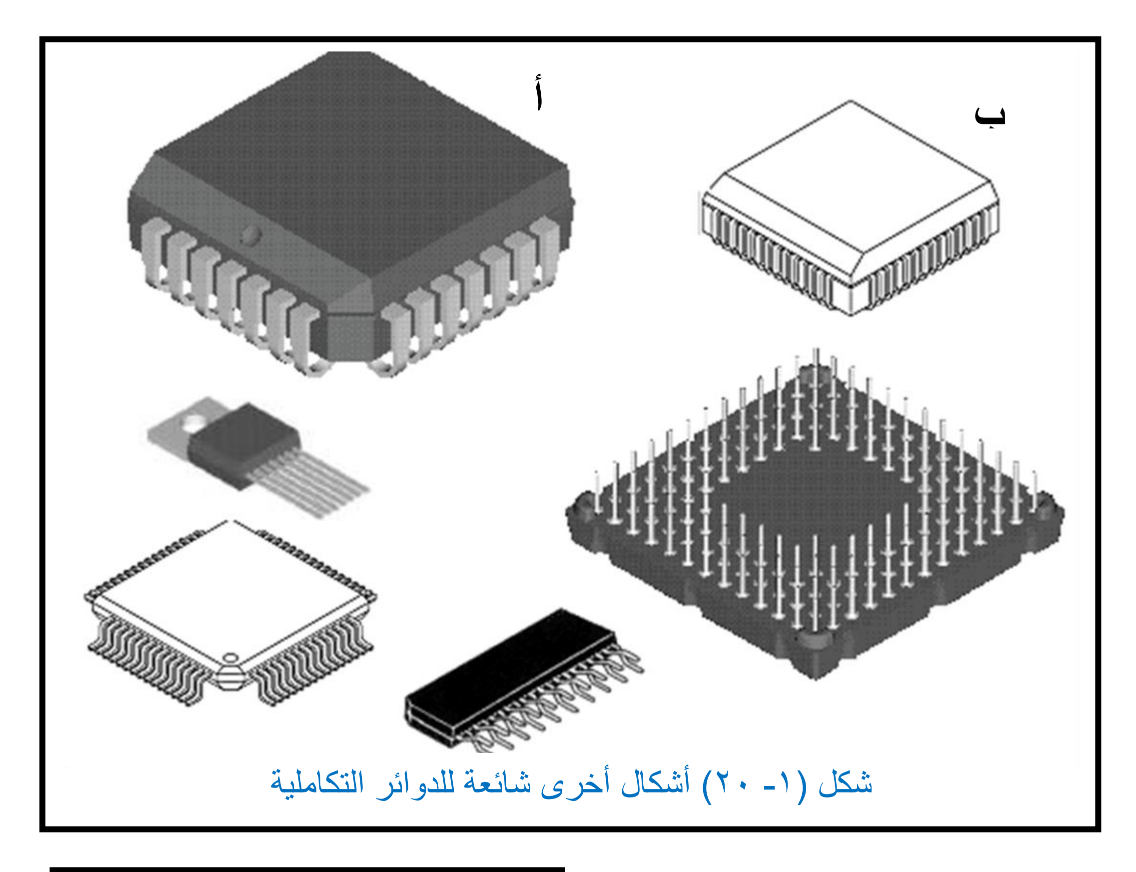
النوع الثانى من الشرائح هو الشرائح السطحية أو غير النافذة وهى لا تحتاج لتخريم اللوحة لتثبيتها ولكنها تثبت مباشرة على نفس السطح الموجودة عليه. وهذه بالطبع تكون أفضل فى الكثير من التطبيقات لأنها ستوفر مساحة على اللوحة كما أنها فى العادة تكون صغيرة الحجم. هذه الشرائح تسمى الشرائح السطحية الصغيرة Small Outline IC, SOIC. شكل (١- ١٩) يوضح مثالا لهذا النوع من الشرائح. هناك أشكال عديدة من الشرائح السطحية مثل الشرائح ذات الأرجل السلكية Plastic Leaded Chip Carrier, PLCC والتى تكون أطرافها عبارة عن أسلاك ملفوفة تحت جسم الشريح فى صورة الحرف J كما فى شكل (١- ٢٠أ). هناك أيضا الشريحة السيراميكية التى تكون أطرافها عبارة عن أسلاك لاصقة فى جسم الشريحة Leadless Ceramic Chip Carrier, LCCC كما فى شكل (١- ٢٠ب)، كما أن هناك أيضا العديد من الأشكال الأخرى الموضح بعضها فى شكل (١- ٢٠).



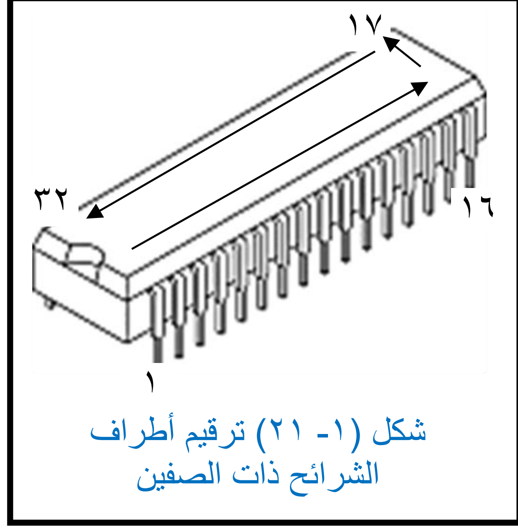
شكل (١- ١٩) الشرائح ذات التثبيت السطحى الصغيرة SOIC

ترقيم أطراف الشرائح التكاملية

فى العادة تكون هناك علامة على سطح أى شريحة تشير إلى الطرف رقم ١. نمسك بالشريحة أفقيا والسطح لأعلى والعلامة ناحيتنا ثم نبدأ عد الأطراف متجهين ناحية اليمين حتى آخر الصف ثم نلف للصف المقابل ونستمر فى العد متجهين ناحية اليسار كما فى شكل (١- ٢١). بنفس الطريقة مع جميع أشكال الشرائح التى رأيناها، نحدد الطرف ١، نعد متجهين ناحية اليمين مع جميع أطراف الشريحة دورانيا حتى ننتهى عند الطرف المقابل للطرف ١. حاول أن تطبق ذلك مع الشرائح الموجودة فى شكل (١- ٢٠) وبالذات الشريحة فى شكل (١- ٢٠أ) حيث علامة الطرف ١ موجودة فى منتصف صف وليس فى أحد الأركان كما تعودنا.



شكل (١- ٢٠) أشكال أخرى شائعة للدوائر التكاملية



شكل (١- ٢١) ترقيم أطراف الشرائح ذات الصفين

كثافة المكونات على الشريحة

أحيانا تصنف الشرائح الإلكترونية على حسب كثافة المكونات عليها حيث تقاس هذه الكثافة بعدد الترانزستورات المكونة لهذه الشريحة. لاحظ أن جميع مكونات أى شريحة تؤول فى النهاية إلى مجموعة من الترانزستورات. من هذه التصنيفات ما يلى:

١- **الشرائح ذات التكامل الصغير Small Scale Integration, SSI** وهى الشرائح التى تحتوى أقل من ١٠٠ ترانزستور، وهذه تحتوى بعض البوابات المنطقية والقلابات.

٢- **الشرائح ذات التكامل المتوسط Medium Scale Integration, MSI** وهى التى تحتوى من ١٠٠٠ حتى ١٠٠٠٠ ترانزستور، ويتكون منها العدادات والمسجلات والمشفرات ومحللات الشفرة.

٣- **الشرائح ذات التكامل العالى Large Scale Integration, LSI** وهى التى تحتوى من ١٠٠٠٠ حتى ١٠٠٠٠٠ ترانزستور، ويتكون منها شرائح الذاكرة والأجيال الأولى من المعالجات.

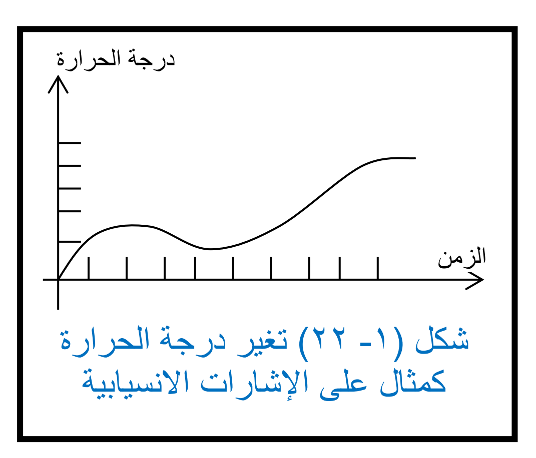
٤- **الشرائح ذات التكامل العالى جدا Very Large Scale Integration, VLSI** وهى التى تحتوى من ١٠٠٠٠٠ حتى مليون ترانزستور، ويتكون منها الأجيال المتوسطة من المعالجات وشرائح الذاكرة.

٥- **الشرائح فائقة التكامل Ultra Large Scale Integration, ULSI** وهى التى تحتوى فوق المليون ترانزستور. الأجيال الأخيرة من المعالجات حتى كتابة هذا الكتاب وصلت كثافتها حتى ٥٠ مليون ترانزستور.

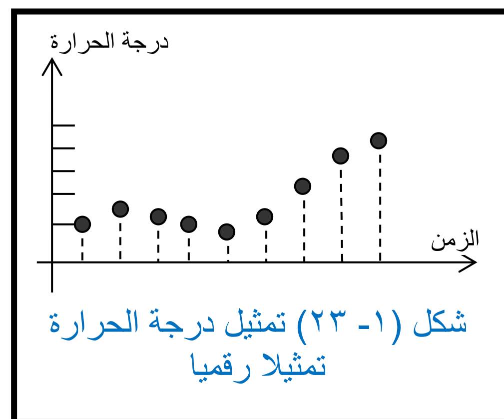
١-٥ الإشارات الانسيابية أو التماثلية والإشارات الرقمية

Analog and digital signals

توجد الإشارات الكهربية فى واحدة من صورتين، إما الصورة الانسيابية (التماثلية كما يطلق عليها أحيانا) أو الصورة الرقمية. الإشارة الانسيابية هى الإشارة التى تتغير قيمتها بصورة انسيابية من قيمة إلى قيمة مارة بجميع القيم الممكنة بين القيمتين. كمثال على ذلك درجة حرارة الجو التى تتغير قمتها بين قيمة صغرى (٢٠ درجة مثلا) وقيمة كبرى (٣٥ درجة مثلا). عندما تتغير درجة الحرارة من ٢٠ إلى ٣٥ درجة فإنها تمر بجميع القيم الممكنة بين هاتين القيمتين مثل ٢٠,٠٠١ و ٢٢,٠٠٠٠١ و ٣٣,٥٥٠٠٥ وهكذا. أى أن درجة الحرارة تنساب من قيمة إلى قيمة أخرى بحيث أنها لابد أن تأخذ أى قيمة تخطر على بالك فى المدى الذى تتغير فيه. شكل (١- ٢٢) يبين تغير هذه الإشارة مع الزمن. لاحظ أن هذه الإشارة انسيابية من حيث القيمة كما رأينا ، كما أنها انسيابية فى الزمن أيضا، فهذه الدالة يمكن أن تكون لها قيمة معينة عند أى زمن يخطر على بالك أيضا.



شكل (١- ٢٢) تغير درجة الحرارة كمثال على الإشارات الانسيابية

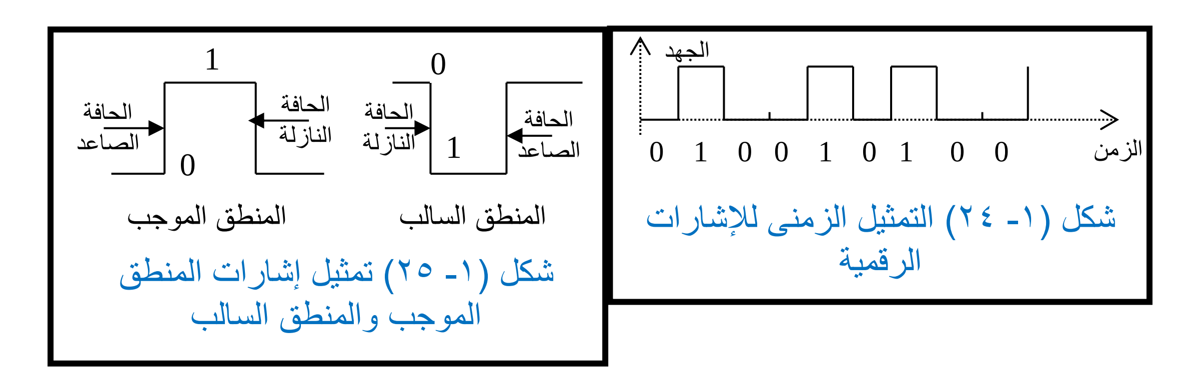


شكل (١- ٢٣) تمثيل درجة الحرارة تمثيلا رقميا

تخيل أننا بدأنا نأخذ درجة الحرارة عند فترات زمنية متساوية ومحددة، كل نصف ساعة مثلا. كما أننا سنقرأ درجة الحرارة عند كل زمن فى صورة رقم صحيح وخانة عشرية واحدة فقط. أى أن درجة الحرارة ستكون مثلا ٢٠ و ٢٢،١ و ٢٥،٩ و ٣٣،٤ وهكذا. هذا التمثيل لدرجة الحرارة نقول عنه أنه تمثيلا رقميا وهذه الإشارة نقول عنها أنها إشارة رقمية. شكل (١- ٢٣) يبين هذه الإشارة. بمجرد تحويل الإشارة الانسيابية إلى رقمية تصبح كل عينة من العينات الوضحة فى شكل (١- ٢٣) عبارة عن رقم يوضع فى العادة فى الصورة الثنائية المكونة من وحايد وأصفار. بالرغم من أن كل الإشارات الطبيعية (درجة الحرارة والصوت والضغط وشدة الإضاءة وغيرها الكثير) موجودة فى الصورة الانسيابية إلا أنه يمكن وضعها فى الصورة الرقمية تمهيدا لإدخالها إلى الحاسب حتى يمكن معالجتها رقميا بالحاسب وتخزينها فى صورة رقمية على أى وسط من أوساط التخزين. كلنا نرى الآن الصوت وقد تم تخزينه فى الحاسب بحيث يمكن استرجاعه فى أى وقت. كذلك إشارة الصورة فهناك الأفلام والأغانى المسجلة على ذاكرة

الحاسب أو على أقراص مدمجة. هناك طرق عديدة لتحويل الإشارات من الصورة الانسيابية إلى الرقمية والعكس ولكن هذا الموضع ليس هو المناسب لشرحها لأنها تحتاج لخلفيات لم يتم دراستها حتى الآن.

بعد تحويل أى إشارة إلى الصورة الرقمية (وحايد وأصفار) فإنها كإشارة جهد تأخذ مستويين فقط، مستوى يحدد الواحد، ومستوى يحدد الصفر. بذلك تصبح الإشارة الرقمية مع الزمن فى صورة موجة مربعة كما فى شكل (١– ٢٤). بعض الأنظمة الرقمية تخصص الجهد الأعلى للواحد والجهد الأقل للصفر، وهذه الأنظمة تسمى أنظمة المنطق الموجب positive logic كما أن بعض الأنظمة تخصص الجهد الأعلى للصفر والجهد الأقل للواحد وتسمى أنظمة المنطق السالب negative logic كما فى الشكل (١– ٢٥). لاحظ الحافة الصاعدة والحافة النازلة فى كل حالة.



شكل (١- ٢٥) تمثيل إشارات المنطق الموجب والمنطق السالب

شكل (١- ٢٤) التمثيل الزمنى للإشارات الرقمية

من الأشياء الغير مرغوب فيها التى يمكن أن تحدث مع الموجات المربعة هو تجاوز الحدود عند الحافة الصاعدة أو النازلة والرنين أيضا الذى يكون عبارة عن موجة جيبية تموت بعد فترة زمنية كما فى شكل (١– ٢٦). هذه العيوب تظهر فى العادة نتيجة وجود مكثفات طفيلية غير مرغوب فيها فى الدائرة.

تجاوز الحد الأعلى
رنين
رنين
تجاوز الحد الأدنى

شكل (١- ٢٦) تجاوز الحد والرنين فى الموجات المربعة

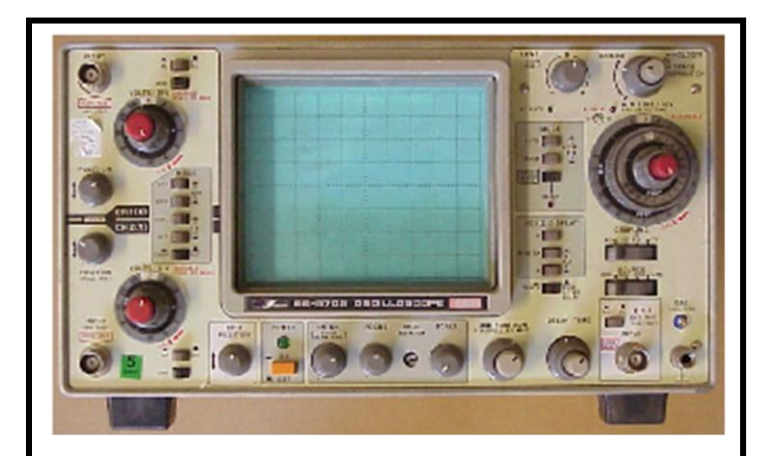
١– ٦ الأجهزة المستخدمة لاختبار الدوائر الرقمية

سنعرض هنا سريعا لبعض الأجهزة الكثيرة الاستخدام فى اختبارات وقياسات الإشارات عموما والرقمية بالذات، ونؤكد على أننا لن نشرح هذه الأجهزة بالتفصيل لأن المكان المخصص لذلك هو مقرر قياسات ولكننا سنعرض شرحا سريعا مع صورة تبين كل واحد من هذه الأجهزة.

مبين الذبذبات (الأوسولوسكوب) Oscilloscope

يعتبر الأوسولوسكوب من أكثر أجهزة القياس استخداما فى معامل الإلكترونيات. يستخدم الأوسولوسكوب لبيان شكل الموجة الكهربية وكيفية تغيرها مع الزمن حيث يعرض العلاقة بين الجهد (أو التيار) مع الزمن. يمكن بذلك تحديد تردد

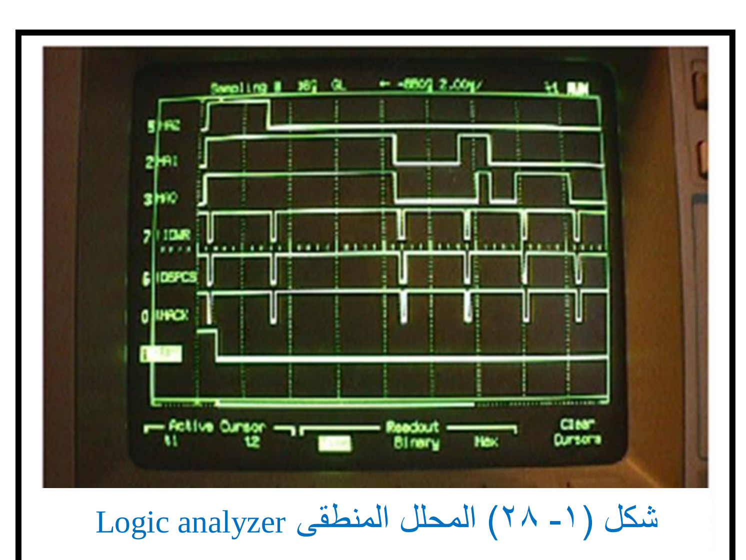
الموجة ومقدار جهدها وزمن الارتفاع وزمن الانخفاض، كما يمكن ملاحظة أى تشويه فى شكل الموجة. يمكن كذلك عرض موجتان فى نفس الوقت وملاحظة العلاقة بينهما. فمثلا يمكن عرض دخل الدائرة وخرجها فى نفس الوقت وملاحظة الفرق بينهما لمعرفة إذا كان هناك إزاحة فى زاوية الطور بينهما أو إذا كان كل منهما معكوس الآخر، وعلاقة التردد بين كل منهما. شكل (١- ٢٧) يبين صورة لأوسولوسكوب بقناتين. هناك بعض الأوسولوسكوبات الغالية الثمن التى تحتوى على ثلاث قنوات أو أربع قنوات وليس أكثر من ذلك.



شكل (١- ٢٧) الأوسولوسكوب Oscilloscope

المحلل المنطقى Logic analyzer

يستخدم المحلل المنطقى فى دوائر المعالجات أو الحاسبات بكثرة نظرا لوجود الكثير من الإشارات التى يلزم رؤيتها كلها فى نفس الوقت لتحليلها ومعرفة العلاقات بينها مثل الإشارات على خطوط مسار البيانات أو مسار العناوين أو خطوط التحكم. يمكن استخدام المحلل المنطقى فى أكثر من طريقة لعرض الإشارات كما يلى:



شكل (١- ٢٨) المحلل المنطقى Logic analyzer

١- يستخدم المحلل المنطقى كأوسولوسكوب حيث يمكن عرض الإشارة مع الزمن ويمكن عرض أكثر من إشارة فى هذه الطريقة قد يصل إلى ٤ إشارات فى نفس الوقت.

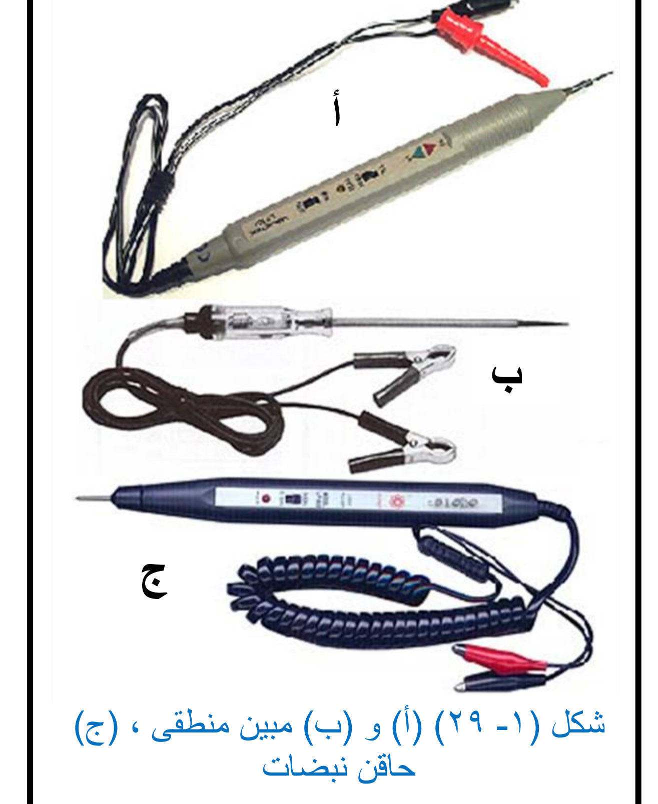
٢- يستخدم المحلل المنطقى لبيان المخطط الزمنى لعدد من الإشارات يصل إلى ١٦ و ٣٢ إشارة فى نفس الوقت. المخطط الزمنى فى هذه الحالة يبين العلاقة الزمنية لكل إشارة وهل هى واحد أم صفر عند أى لحظة زمنية. عرض الإشارات يختلف عن الحالة السابقة حيث لا يبين تفاصيل مقدار الإشارة إلا أنها صفر أم واحد. هذه الحالة مهمة جدا فى بيان إشارات البيانات أو العناوين فى المعالجات أو الحاسبات.

٣- يمكن للمحلل المنطقى أن يعرض أكثر من إشارة بطريقة الأوسولوسكوب كما فى الطريقة الأولى وفى نفس الوقت يعرض باقى الإشارات فى نظام المخطط الزمنى كما فى الحالة الثانية.

٤- يمكن للمحلل المنطقى أن يعرض الإشارات بنظام جدول الحقيقة حيث يعرض الإشارات عبارة عن وحايد وأصفار مكتوبة وليست فى مخطط زمنى كما فى الحالة الثانية. شكل (١- ٢٨) يبين رسما توضيحيا للمحلل المنطقى.

المبين المنطقى Logic probe

هذا المبين عبارة عن أداة سهلة وبسيطة تمسك فى اليد وهى فى حجم القلم العادى تستخدم لاختبار نقطة معينة فى الدائرة لمعرفة هل الجهد عند هذه النقطة واحد أم صفر أم عبارة عن نبضات حيث يتم بيان كل حالة على لمبة بيان معينة مع صوت رنيني معين لكل حالة. شكل (١ -٢٩أ و ب) يبين شكلين مختلفين لهذا المبين. هذا المبين رخيص الثمن ويمكن أن يكون فى متناول أى واحد من الهواة.



شكل (١- ٢٩) (أ) و (ب) مبين منطقى ، (ج) حاقن نبضات

حاقن النبضات Pulse injector

حاقن النبضات يشبه المبين المنطقى تماما سوى أنه يمكن به حقن نبضات عند نقطة معينة فى الدائرة كدخل لهذه الدائرة حيث يمكن ملاحظة استجابة الدائرة لهذه النبضات عند أى خرج من مخارج الدائرة. شكل (١- ٢٩ ج) يبين هذا الحاقن.

جهاز القياس متعدد الأغراض Multimeter

هذا الجهاز من الأجهزة كثيرة الاستخدام فى اختبار الدوائر الإلكترونية سواء الرقمية أو غير الرقمية. يمكن بهذا الجهاز قياس المقاومة بالأوم وقياس التيار وفرق الجهد سواء كان متردد أو مستمر. يتميز هذا الجهاز بصغر حجمه ورخص ثمنه بحيث يمكن أن يكون فى متناول أى هاوى. شكل (١-



شكل (١- ٣٠) الجهاز متعدد الأغراض Multimeter

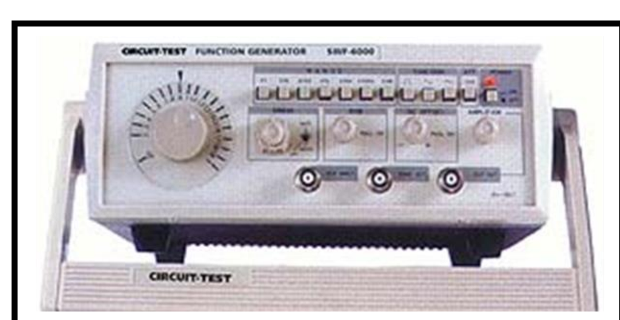
٣٠) يبين صورة لهذا الجهاز. هذا الجهاز منه الأنواع الرقمية كما فى الشكل أو الأنواع الانسيابية ذات المؤشر.

مولد ذبذبات Function generator

لابد أن يحتوى أى معمل للإلكترونيات على أجهزة توليد الذبذبات بالأشكال المختلفة سواء الموجات الجيبية أو المربعة أو المثلثة أو الموجات TTL القياسية، مع إمكانية تغيير كل من تردد ومقدار أى واحدة من هذه الموجات. شكل (١-٣١) يبين مولد الذبذبات.

مصدر قدرة Power supply

لابد أن يحتوى أى معمل للإلكترونيات على مصادر قدرة تستخدم لتشغيل أى دائرة أو نظام إلكترونى تنوى اختباره أو تشغيله. فى العادة تعطى مصادر القدرة جهدا متغيرا يمكن التحكم فيه أو جهدا ثابتا ٥ فولت يستخدم لتغذية الدوائر الرقمية بالذات. شكل (١- ٣٢) يبين أحد مصادر القدرة. تباع الآن فى محلات الإلكترونيات دوائر مصادر قدرة بسيطة وصغيرة الحجم ورخيصة الثمن كافية جدا للاستخدام مع المشاريع الشخصية التى ينفذها أى واحد من الهواة.



شكل (١- ٣١) مولد ذبذبات Function generator



شكل (١- ٣٢) مصدر قدرة Power supply

١-٧ تمارين

٢- حاول قراءة العديد من المقاومات ذات الألوان المتاحة فى المعمل أو على أى لوحة إلكترونية يمكنك العثور عليها.

٣- بعد قراءة كل مقاومة فى التمرين السابق عن طريق ألوانها حاول قياسها باستخدام الجهاز متعدد الأغراض، وقارن بين النتيجتين. هل هناك خطأ؟ وهل هذا الخطأ يقع فى المدى المحدد لدقة المقاومة؟

٤- حاول توصيل أكثر من مقاومة على التوالى، ثم على التوازى وقس قيمة المقاومة الناتجة فى كل حالة.

٥- أعد التمارين ١ و ٢ و ٣ ولكن هذه المرة على المكثفات.

٦- على أى لوحة من اللوحات الإلكترونية حاول التعرف على أنواع الشرائح الإلكترونية المثبتة عليها.
٧- حاول التعرف على كل أجهزة القياس الموجودة فى المعمل أو الورشة التى تتدرب فيها.
٨- وصل مولد الذبذبات على الأوسولوسكوب ولاحظ الأشكال المختلفة للموجات التى ينتجها المولد.
٩- حاول قياس تردد ومقدار كل إشارة وقارن القراءة التى تحصل عليها من على الأوسولوسكوب مع القراءة الموجودة على زر المولد.

الفصل الثانى



أنظمة العد

Numbering Systems

٢–١ مقدمة

نحن نعيش فى عالم من الأرقام العشرية التى تتكون من العشرة أرقام الشهيرة صفر حتى تسعة. فلماذا ارتبطنا بهذا النظام؟ ولماذا توقفت صورة الأرقام عند تسعة؟ هل هذا له علاقة بأن أصابع اليد عشرة؟ لا أحد يدرى ... ربما ! السؤال الآن هو: هل من الممكن أن نستخدم نظام آخر للعد غير النظام العشرى decimal system؟ تخيل أننا افترضنا وجود نظام ثنائى مثلا لا يحتوى إلا الرقم صفر والرقم واحد، أى أن أصابع اليد كانت اثنين بدلا من عشرة!. كيف سيكون العد فى ظل هذا النظام، وكيف سنجمع أو نطرح فى هذه الحالة؟ ولماذا النظام الثنائى binary system فقط؟ ماذا لو فرضنا نظام عد آخر يتكون من ثمانية أرقام، الصفر حتى سبعة (النظام الثمانى octal system)! أو النظام الستعشرى hexadecimal system الذى يتكون من ستة عشرة رقما، صفر حتى ١٥، أو حتى أى نظام عد آخر. سنرى بالتفصيل فى هذا الفصل كيفية استخدام أى نظام عد يختلف عن النظام العشرى. المفاجأة كما سنرى هى أن بعض هذه الأنظمة تكون مفيدة جدا فى بعض المواقف، فالنظام الثنائى مثلا هو النظام المستخدم بكثرة فى أنظمة الحاسبات، وشاع استخدام النظام الثمانى والنظام الستعشرى كذلك، ومعظم تعاملنا فى هذا الكتاب سيكون مع الأرقام الثنائية كما سنرى.

٢–٢ النظام العشرى Decimal system

لابد من المرور على نظام العد العشرى وحقائق استخدامه حتى نستخدم هذه الحقائق ونعممها للحصول على أنظمة العد الأخرى. إننا فى النظام العشرى نستخدم عشرة أرقام من صفر حتى تسعة للتعبير عن الكميات من صفر حتى تسعة. عندما نعبر عن كميات أكبر من التسعة نستخدم عددا مركبا من نفس الأرقام من صفر حتى تسعة ولكن فى هذه الحالة فإن موضع الرقم داخل العدد يكون له وزنا معينا. فمثلا العدد أو الكمية ٥١ تتكون من رقمين الواحد والخمسة ولكن الخمسة هنا موجودة فى موقع أو فى خانة العشرات التى يوزن كل واحد فيها بعشرة، لذلك فإن الخمسة فى هذه الخانة تمثل خمسين. بينما الواحد يوجد فى خانة الآحاد التى يمثل كل واحد فيها بنفس قيمته أى بواحد. لذلك فإن الرقم ٥١ يمكن أن نكتبه على هذه الصورة:

$51=5\times10+1\times1$

وهكذا تم استحداث خانات جديدة مثل خانات المآت التى يمثل كل واحد فيها بماءة وخانة الآلاف التى يمثل كل واحد فيها بألف، وهكذا نرى أن هذه الخانات عبارة عن قوى أو أسس الرقم عشرة التى نقول عنها أنها قاعدة هذا النظام. الكمية ٤٩٩ مثلا يمكن كتابتها كما يلى:

$499=4\times10^2+9\times10^1+9\times10^0$

وكذلك الكمية 87535 يمكن كتابتها على الصورة:

$87535=8x10^4+7x10^3+5x10^2+3x10^1+5x10^0$

إذا كانت الكمية العشرية تحتوى كسرا فإن الأرقام الكسرية التى على يمين العلامة العشرية تكتب منسوبة إلى قوى سالبة من الرقم أو القاعدة ١٠ كما يلى:

$535.25=5x10^2+3x10^1+5x10^0+2x10^{-1}+5x10^{-2}$

وهكذا يمكن التعبير عن أى كمية بالأرقام من صفر حتى تسعة عن طريق فرض قيمة معينة لموضع الرقم داخل الكمية أو داخل العدد. قبل أن نترك النظام العشرى decimal إلى النظام الثنائى binary نؤكد على أن هذا النظام به عشرة أرقام صفر حتى تسعة، وقاعدة هذا النظام هى العشرة.

٢-٣ نظام العد الثنائى Binary system

فى النظام الثنائى يوجد رقمان فقط وهما الصفر 0 والواحد 1. معنى ذلك أن أى كمية أكبر من الواحد سنعبر عنها بعدد مركب من الأصفار والوحايد ولكن موضع كل صفر أو واحد سيكون له قيمة معينة هنا. أى أننا سنعتبر كل خانة يوجد فيها أى صفر أو واحد بقيمة معينة أخرى، هذه القيم ستكون قوى الرقم أو القاعدة 2 مثل قوى الرقم ١٠ فى النظام العشرى كما سبق. يتضح ذلك من الأمثلة التالية:

$10=1x2^1+0x2^0=2$ (٢- ١)

$101=1x2^2+0x2^1+1x2^0= 5$ (٢- ٢)

$101011=1x2^5+0x2^4+1x2^3+0x2^2+1x2^1+1x2^0=43$ (٢- ٣)

وهكذا أمكن التعبير عن أى كمية فى النظام الثنائى بفرض قيمة للموضع أو الخانة التى يوجد بها الرقم الثنائى مضروبا فى أحد قوى الرقم 2.

الآن يمكننا العد بالنظام الثنائى باتباع نفس نظام العد العشرى حيث كنا نعد من صفر حتى تسعة ثم نبدأ خانة جديدة وهى خانة العشرات ونضع بها واحد ونستمر فى العد ١٠، ١١، ١٢،... حتى ١٩ بعدها نزيد واحد فى خانة العشرات ونستمر فى العد ٢٠، ٢١، ٢٢،... وهكذا حتى ٩٩ بعدها نفتح خانة جديدة (المئات) ونستمر فى العد ١٠٠، ١٠١، ١٠٢،... وهكذا حتى ٩٩٩ ثم نبدأ خانة جديدة وهكذا. بنفس الطريقة

الأرقام الثنائية				الأرقام العشرية
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	0	0	0	8
1	0	0	1	9
1	0	1	0	10
1	0	1	1	11
1	1	0	0	12
1	1	0	1	13
1	1	1	0	14
1	1	1	1	15

جدول ٢-١

سنعد فى النظام الثنائى 0، 1 ثم نبدأ خانة جديدة 10، 11، ثم نبدأ خانة جديدة 100، 101،... حتى 111 ثم نبدأ خانة جديدة، وهكذا نستمر فى العد. جدول ٢-١ يبين الأعداد من صفر حتى ١٥، والقيمة العشرية المقابلة لكل عدد. لاحظ فى هذا الجدول أننا لكى نعد من صفر حتى ١٥ يلزمنا أربع خانات ثنائية. الآن يمكن كتابة القاعدة التالية:

أكبر قيمة عشرية يمكن أن نصل إليها لعدد معين من الخانات الثنائية تساوى (2^n-1) حيث n هى عدد الخانات الثنائية. فإذا كانت n=4 فأكبر عدد يمكن أن نصل إليه هو ١٥ وإذا كانت n=5 فأكبر قيمة هى ٣١ وإذا كانت n=6 فأكبر قيمة هى ٦٣ وهكذا.

٢-٣-١ طريقة التحويل من النظام الثنائى إلى النظام العشرى

طريقة التحويل من النظام الثنائى إلى العشرى سهلة ومباشرة ولقد رأيناها فى المعادلات (٢- ١) و (٢-٢) و (٢- ٣) ونسوق مثال آخر نوضح به هذه الطريقة:

$11011_2=1x2^4+1x2^3+0x2^2+1x2^1+1x2^0=27_{10}$

الرقم الجانبى بعد أى عدد يدل على نوع هذا العدد، فالرقم ٢ الجانبى يعنى أن هذا العدد ممثل فى النظام الثنائى والرقم ١٠ يعنى أن هذا العدد ممثل فى النظام العشرى. الخانة فى النظام الثنائى التى تأخذ صفر أو واحد تسمى بت. أول خانة من اليمين تسمى الخانة ذات القيمة الصغرى Least Significant Bit, LSB وآخر خانة ناحية اليسار تسمى الخانة ذات القيمة العظمى Most significant bit, MSB.

فى حالة احتواء الرقم على كسر مثل 11011.1101 فإن المكافئ العشرى فى هذه الحالة يمكن حسابه كالتالى:

$$11011.1101=1x2^4+1x2^3+0x2^2+1x2^1+1x2^0+1x2^{-1}+1x2^{-2}+0x2^{-3}+1x\ 2^{-4}$$
$$=16+8+2+1+0.5+0.25+0.0625$$
$$= 27.7135$$

حيث النقطة فى الرقم الثنائى سنطلق عليها العلامة الثنائية بدلا من العلامة العشرية فى حالة النظام العشرى.

٢-٣-٢ التحويل من النظام العشرى إلى النظام الثنائى

الطريقة الأولى للتحويل من نظام عشرى إلى نظام ثنائى هى عن طريق تحويل الرقم العشرى إلى مجموعة من أوزان الرقم ٢ ابتداء من 2^0 ثم 2^1 ثم 2^2 وهكذ . إن وجد رقم مقابل لواحد من هذه الأوزان توضع الخانة المقابلة بواحد وإن لم يوجد توضع الخانة المقابلة بصفر فالرقم ٩ مثلا عبارة عن 8+1 حيث الثمانية هى 2^3 والواحد هو 2^0 وعلى ذلك فالرقم ٩ يمكن وضعه على الصورة:

2^3 2^2 2^1 2^0

1 0 0 1

وهذه هى بعض الأمثلة الإضافية لذلك:

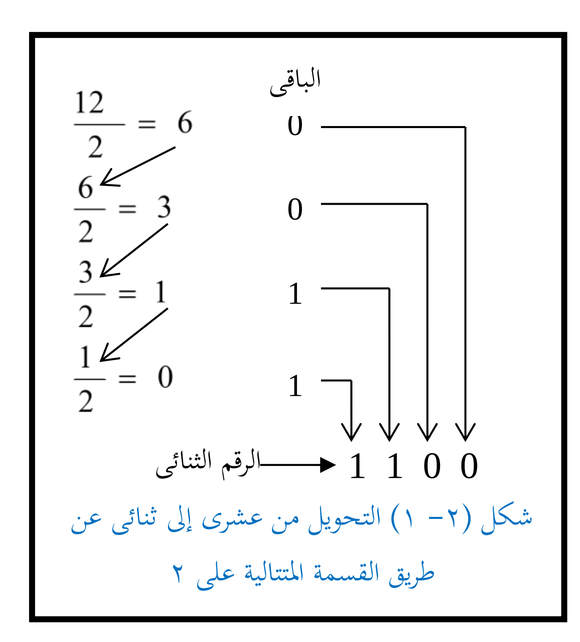
$12=8+4=2^3+2^2=1100$

$25=16+8+1=2^4+2^3+2^0=11001$

$58=32+16+8+2=2^5+2^4+2^3+2^1=111010$

$82=64+16+2= 2^6+2^4+2^1=1010010$

هذه الطريقة فى العادة تستخدم مع الأرقام الصغيرة، أما مع الأرقام الكبيرة فطريقة القسمة المتتالية على ٢ هى الأنسب للتحويل من النظام العشرى إلى النظام الثنائى. فى هذه الطريقة نقسم الرقم العشرى على ٢ على مرات متتابعة. فى كل مرة سيتبقى إما واحد أو صفر هذا الباقى يمثل بتات الرقم الثنائى من اليمين إلى اليسار، أما ناتج القسمة فنأخذه ونقسمه على ٢ مرة أخرى إلى أن يؤول ناتج القسمة إلى صفر. شكل (٢- ١) يوضح هذه العملية. نلاحظ من هذا الشكل أنه تم قسمة الرقم ١٢ على ٢ فكانت النتيجة تساوى ستة والباقى صفر يمثل أول بت فى العدد الثنائى من اليمين، بعد ذلك أخذنا الرقم ٦ وقسمناه على ٢ مرة أخرى فكان الناتج ٣ والباقى صفر الذى يمثل البت الثانية فى العدد الثنائى، بعد ذلك قسمنا ٣ على ٢ فكان الناتج واحد والباقى واحد يمثل الخانة الثالثة فى العدد الثنائى، وأخيرا أخذنا الرقم ١ وقسمناه على ٢ فكان الناتج صفر والباقى واحد وهذا يمثل الخانة رقم ٤ والأخيرة فى العدد الثنائى.



شكل (٢- ١) التحويل من عشرى إلى ثنائى عن طريق القسمة المتتالية على ٢

الناتج الصحيح

0. 0 1 0 1

$0.3125 \times 2 = 0.625$ 0

$0.625 \times 2 = 1.25$ 1

$0.25 \times 2 = 0.5$ 0

$0.5 \times 2 = 1.0$ 1

شكل (٢-٢) تحويل الكسور العشرية إلى كسور ثنائية بالضرب المتتالى فى ٢

لتحويل الأرقام الكسرية من النظام العشرى إلى النظام الثنائى يمكن اتباع طريقة الأوزان للرقم ٢ عن طريق وضع الرقم العشرى فى صورة مجموعة

من الكسور كل منها أحد قوى الرقم ٢ السالبة ولكن هذه الطريقة تكون فى العادة أصعب. لذلك نفضل استخدام الطريقة الثانية وهى طريقة الضرب المتتالى فى ٢. فى هذه الطريقة نضرب الكسر فى ٢ فإذا ظهر واحد صحيح فى نتيجة الضرب، نضع هذا الواحد فى الرقم الثنائى، وإذا لم يظهر واحد صحيح نضع صفر فى الرقم الثنائى، بعد ذلك نأخذ الكسر الناتج ونجرى عليه نفس العملية، وهكذا إلى أن يتلاشى الكسر أو نكتفى بعدد معين من الخانات بعد العلامة الثنائية. شكل (٢-٢) يبين هذه الطريقة بوضوح. فى هذا الشكل نريد تحويل الكسر 0.3125 إلى كسر ثنائى لذلك تم ضرب هذا الكسر فى ٢ فكان الناتج هو 0.625 أى صفر صحيح، لذلك فإن أول خانة فى الكسر الثنائى ستكون صفر كما فى الشكل. بعد ذلك نأخذ الكسر 0.625 ونضربه فى ٢ فيكون الناتج هو 1.25 وهو عبارة عن واحد صحيح يوضع فى الخانة الثانية للرقم الثنائى، ونأخذ الكسر 0.25 ونضربه فى ٢ مرة أخرى فيكون الناتج هو 0.5 فنضع صفر فى الرقم الثنائى ونضرب الكسر 0.5 فى ٢، فيكون الناتج هو 1.0 فنضع واحد فى الرقم الثنائى ونوقف عملية الضرب طالما أن الكسر الناتج أصبح صفرا. وعلى ذلك فالكسر الثنائى سيكون 0.0101.

الحمل	
1 1 ←	الحمل

```
  1 1  ←—— الحمل
  0 1 1
+ 0 1 1
-------
  1 1 0
```

شكل (٢- ٤) مثال لعمليات الجمع الثنائى

	الناتج	الحمل
0 + 0 =	0	0
0 + 1 =	1	0
1 + 0 =	1	0
1 + 1 =	0	1

شكل (٢- ٣) القوانين الأساسية لعملية الجمع الثنائى

٢-٣-٣ العمليات الحسابية فى النظام الثنائى

سنرى فى هذا الجزء كيفية إجراء العمليات الحسابية الأساسية، الجمع والطرح والضرب والقسمة، فى النظام الثنائى لما فى ذلك من أهمية فى التعامل مع الإشارات الثنائية داخل الحاسب كما سنرى فى الفصول القادمة.

أولا: الجمع الثنائى

القوانين الأساسية لجمع خانتين ثنائيتين موضحة فى شكل (٢-٣). نلاحظ من هذا الشكل أن جميع هذه العمليات تعطى صفرا فى الحمل ما عدا العملية الأخيرة وهى جمع ١+١ التى تعطى مجموع أو ناتج يساوى صفر وحمل يساوى واحد. بتطبيق هذه القوانين يمكن إجراء عمليات الجمع على أى عددين كما فى شكل (٢- ٤) الذى يبين عملية جمع الرقمين 011 و 011

1	1	1	1
1	0	1	0
1	1	0	0
11	10	10	01

الحمل

شكل (٢- ٥) الحمل وناتج الجمع لثلاث بتات

والتى تعطى الناتج 11 . القاعدة هى أنه كلما تم جمع واحد زائد واحد فإن الناتج يكون صفرا فى نفس العمود ويتم حمل واحد إلى الخانة أو العمود التالى كما فى الشكل. فى شكل (٢– ٤) حاصل جمع العمود الأول يعطى ناتج صفر وحمل واحد يجمع مع العمود الثانى. حاصل جمع العمود الثانى 1+1+1 يعطى واحد وحمل واحد للخانة الثالثة، وحاصل جمع العمود الثالث 1+0+0 يعطى واحد وحمل صفر حيث تنتهى العملية. فى وجود الحمل من أى عمود للعمود التالى فإنك ستجمع ثلاث بتات وناتج الجمع لثلاث بتات موضح فى شكل (٢– ٥).

الاستلاف	الناتج	
0	0	0 - 0 =
0	0	1 - 1 =
0	1	1 - 0 =
1	1	0 - 1 =

شكل (٢-٦) القوانين الأساسية لعملية الطرح الثنائى

$$\begin{array}{r} \text{الاستلاف} \leftarrow 10 \\ 1\ 0\ 1 \\ -\ 0\ 1\ 1 \\ \hline 0\ 1\ 0 \end{array}$$

شكل (٢-٧) مثال لعمليات الطرح الثنائ

ثانيا: الطرح الثنائى

القوانين الأساسية للطرح موضحة فى شكل (٢– ٦). نلاحظ من هذا الشكل أن الاستلاف دائما صفر ما عدا الحالة التى يتم فيها طرح واحد من صفر حيث أنه فى هذه الحالة يكون الناتج واحد والاستلاف borrow واحد أيضا. لاحظ أنه عند استلاف واحد من عمود إلى العمود الذى على يمينه فإن هذا الواحد يكون باثنين (يكافئ عملية استلاف الواحد بعشرة فى النظام العشرى). شكل (٢– ٧) يوضح مثال لطرح الرقم 011 من الرقم 101 حيث كان الناتج هو 010. فى العمود الأول من اليمين تم طرح واحد من واحد فكان الناتج صفرا. فى العمود الثانى تم طرح واحد من صفر لذلك لزم استلاف واحد باثنين (10) كما فى الشكل حيث تم طرح واحد من اثنين فكان الناتج واحد. فى العمود الثالث تم طرح صفر من صفر فكان الناتج صفراً وعلى ذلك كانت النتيجة النهائية هى 010 كما فى الشكل.

الناتج	
0	0 x 0 =
0	0 x 1 =
0	1 x 0 =
1	1 x 1 =

شكل (٢-٨) القوانين الأساسية لعملية الضرب الثنائى

```
   1011
 x 1001
 ------
   1011
  0000
 0000
1011
-------
1100011
```

شكل (٢-٩) مثال للضرب الثنائى

ثالثاً: الضرب الثنائى

شكل (٢– ٨) يبين العمليات الأساسية للضرب الثنائى. نلاحظ أن ناتج الضرب دائماً صفر إلا عندما يكون الطرفين وحايد. عند ضرب أى رقمين نتبع نفس طريقة الضرب فى النظام العشرى حيث نضرب خانات المضروب فى المضروب فيه خانة بعد خانة مع الإزاحة ناحية اليمين بمقدار خانة ثم

نقوم بالجمع كما فى شكل (٢- ٩) الذى يبين عملية ضرب الرقمين 1011 و1001 حيث كان الناتج هو 1100011.

رابعاً: القسمة الثنائية

القسمة فى النظام الثنائى تتم بنفس طريقة النظام العشرى. شكل (٢- ١٠) يبين مثالا لذلك حيث تم قسمة الرقم 1110 على الرقم 10 حيث كانت النتيجة تساوى 111.

```
      111
10 | 1110
     10
     011
      10
      010
       10
       00
```

شكل (٢- ١٠) مثال للقسمة الثنائية

٢-٤ المتمم الأحادى والمتمم الثنائى

Ones and twos complement

المتممات الأحادية والثنائية مفيدة جداً فى تمثيل الأرقام السالبة وفى إجراء العمليات الحسابية التى تتم داخل الحاسب. المتمم الأحادى لأى رقم نحصل عليه ببساطة عن طريق عكس كل واحد إلى صفر، وكل صفر إلى واحد كما فى المثال التالى:

الرقم الثنائى	1 1 0 1 0 0 1
المتمم الأحادى	0 0 1 0 1 1 0

المتمم الثنائى لأى رقم ثنائى يمكن الحصول عليه بإضافة واحد للمتمم الأحادى لهذا الرقم كما فى المثال التالى:

الرقم الثنائى	1 1 0 1 0 0 1
المتمم الأحادى	0 0 1 0 1 1 0
إجمع ١ مع المتمم الأحادى	+ 1
المتمم الثنائى	0 0 1 0 1 1 1

هناك طريقة بسيطة وسهلة للحصول على المتمم الثنائى مباشرة فى خطوتين كما يلى:

١- ابدأ من ناحية اليمين للرقم المطلوب إيجاد المتمم الثنائى له واكتب بتاته كما هى حتى أول واحد تقابله اكتبه كما هو أيضاً.

٢- كل البتات بعد أول واحد، إعكسها فتحصل على المتمم الثنائى.

كمثال على ذلك الرقم 10111000:

١- من أقصى اليمين هناك ٣ أصفار مع أول واحد نكتبها كما هى كالتالى: 1000.

٢- ثم كل البتات بعد ذلك يتم عكسها فنحصل على 01001000 وهو المتمم الثنائى للرقم المعطى.

كمثال آخر على ذلك نفترض الرقم 011:

١- نبدأ من ناحية اليمين أول بت واحد نكتبها كما هى.

٣- ثم نعكس كل البتات بعد ذلك فنحصل على الرقم 101 الذى يمثل المتمم الثنائى للرقم المعطى.

٢-٥ الأرقام السالبة والموجبة فى النظام الثنائى

لا تخلو العمليات الحسابية فى الحاسبات من جمع أو طرح أو ضرب أو قسمة أرقام قد تكون سالبة وقد تكون موجبة. فمثلا ما هى نتيجة جمع الرقمين (3-) + (9-)، وهكذا فإن هناك حاجة ضرورية للتعبير عن الإشارة فى الأرقام الثنائية. بالطبع فإن العلامة (+) و (-) غير معرفة فى النظام الثنائى فما هو العمل؟ فى النظام الثنائى تم التعارف على أن تعتبر آخر بت فى الرقم من ناحية اليسار هى بت الإشارة. فإذا كانت هذه البت تساوى صفر فالرقم موجب وإذا كانت هذه البت تساوى واحد فالرقم سالب. بعد ذلك هناك ثلاث طرق للتعبير عن الرقم كما يلى:

٢-٥-١ النظام الأول: نظام مقدار الإشارة Sign magnitude

فى هذا النظام تعتبر خانة الإشارة هى الخانة التى فى أقصى يسار الرقم وباقى البتات تمثل مقدار هذا العدد. فمثلا الرقم 0101، فيه خانة الإشارة تساوى 0 فالرقم موجب وباقى الرقم هو 101 الذى يمثل القيمة 5، إذن فهذا الرقم عبارة عن 5+. بينما الرقم 1101 فيه خانة الإشارة تساوى واحد والبتات 101 تمثل 5، إذن فالرقم الثنائى 1101 يمثل الرقم (5-) أى أن الفرق الوحيد بين الرقمين 5+، 5- هو الواحد أو الصفر فى الخانة الموجودة فى أقصى اليسار. أى أنه فى نظام مقدار الإشارة للتعبير عن الأرقام السالبة والموجبة ، فإن كل من الرقمين السالب والموجب يكون لهما نفس شكل البتات و يختلفان فقط فى بت الإشارة.

٢-٥-٢ النظام الثانى: نظام المتمم الأحادى

فى هذا النظام يمثل الرقم السالب بالمتمم الأحادى لنظيره الموجب فمثلا الرقم 0101 يمثل (5+) لأن آخر بت على اليسار تساوى صفر، وعلى ذلك فالمتمم الأحادى للرقم السابق وهو 1010 يمثل الرقم (5-).

٢-٥-٣ النظام الثالث: نظام المتمم الثنائى

فى هذا النظام يمثل الرقم السالب بالمتمم الثنائى لنظيره الموجب. فمثلا الرقم 0101 يمثل الرقم (+5) والمتمم الثنائى له هو 1011 يمثل الرقم (-5). نظام المتمم الثنائى هو الأكثر استخداما فى الأنظمة الرقمية كما سنرى فيما بعد.

مثال

ما هى قيمة الرقم 11000 والرقم 01011 فى كل نظام من الأنظمة السابقة ؟

فى النظام الأول نظام مقدار الإشارة: الرقم 11000 هو رقم سالب لأن آخر بت تساوى واحد، ومقداره هو $8 = 2^3 * 1$ وعلى ذلك فهذا الرقم هو (-8)، بينما الرقم 01011 فهو رقم موجب لأن آخر بت صفر و قيمته هى +11 (إحدى عشر).

فى نظام المتمم الأحادى: الرقم 11000 هو رقم سالب لأن آخر بت تساوى واحد وعلى ذلك فقيمة هذا الرقم هى المتمم الأحادى له وهى 00111، وعلى ذلك فإن الرقم 11000 يمثل الرقم (-7). بينما الرقم 01011 فهو رقم موجب وقيمته هى (+11 أو إحدى عشر).

فى نظام المتمم الثنائى: الرقم 11000 سالب لأن آخر بت تساوى واحد وقيمة الرقم هى المتمم الثنائى له وهى 01000 وبالتالى فالرقم هو (-8). أما الرقم 01011 فهو موجب وقيمته هى (+11 أو إحدى عشر).

فى نظام المتمم الثنائى الرقم 11000 يمكن كتابته على الصورة :

$$11000 = -1 * 2^4 + 1 * 2^3$$
$$= -16 + 8 = -8$$

والرقم 01011 يمكن كتابته على الصورة :

$$01011 = -0 * 2^4 + 1 * 2^3 + 1 * 2^1 + 1 * 2^0 = 11$$

أى أن قيمة الرقم هى التمثيل الحقيقى للوحايد الموجودة فيه بما فى ذلك بت الإشارة سوى أن قيمة بت الإشارة تكتب سالبة. وهذه ميزة من مميزات استخدام المتمم الثنائى هى أن قيمة الرقم العشرية تحسب مباشرة بطريقة التحويل من ثنائى إلى عشرى العادية سوى أن بت الإشارة تكتب سالبة. أيضا من عيوب طريقة المتمم الأحادى أن الصفر (0000) متممه الأحادى (1111) أى أن هناك فرق بين (+0) و (-0). بينما فى المتمم الثنائى فإن (0000) متممه الثنائى هو أيضا (0000).

عندما يمثل رقم ثنائى بأربع خانات مثلا فإنه إذا كان هذا الرقم بدون إشارة فإن قيمة هذا الرقم ستتراوح بين 0 و $2^4-1=15$. بينما إذا كان هذا الرقم بإشارة فإن قيمته تتراوح بين $-(2^{n-1})$ حتى $(2^{n-1}-1)$ أى $(-2^3 = -8)$ حتى $(2^3-1=7)$. لاحظ أن المدى لم يتغير سوى أنه فى حالة اعتبار الإشارة فإن الرقم يتراوح بين -٨ حتى +٧. فى حالة ٨ خانات تتراوح قيمة الرقم بين صفر و ٢٥٥ فى حالة عدم اعتبار الإشارة ، وبين -١٢٨ حتى ١٢٧ فى حالة اعتبار الإشارة.

٢-٦ العمليات الحسابية على الأعداد ذات الإشارة

سنرى فى هذا الجزء كيف نجرى العمليات الحسابية المختلفة على الأعداد ذات الإشارة وسنقتصر على نظام المتمم الثنائى فقط لأنه النظام الشائع كما قلنا فى الأنظمة الرقمية عامة وأنظمة الحاسبات والمعالجات الدقيقة بصفة خاصة.

٢-٦-١ عملية الجمع

سنجرى العمليات فى هذا الجزء على أعداد من ٨ بت (١بايت). هناك أربع احتمالات لطبيعة الأعداد التى سنجرى عليها عملية الجمع وهى كالتالى:

١- كلا العددين موجب.

٢- عدد موجب والآخر سالب و الموجب هو الأكبر.

٣- عدد موجب و الآخر سالب و السالب هو الأكبر.

٤- كلا العددين سالب.

سنأخذ كل حالة على حدة وسنسوق مثال لكل منها.

جمع عددين كل منهما موجب :

9	0 0 0 0 1 0 0 1
5 +	0 0 0 0 0 1 0 1 +
14	0 0 0 0 1 1 1 0

النتيجة موجبة كما نرى.

جمع عددين أحدهما موجب والآخر سالب والموجب أكبر:

9	0 0 0 0 1 0 0 1
+ (-5)	(المتمم الثنائى ل ٥) 1 1 1 1 1 0 1 1 +
+ 4	1 0 0 0 0 0 1 0 0

النتيجة 4+ وهى كما نرى موجبة مع إهمال الحمل الأخير.

جمع عددين أحدهما موجب والآخر سالب والسالب أكبر:

(-9)	1 1 1 1 0 1 1 1 (المتمم الثنائى ل ٩)
+ 5	+ 0 0 0 0 0 1 0 1
- 4	1 1 1 1 1 1 0 0

النتيجة سالبة وبأخذ المتمم الثنائى له يعطى 0 0 0 0 0 1 0 0 (4-).

كلا العددين سالب:

- 9	1 1 1 1 0 1 1 1 (المتمم الثنائى ل ٩)
+ (- 5)	+ 1 1 1 1 1 0 1 1 (المتمم الثنائى ل ٥)
- 14	1 1 1 1 1 0 0 1 0

النتيجة سالبة كما نرى (آخر بت تساوى ١) وبأخذ المتمم الثنائى للنتيجة بعد إهمال الحمل الأخير تعطى 00001110 وهى (14-).

٢-٦-٢ خطأ الفيضان Over flow error

عند جمع عددان (فى الغالب كل منهما موجب أو كل منهما سالب) فإذا زادت النتيجة عن 127+ أو كانت أقل من 128- فإنه يحدث حمل على خانة الإشارة وتكون الإشارة فى هذه الحالة غير ممثلة تمثيلا صحيحا للنتيجة. كمثال على ذلك جمع العددين التاليين:

125	0 1 1 1 1 1 0 1
58 +	+ 0 0 1 1 1 0 1 0
+183	1 0 1 1 0 1 1 1

نجد أن بت الإشارة تساوى ١ مما يعنى أن النتيجة سالبة وهذا خطأ لأننا نجمع عددين موجبين لذلك يجب أن تكون النتيجة موجبة كما فى الجمع العشرى. هذا كما رأينا نتج عن جمع عددين نتيجتهما كانت أكبر من 127+ لذلك حصل حمل على خانة الإشارة فأفسدها. هذا الخطأ عندما يحدث تحذر منه الحاسبات بجعل علم الفيضان يساوى ١، وفى هذه الحالة يكون هناك تصحيح للنتيجة بطريقة معينة خارج نطاق هذا الموضع.

٢-٦-٣ عملية الطرح

عملية الطرح هى فى الأصل عملية جمع بعد تغيير إشارة المطروح، فمثلا (9-5) هى حاصل جمع (9) زائد (-5)، ومعروف أن الرقم (-5) هو المتمم الثنائى للرقم 5. أيضا (-5)-9 هى حاصل جمع الرقمين (9) زائد (-5)- وهو ما يكافئ المتمم الثنائى للمتمم الثنائى للرقم 5 ، أى الرقم 5 الأصلى. لذلك يمكننا أن نخلص أن عملية الطرح هى عملية جمع المطروح منه زائد المتمم الثنائى للمطروح. يتضح ذلك من الأمثلة التالية:

8	0 0 0 0 1 0 0 0
-3	+ 1 1 1 1 1 1 0 1 (المتمم الثنائى ل ٣)
+5	0 0 0 0 0 1 0 1

-8	1 1 1 1 1 0 0 0 (المتمم الثنائى ل ٨)
-3	+ 1 1 1 1 1 1 0 1 (المتمم الثنائى ل ٣)
-11	1 1 1 1 1 0 1 0 1

النتيجة سالبة و تساوى 00001011 وهى (-11) أو سالب إحدى عشر.

بالنسبة للضرب والقسمة يتم اتباع نفس الخطوات السابقة.

٢-٧ النظام الثمانى Octal system

يتكون نظام العد الثمانى من ثمانية أرقام هى: 0, 1, 2, 3, 4, 5, 6, 7

أى رقم أكبر من 7 يكتب فى أكثر من خانة كما يلى:

6, 7, 10, 11, 12, … , 15, 16, 17, 20, 21, … , 25, 26, 27, 30, 31 , …

٢-٧-١ التحويل من النظام الثمانى إلى النظام العشرى

هذه العملية سهلة حيث أننا نضرب كل رقم فى وزن الخانة التى يوجد بها هذا الرقم فى النظام الثمانى . قاعدة العد فى النظام الثمانى هى ٨ ولذلك فإن أوزان الخانات ستكون كالتالى: $8^3, 8^2, 8^1, 8^0$ وهكذا.

كمثال على ذلك:

$$(235)_8 = 2*8^2+3*8^1+5*8^0$$
$$= 2*64+3*8+5 = (157)_{10}$$

٢-٧-٢ التحويل من النظام العشرى إلى النظام الثمانى

هنا أيضا تتم عملية التحويل عن طريق القسمة المتتابعة على الرقم ٨ كما فى المثال التالى:

	الباقى
$\frac{157}{8} = 19$	5
$\frac{19}{8} = 2$	3
$\frac{2}{8} = 0$	2

وعلى ذلك فالرقم الثمانى الناتج هو 235_8.

بنفس الطريقة يمكن تحويل الكسور من النظام الثمانى إلى النظام العشرى عن طريق الضرب فى قوى الرقم ٨ السالبة وتحويل الكسور العشرية إلى كسور ثمانية عن طريق الضرب المتتالى فى ٨ ونعتبر دائماً الناتج الصحيح من عملية الضرب كما فعلنا مع الأعداد الثنائية وكما فى الأمثلة التالية:

$$(0.35)_8 = 3*8^{-1} + 5*8^{-2}$$
$$= 0.453_{10}$$

$$(0.56)_{10} = \quad 0.56 \times 8 = 4.48 \quad 0.48 \times 8 = 3.84 \quad 0.84 \times 8 = 6.72$$
$$= 0.436\ldots_8$$

٢-٧-٣ التحويل من ثمانى إلى ثنائى و العكس

كل رقم فى النظام الثمانى يمكن تمثيله بثلاث بتات فى النظام الثنائى كما فى جدول ٢-٢ . يمكن استغلال ذلك فى تحويل أى رقم فى النظام الثمانى إلى مكافىء له فى النظام الثنائى عن طريق وضع كل رقم ثمانى بما يكافئه فى النظام الثنائى كما فى المثال التالى:

$$(354)_8 = 011\ 101\ 100_2$$

كما يمكن تحويل أى عدد فى النظام الثنائى إلى مكافىء له فى النظام الثمانى عن طريق تقسيمه من اليمين إلى مجاميع كل منها ٣ بت ونكتب الرقم الثمانى المكافىء لكل مجموعة كما يلى:

النظام الثمانى	النظام الثنائى		
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1

جدول ٢-٢

$$1011100101 = 1\ 011\ 100\ 101_2 = 1345_8$$

٢-٨ نظام العد الستعشرى

Hexadecimal system

فى النظام الستعشرى يوجد ١٦ رقما وهى كالتالى:

0,1,2,3,4,5,6,7,8,9,A,B,C,D,E,F

فى هذا النظام نجد أن أشكال الأرقام حتى ٩ نفدت، لذلك تم استخدام باقى الأشكال الستة عشرة فى صورة حروف وهى الحروف A و B و C و D و E و F. بعد الرقم F يبدأ استخدام خانات إضافية لتمثيل الأعداد حيث كل خانة يكوم لها وزن وهذا الوزن هو قوى العدد ١٦ وهى كالتالى 16^0 و 16^1 و 16^2 و 16^3 وهكذا. يمكن أن نعد فى النظام الستعشرى كما يلى :

الأرقام الستعشرية	الأرقام الثنائية			
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
A	1	0	1	0
B	1	0	1	1
C	1	1	0	0
D	1	1	0	1
E	1	1	1	0
F	1	1	1	1

جدول ٢-٣

0,1,...,9,A,B,C,D,E,F,10,11,12,...,19,1A,1B,...,1F,20,21,...,29,2A,...,2F,3
40,... 0,31,...,39,3A,...3F,

للتحويل من النظام الستعشرى للعشرى نتبع الطرق السابقة وهى الضرب فى قوى العدد ١٦ كما يلى:

$$3F2_{16} = 3*16^2+15*16^1+2*16^0$$
$$= 1010_{10}$$

وللتحويل من النظام العشرى إلى النظام الستعشرى نتبع نظام القسمة المتتابعة على ١٦ كما يلى:

	الباقى
$\frac{323}{16} = 20$	3
$\frac{20}{16} = 1$	4
$\frac{1}{16} = 0$	1

$$323_{10} = 143_{16}$$

بالنسبة للكسور نتبع معها نفس ما اتبعناه فى الأنظمة السابقة.

أى عدد ستعشرى يمكن تمثيله فى ٤ خانات ثنائية كما فى جدول ٢-٣. ويمكن استغلال ذلك فى عملية التحويل من ستعشرى إلى ثنائى والعكس كما فى الأمثلة التالية:

$4F2_{16} = 010011110010_2$

$1A49_{16} = 1101001001001_2$

لاحظ أنه باستخدام النظام الثمانى والستعشرى يكون هناك توفير فى عدد الخانات المستخدمة وهذه ميزة فى استخدام هذه الأنظمة. أنظر مثلا إلى العدد 124_{10} فى النظام العشرى وتمثيله فى الأنظمة المختلفة:

$124_{10} = 1111100_2$

$= 174_8$

$= 7C_{16}$

نلاحظ أن العدد 124_{10} مكون من ٣ خانات فى النظام العشرى وفى النظام الثنائى يحتاج إلى ٧ خانات وفى النظام الثمانى احتاج إلى ٣ خانات وفى النظام الستعشرى احتاج إلى خانتين فقط.

٢-٩ الأرقام العشرية المكودة ثنائياً

Binary Coded Decimal (BCD) Numbers

الأرقام العشرية المكودة ثنائياً هى طريقة لتمثيل الأرقام العشرية من صفر حتى تسعة فى صورة أكواد ثنائية. بالطبع لكى يتم ذلك فإننا سنحتاج لأربعة بتات حتى يمكن تمثيل هذه الأرقام. جدول ٢-١ يبين الأرقام العشرية من صفر حتى ٩ والكود الثنائى لكل منها. هذه الطريقة لتمثيل الأرقام تكون مفيدة جداً بالذات فى إدخال البيانات إلى الحاسب من خلال لوحة المفاتيح أو إظهار هذه الأرقام على شاشة عرض أو مظهر وذلك لأننا نعيش فى عالم من الأرقام العشرية لا يكتب أو يقرأ إلا الأرقام العشرية.

٢-٩-١ التحويل من النظام العشرى إلى العشرى المكود ثنائيا والعكس

إن هذه تعتبر عملية سهلة جداً، حيث يتم التعبير عن كل رقم عشرى بالعدد الثنائى المقابل له من أربع بتات. فمثلاً الرقم ٥٥ سيكون 0101 0101 و العدد ٩٣ سيكون 1001 0011 وهكذا.

بنفس السهولة تتم عملية تحويل الأرقام العشرية المكودة ثنائيا إلى الصورة العشرية عن طريق تقسيم أى رقم إلى مجموعات من ناحية اليمين كل منها من ٤ بت ونكتب المكافئ العشرى لكل مجموعة كما يلى:

349 = 0011 0100 1001

158 = 1 0101 1000

وهكذا .

٢-٩-٢ عمليات الجمع على الأرقام العشرية المكودة ثنائياً

سننفذ عمليات الجمع فقط هنا وسنترك باقى العمليات (الطرح والضرب والقسمة) لأنها كلها يمكن أن تحول إلى عمليات جمع. عند جمع رقمين من هذا النوع، فإننا نتبع نفس قوانين الجمع على الأرقام الثنائية التى تم استخدامها من قبل. إذا كانت نتيجة الجمع أقل من ٩ فإنها ستكون نتيجة صحيحة ومحققة. المشكلة هى إذا كانت نتيجة الجمع أكبر من ٩، أو حصل حمل من الخانة الرابعة مثلاً إلى خانة تالية، فى هذه الحالة فإن الرقم الناتج لا يمثل النتيجة الصحيحة لعملية الجمع، وفى هذه الحالة نقوم بإضافة الرقم 6 (0110) إلى النتيجة حتى تصبح رقماً عشرياً مكودا ثنائياً صحيحاً. الأمثلة التالية توضح ذلك:

عشرى	ثنائى مكود
3	0011
4 +	0100 +
7	0111

عشرى	ثنائى مكود
23	00100011
15 +	00010101 +
38	00111000

عشرى	ثنائى مكود
450	0100 0101 0000
417 +	0100 0001 0111 +
867	1000 0110 0111

فى هذه الأمثلة كانت نتيجة جمع أى رقمين دائما أقل من ٩ لذلك كانت نتيجة عملية الجمع دائماً صحيحة. الآن انظر إلى هذه الأمثلة:

عشرى	ثنائى مكود	
9	1001	
4 +	0100 +	
13	1101	النتيجة ليست رقم عشرى مكود صحيح
	0110 +	لذلك لزم إضافة الرقم ٦
	1 0011	

عشرى	ثنائى مكود	
9	1001	
9 +	1001 +	
18	1 0010	هناك حمل من الخانة الرابعة
	0110 +	أضف ٦ للنتيجة
	1 1000	

16	⇐	0001 0110
+ 15		+ 0001 0101
31		0010 1011 المجموعة اليمنى ليست صحيحة
		+ 0110 لذلك لزم إضافة ٦
		0011 0001

والمثال الأخير على ذلك هو:

67	⇐	0110 0111
+ 53		+0101 0011
120		1011 1010 كل من المجموعتين ليس رقما صحيحا
		+ 0110 0110 لذلك لزم إضافة ٦ لكل منهما
		1 0010 0000

نخلص من ذلك أنه كلما كانت النتيجة ليست فى صورة الرقم العشرى المكود ثنائيا الصحيحة (أكبر من تسعة) أو أن هناك حمل من الخانة الرابعة، فإنه يلزم إضافة ٦ لهذه المجموعة لضبطها ثنائيا.

٢-١٠ تمارين

١- ما هى قيمة الرقم ٧ فى كل من الأرقام العشرية التالية:

٤٨٧ ، ٥٧٦,١٢ ، ٨٤٥,٦٧٣ ، ٧٠٠٠,٦٧

٢- حول الأرقام الثنائية التالية إلى مكافئها العشرى:

10100, 1100.101, 01001.001, 1110.1111, 101010.11011

٣- ما هو أكبر رقم يمكن الحصول عليه من رقم ثنائى مكون من:

٤خانات، ٧ خانات، ١٠ خانات، ١١ خانة، ١٦ خانة.

٤- حول كل من الأرقام العشرية التالية إلى الصورة الثنائية:

٥٥، ٧٧٧، ٦٥٣، ٤٥,٤٣، ٣٠,١

٥- نفذ عمليات الجمع والطرح والضرب على كل من أزواج الأرقام التالية:

00011 و00111 ، 11111 و 10001، 100001 و 011110

٦- أكتب المتمم الأحادى والمتمم الثنائى لكل مما يأتى:

1100، 1001، 110111، 00011، 110110111.

٧- ضع كل من الأعداد التالية فى صورة ثنائية من ٨ بتات مستخدما نظام مقدار الإشارة مرة ونظام المتمم الأحادى مرة ونظام المتمم الثنائى مرة أخرى:

+٢٥، -٦٦، -١٢٣، -٩٩، +٥٥.

٨- ما هو المكافىء العشرى لكل من الأرقام الثنائية التالية، اعتبر أن هذه الأرقام ممثلة بنظام مقدار الإشارة مرة ونظام المتمم الأحادى مرة ونظام المتمم الثنائى مرة أخرى:

10111111، 10011001، 00011100، 01110000، 11110111.

٩- نفذ عملية الجمع على أزواج الأرقام الموجودة فى تمرين ٥ مستخدما المتمم الثنائى.

١٠- حول كل من الأرقام الثمانية التالية إلى النظام العشرى مرة وإلى النظام الثنائى مرة أخرى:

٣٣٥، ٣٧٥، ١١، ١١١، ٧٧٧.

١١- حول الأرقام العشرية الموجودة فى تمرين ١ إلى الصورة الثمانية.

١٢- حول الأرقام الثنائية فى تمرين ٦ إلى الصورة الثمانية.

١٣- حول كل من الأرقام الستعشرية التالية إلى النظام العشرى مرة وإلى النظام الثنائى مرة أخرى:

3F4، FF1، 5A، B33.

١٤- حول الأرقام العشرية الموجودة فى تمرين ١ إلى الصورة الستعشرية.

١٥- حول الأرقام الثنائية فى تمرين ٦ إلى الصورة الستعشرية.

١٦- حول الأرقام المكتوبة فى الأنظمة الموضحة بجانب كل رقم إلى النظام العشرى:

$(2FA1)_{16}$, $(2376)_{8}$, $(345)_{6}$, $(198)_{12}$, $(4310)_{5}$

١٧- حول الأرقام العشرية التالية إلى الصورة العشرية المكودة ثنائيا:

١٠، ٣٤٤، ٥٥٥، ١٢٤، ١٠٠، ١٥٦، ١٠٤٥.

١٨- حول كل من الأرقام المكودة ثنائيا التالية إلى الصورة العشرية:

1001 1001، 0111 0011 0001، 1001 1000 0000 1000.

الفصل الثالث

٣

ألبوابات المنطقية

وشرائحها

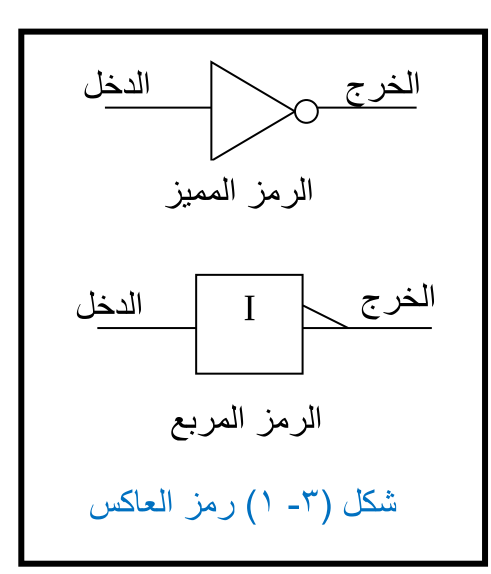
Logic Gates And Its Chips

٣ – ١ مقدمة

بعد أن درسنا أنظمة العد فى الفصل السابق سنقوم بالشرح التفصيلى لكل بوابة من البوابات المنطقية الشهيرة من حيث جدول الحقيقة لهذه البوابة والرمز القياسى المستخدم فى المراجع لكل منها مع بعض التطبيقات البسيطة لكل بوابة وشرح لبعض الشرائح المتاحة فى السوق والتى تحقق هذه البوابة. سيعقب هذه الفصل فصل كامل عن الجبر المنطقى الذى يشرح أهم قوانين هذا النوع من الجبر. كما سنرى، فإن البوابات المنطقية تعتبر أحجار البناء لأى نظام رقمى لذلك لزم أن نفرد لها هذا الفصل بالكامل. البوابات التى سندرسها فى هذا الفصل هى كالتالى: بوابة النفى NOT gate ، بوابة الآند AND gate ، بوابة الأور OR gate ، بوابة الناند NAND gate ، بوابة النور NOR gate ، بوابة الإكس أور XOR gate .

٣ –٢ بوابة النفى NOT gate

بوابة النفى أو العاكس تقوم بعكس الدخل ووضعه على الخرج. لذلك فإنه إذا كان الدخل يساوى واحد فإن الخرج يكون صفرا، وإذا كان الدخل يساوى صفر فالخرج يكون واحد. شكل (٣– ١) يبين الرمز المنطقى للعاكس. هناك نظامان لرسم الرمز المنطقى لأى بوابة منطقية والنظامان يستخدمان فى كل المراجع تقريبا. فى النظام الأول يكون هناك شكل مميز لكل بوابة يميزها عن البوابات الأخرى كما سنرى وسنطلق عليه الرمز المميز. فى النظام الثانى تأخذ جميع البوابات الشكل المربع ويتم وضع حرف معين داخل المربع يميز كل بوابة عن الأخرى. فى شكل (٣– ١) الرمز المميز لبوابة العاكس هو المثلث ودائرة صغيرة فى الخرج. بينما الرمز المربع عبارة عن مربع بداخله حرف I الكبير ومثلث فى الخرج كما فى شكل (٣– ١). فى هذا الكتاب سنستخدم كل من النظامين فى رسم رموز البوابات. دائما سنعتبر الدخل للدائرة المنطقية من ناحية اليسار والخرج من ناحية اليمين إلا فى بعض المواضع التى يصعب معها ذلك. شكل (٣– ٢) يبين جدول الحقيقة للعاكس. التعبير عن عملية العكس لأى متغير منطقى يكون بوضع خط فوق المتغير كالتالى: $X=\overline{A}$ وهذا يعنى أن المتغير X يساوى معكوس المتغير A. شكل (٣– ٣) يبين موجة داخلة إلى العاكس والخرج الناتج وذلك كمثال على عمل العاكس.

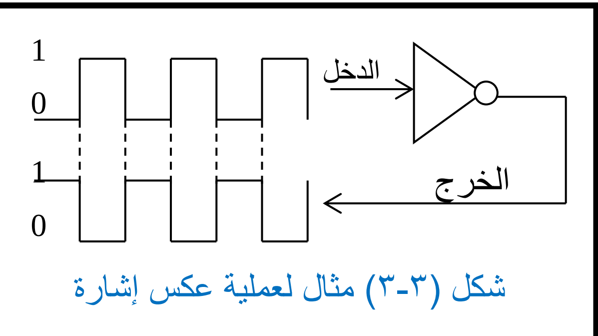


شكل (٣- ١) رمز العاكس



الدخل	الخرج
0	1
1	0

شكل (٣- ٢) جدول الحقيقة للعاكس

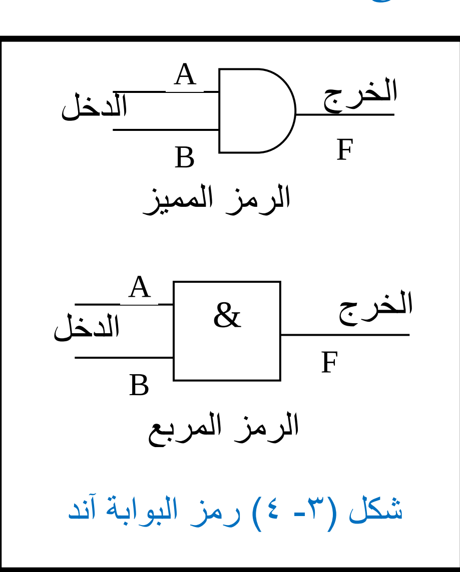


شكل (٣-٣) مثال لعملية عكس إشارة

التطبيقات على استخدام العاكس كثيرة ومتعددة فالعاكس تقريبا من أكثر البوابات المنطقية استخداما حيث لا تخلو دائرة منطقية من عاكس أو أكثر كما سنرى فى الفصول القادمة من هذا الكتاب.

٣ –٣ البوابة الآند AND gate

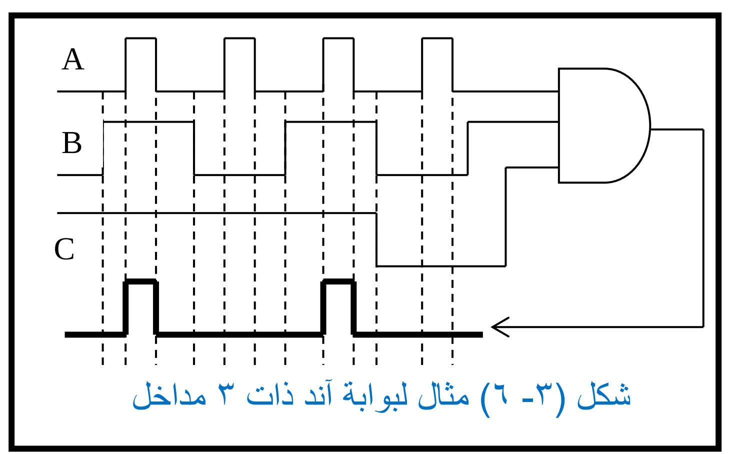
بوابة الآند واحدة من البوابات الأساسية التى تستخدم فى بناء الكثير من الدوال والأنظمة الرقمية. بوابة الآند يكون لها دخلان أو أكثر وهى تقوم بعملية الضرب المنطقى على هذه المداخل ووضعها على الخرج الوحيد. لذلك فإن خرج هذه البوابة يكون واحد فى حالة واحدة فقط وهى عندما تكون كل المداخل تساوى وحايد، ويكون الخرج صفر فى كل الحالات الأخرى التى يكون فيها أى واحد من المداخل أو كل المداخل تساوى أصفارا. شكل (٣– ٤) يبين الرمز المميز والرمز المربع لهذه البوابة. لاحظ وجود الحرف & الدال على نوع هذه البوابة فى داخل الرمز المربع. شكل (٣– ٥) يبين جدول الحقيقة لبوابة آند لها ٣ مداخل. جدول الحقيقة لأى دائرة أو بوابة منطقية يعطى قيمة الخرج عند جميع القيم الممكنة لكل المداخل. فإذا كان هناك ٣ مداخل مثلا فإن جدول الحقيقة سيتكون من $2^3=8$ حالة كما فى شكل (٣– ٥). التعبير عن خرج بوابة الآند كدالة فى الدخل يكون كالتالى : F=ABC وذلك للبوابة ذات الثلاث مداخل. شكل (٣– ٦) يبين الإشارة الزمنية على كل واحد من المداخل الثلاثة لبوابة آند والخرج المقابل. لاحظ أن الخرج فى هذا الشكل لا يكون واحد إلا إذا كان الثلاثة مداخل A وB و C كلها وحايد فى نفس الوقت. من التطبيقات الشائعة لبوابة الآند هى استخدامها كمفتاح . بوابة الآند ذات الدخلين يمكن النظر إليها على أنه إذا كان أحد الدخلين يساوى صفر فإن الخرج يساوى صفر أيضا، بينما إذا كان أحد الدخلين يساوى واحد فإن الخرج يساوى الدخل الآخر. أى أن أحد الدخلين يكون بمثابة مفتاح إما أنه يمنع الدخل الآخر من المرور إلى الخرج فيكون الخرج بصفر، أو يجعل الدخل الآخر يمر إلى الخرج. شكل (٣– ٧) يبين استخدام هذه الفكرة فى عمل عداد يقوم بعد النبضات فى فترة زمنية محددة ولتكن ثانية مثلا لبيان تردد هذه النبضات. فى هذا الدائرة تم وضع نبضة عرضها ثانية على



شكل (٣- ٤) رمز البوابة آند

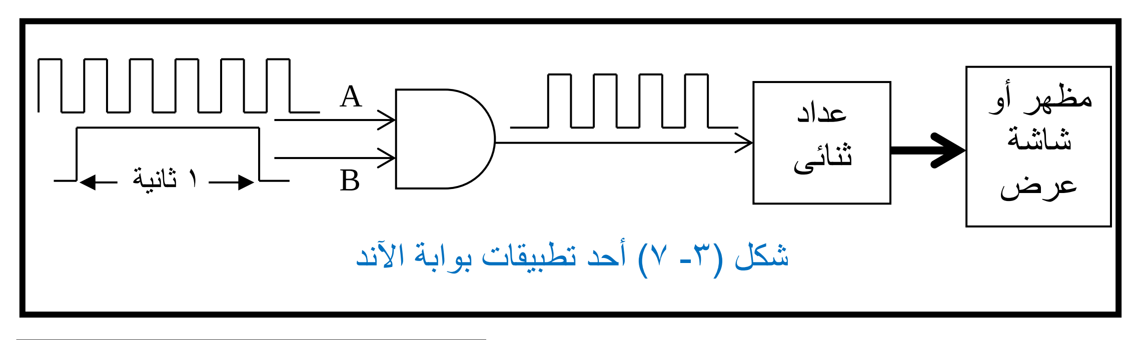
الدخل			الخرج
A	B	C	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

شكل (٣- ٥) جدول الحقيقة لبوابة آند



شكل (٣- ٦) مثال لبوابة آند ذات ٣ مداخل

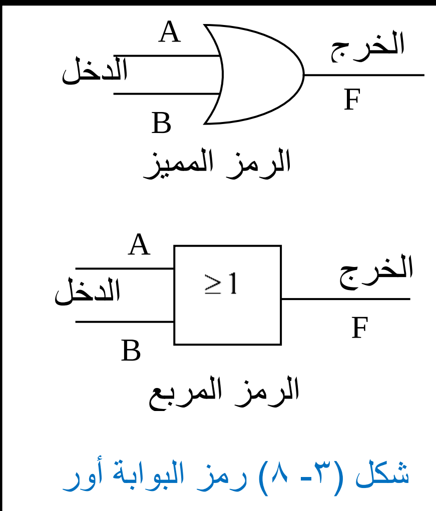
أحد الدخلين، والنبضات المراد عدها على الدخل الآخر لبوابة الآند. خرج بوابة الآند أخذ كدخل للعداد كما فى شكل (٣- ٧). لاحظ أن النبضات المراد قياس ترددها تمر إلى خرج الآند فى أثناء الواحد ثانية التى كان فيها الدخل الآخر يساوى واحد. عادة يطلق على الطرف B كما فى شكل (٣- ٧) بأنه طرف تنشيط Enable للطرف A. أى أن الإشارة على الطرف A لن تمر إلى الخرج إلا إذا سمح لها الطرف B بالمرور وذلك عندما يكون الطرف B نشط أى يساوى واحد. نكرر بأن التعبير عن خرج بوابة الآند كدالة فى الدخل يكون كالتالى: F=ABC وذلك للبوابة ذات الثلاث مداخل.



شكل (٣- ٧) أحد تطبيقات بوابة الآند

٣ – ٤ البوابة أور OR gate

بوابة الأور أيضا واحدة من البوابات الأساسية التى تستخدم فى بناء الكثير من الدوال والأنظمة الرقمية كما سنرى. بوابة الأور يكون لها دخلان أو أكثر وهى تقوم بعملية الجمع المنطقى على هذه المداخل ووضعها على الخرج الوحيد. لذلك فإن خرج هذه البوابة يكون صفرا فى حالة واحدة فقط وهى عندما تكون كل المداخل تساوى أصفار، ويكون الخرج واحد فى كل الحالات الأخرى التى يكون فيها أى واحد من المداخل أو كل المداخل تساوى وحايد. شكل (٣- ٨) يبين الرمز المميز والرمز المربع لهذه البوابة. لاحظ وجود الحرف ≥1 الدال على نوع هذه البوابة فى داخل الرمز المربع. شكل (٣- ٩) يبين جدول الحقيقة لبوابة أور لها ٣ مداخل.



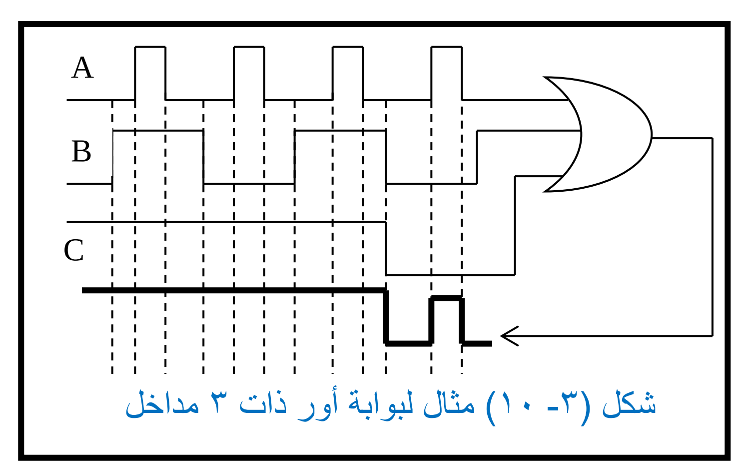
شكل (٣- ٨) رمز البوابة أور

الدخل			الخرج
A	B	C	F
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

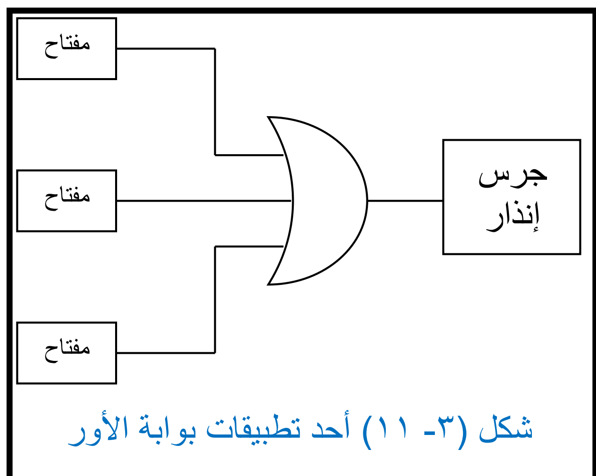
شكل (٣- ٩) جدول الحقيقة لبوابة أور

التعبير عن خرج بوابة الأور كدالة فى الدخل يكون كالتالى:

F=A+B+C وذلك للبوابة ذات الثلاث مداخل. شكل (٣- ١٠) يبين الإشارة الزمنية على كل واحد من المداخل الثلاثة لبوابة أور والخرج المقابل. لاحظ أن الخرج فى هذا الشكل يكون واحد إذا كان أى واحد من الثلاثة مداخل A أو B أو C يساوى واحد. من التطبيقات البسيطة لبوابة الأور استخدامها فى دوائر الحراسة البسيطة حيث يتم تركيب مفتاح على كل باب أو شباك مطلوب مراقبته، وهذه المفاتيح تكون مفتوحه دائما (صفر) وبذلك يكون خرج الأور يساوى صفر. عند دخول الحرامى من أى باب فإنه يقفل هذا المفتاح ويجعله واحد، وبذلك يصبح خرج البوابة يساوى واحد ويضرب جرس الإنذار. شكل (٣- ١١) يبين رسما صندوقيا لهذا النظام.



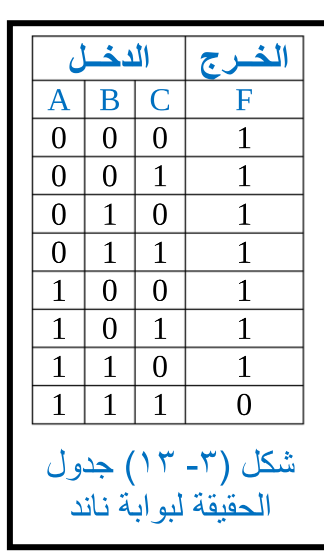
شكل (٣- ١٠) مثال لبوابة أور ذات ٣ مداخل



شكل (٣- ١١) أحد تطبيقات بوابة الأور

٣ –٥ البوابة ناند NAND gate

بوابة الناند واحدة من البوابات التى تستخدم بكثرة فى بناء الكثير من الدوال والأنظمة الرقمية كما سنرى حيث يمكن بناء النظام بالكامل باستخدام هذه البوابة، وسنرى أيضا كيفية الحصول كل من بوابات الآند والأور والعاكس باستخدام بوابة الناند وذلك فى الفصل القادم. بوابة الناند يكون لها دخلان أو أكثر وهى تقوم بعملية الضرب المنطقى على هذه المداخل ثم عكسها ووضعها على الخرج الوحيد. إن ذلك يعنى أنها عبارة عن بوابة آند



الدخل			الخرج
A	B	C	F
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

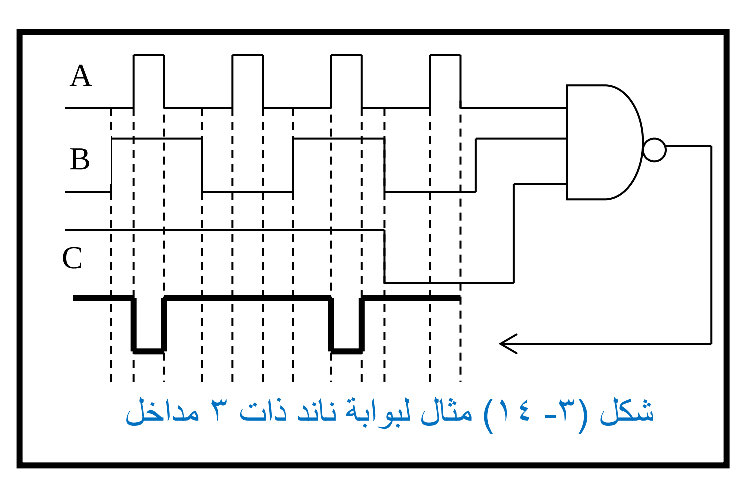
شكل (٣- ١٣) جدول الحقيقة لبوابة ناند

الدخل A B الخرج F
الرزمز المميز

الدخل A B & الخرج F
الرزمز المربع

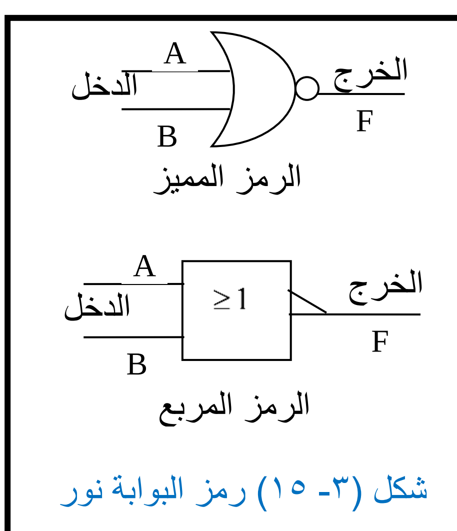
شكل (٣- ١٢) رمز البوابة ناند

متبوعة بعاكس. لذلك فإن خرج هذه البوابة يكون صفر فى حالة واحدة فقط وهى عندما تكون كل المداخل تساوى وحايد، ويكون الخرج واحد فى كل الحالات الأخرى التى يكون فيها أى واحد من المداخل أو كل المداخل تساوى أصفار.



شكل (٣- ١٤) مثال لبوابة ناند ذات ٣ مداخل

شكل (٣- ١٢) يبين الرمز المميز والرمز المربع لهذه البوابة. شكل (٣- ١٣) يبين جدول الحقيقة لبوابة ناند لها ٣ مداخل. شكل (٣- ١٤) يبين إشارة زمنية على كل واحد من المداخل الثلاثة لبوابة الناند والخرج المقابل. التعبير عن خرج بوابة الناند كدالة فى الدخل يكون كالتالى: $F=\overline{ABC}$ وذلك للبوابة ذات الثلاث مداخل.



شكل (٣- ١٥) رمز البوابة نور

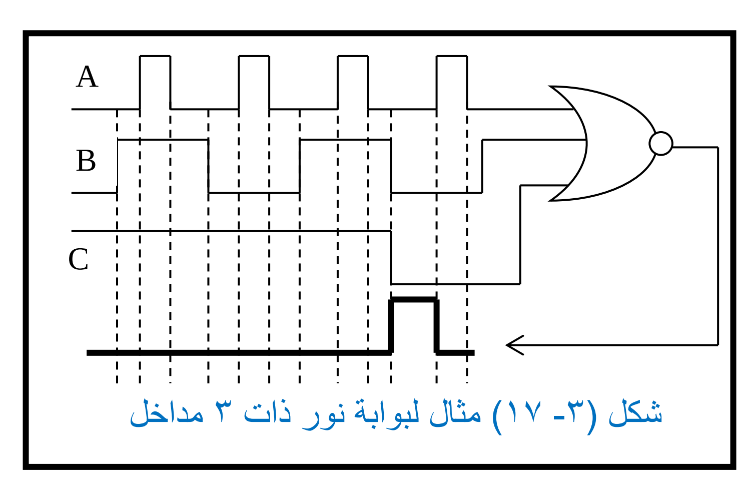
٣ -٦ البوابة نور NOR gate

بوابة النور واحدة أيضا من البوابات التى تستخدم بكثرة فى بناء الكثير من الدوال والأنظمة الرقمية كما سنرى حيث يمكن بناء النظام بالكامل باستخدام هذه البوابة، وسنرى أيضا كيفية الحصول كل من بوابات الآند والأور والعاكس باستخدام بوابة النور وذلك فى الفصل القادم. بوابة النور يكون لها دخلان أو أكثر وهى تقوم بعملية الجمع المنطقى على هذه المداخل ثم عكسها ووضعها على الخرج الوحيد. إن ذلك يعنى أنها عبارة عن بوابة أور متبوعة بعاكس. لذلك فإن خرج هذه البوابة يكون واحد فى حالة واحدة فقط وهى عندما تكون كل المداخل تساوى أصفار، ويكون الخرج صفر فى كل الحالات الأخرى التى يكون فيها أى واحد من المداخل أو كل المداخل تساوى وحايد.

الدخل			الخرج
A	B	C	F
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0

شكل (٣- ١٦) جدول الحقيقة لبوابة نور

شكل (٣– ١٥) يبين الرمز المميز والرمز المربع لهذه البوابة، وشكل (٣– ١٦) يبين جدول الحقيقة لبوابة نور لها ٣ مداخل. شكل (٣– ١٧) يبين الإشارة الزمنية على كل واحد من المداخل الثلاثة لبوابة النور والخرج المقابل. التعبير عن خرج بوابة النور كدالة فى الدخل يكون كالتالى: $F=\overline{A+B+C}$ وذلك للبوابة ذات الثلاث مداخل.



شكل (٣- ١٧) مثال لبوابة نور ذات ٣ مداخل

٣ –٧ البوابة إكس أور XOR gate

البوابة إكس أور Exclusive OR, XOR عبارة عن تركيبة من البوابات الأساسية السابقة، ونظرا لكثرة استخدامها فى الكثير من التطبيقات فقد تم إفراد رمز لها واستخدامها كبوابة منفصلة. هذه البوابة ليس لها إلا دخلان فقط ويكون خرجها واحد إذا كان الدخلان مختلفان، ويكون خرجها صفر إذا كان الدخلان متساويان. شكل (٣– ١٨) يبين الرمز المميز والرمز المربع لهذه البوابة، وشكل (٣– ١٩) يبين جدول الحقيقة لبوابة الإكس أور.

A
الدخل
B
الخرج
F
الرمز المميز

A
الدخل
B
=1
الخرج
F
الرمز المربع

شكل (٣- ١٨) رمز البوابة إكس أور

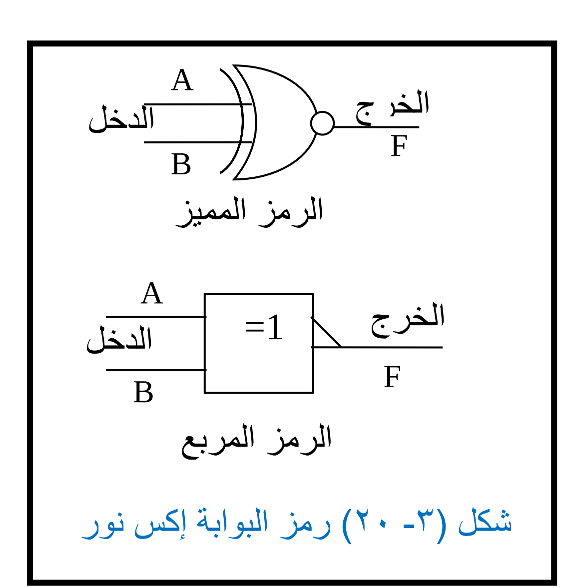
الدخل		الخرج
A	B	F
0	0	0
0	1	1
1	0	1
1	1	0

شكل (٣- ١٩) جدول الحقيقة لبوابة الإكس أور

٣ –٨ البوابة إكس نور XNOR gate

هذه البوابة تعمل بطريقة عكسية للبوابة إكس أور. أى أن الخرج يكون واحد إذا كان الدخلان متساويان ويكون الخرج صفر إذا كان الدخلان مختلفان. شكل (٣– ٢٠) يبين الرمز المميز والرمز المربع لهذه البوابة، وشكل (٣– ٢١) يبين جدول الحقيقة لها.

٣ – ٩ شرائح العكس
Inverter chips

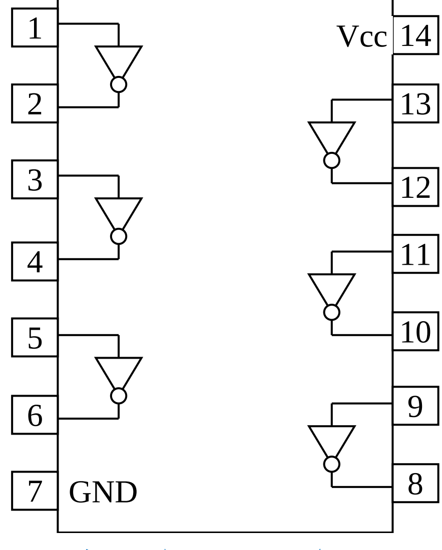


شكل (٣- ٢٠) رمز البوابة إكس نور

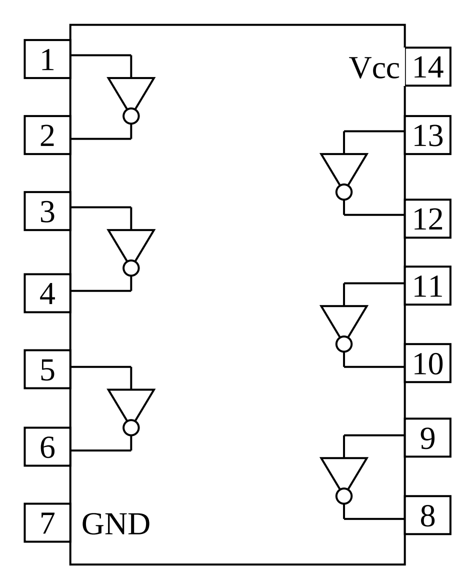
من الشرائح التى تستخدم كعاكس، الشريحة 7404 وإصداراتها 74LS04 و 74S04 وكلها تحتوى عدد ٦ من العواكس كما فى شكل (٣- ٢٢). زمن التأخير للشريحة 7404 هو ١٠ نانوثانية وتيار القدرة لها هو ١٢ ميللى أمبير. بالنسبة للشريحة 74LS04 زمن التأخير هو ٩,٥ نانوثانية وتيار القدرة ٢,٤ ميللى أمبير، بالنسبة للشريحة 74S04 فإن زمن التأخير يساوى ٣ نانوثانية بينما تيار القدرة هو ٢٢ ميللى أمبير. الشريحة 7405 تحتوى أيضا ٦ عواكس وهى متطابقة تماما من حيث الأطراف مع الشريحة 7404 سوى أن مخارج العواكس فى هذه الشريحة مأخوذة من خلال ترانزستور مفتوح المجمع open collector. معنى ذلك أنه لابد من توصيل خرج هذه العواكس على مصدر القدرة من خلال مقاومة ٤,٥ كيلوأوم تقريبا لكى تعمل بالطريقة الصحيحة. شكل (٣- ٢٣) يبين الرسم الطرفى لهذه الشريحة. زمن التأخير للشريحة 7405 هو ٤٠ نانوثانية وتيار القدرة لها هو ١٢ ميللى أمبير. هذه الشريحة توجد أيضا فى أكثر من إصدار. بالنسبة للشريحة 74LS05 زمن التأخير هو ١٧ نانوثانية وتيار القدرة ٢,٤ ميللى أمبير، بالنسبة للشريحة 74S05 فإن زمن التأخير يساوى ٥ نانوثانية بينما تيار القدرة هو ٢٠ ميللى أمبير.

الدخل		الخرج
A	B	F
0	0	1
0	1	0
1	0	0
1	1	1

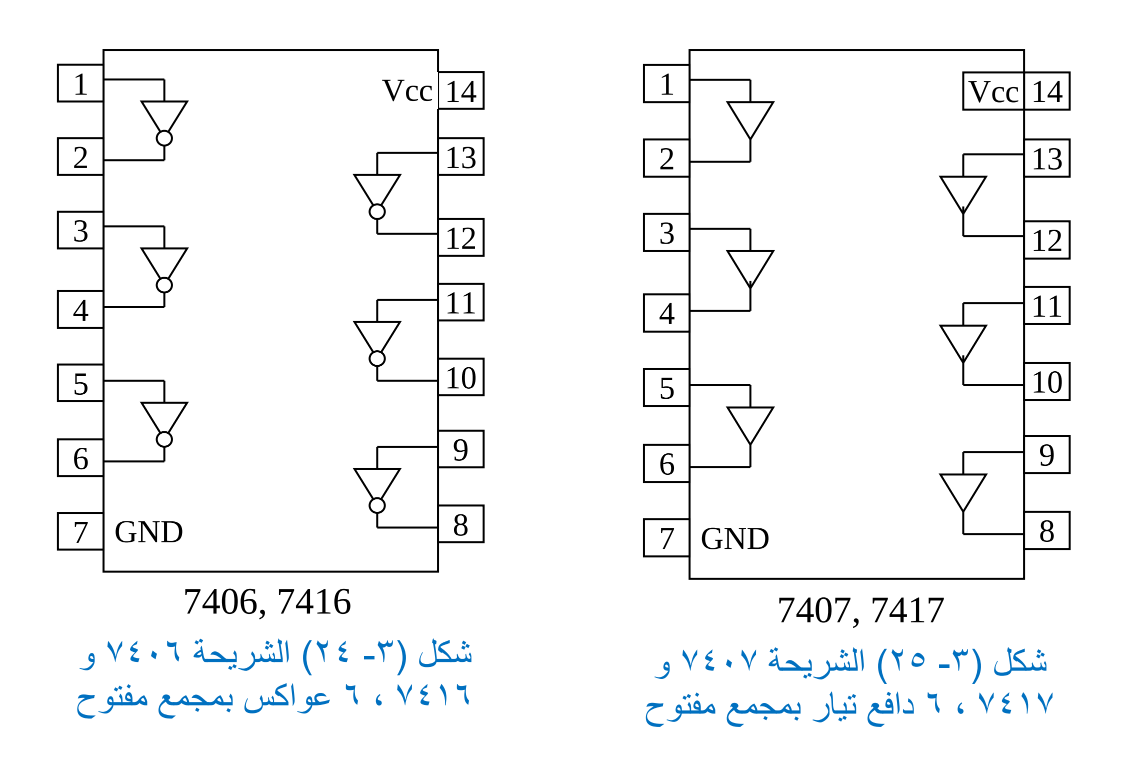
شكل (٣- ٢١) جدول الحقيقة لبوابة الإكس نور



شكل (٣- ٢٢) الشريحة ٧٤٠٤ المكونة من ٦ عواكس



شكل (٣- ٢٣) الشريحة ٧٤٠٥، ٦ عواكس بمجمع مفتوح



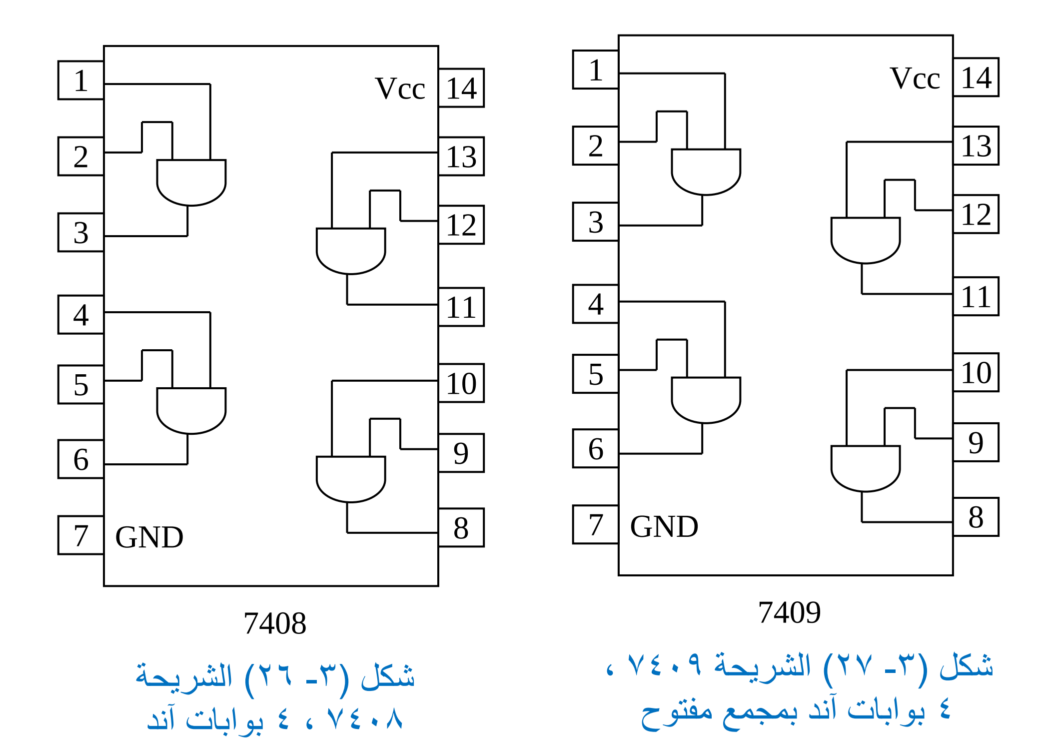
شكل (٣- ٢٤) الشريحة ٧٤٠٦ و ٧٤١٦ ، ٦ عواكس بمجمع مفتوح

شكل (٣- ٢٥) الشريحة ٧٤٠٧ و ٧٤١٧ ، ٦ دافع تيار بمجمع مفتوح

هناك أيضا الشريحة ٧٤٠٦ وهى متطابقة تماما مع سابقتيها من حيث الأطراف وهى أيضا تحتوى عواكس ذات مجمع مفتوح وهى موضحة فى شكل (٣- ٢٤). شكل (٣- ٢٥) يبين الشريحة ٧٤٠٧ وهى تحتوى ٦ دافع للتيار كل منها ذات مجمع مفتوح ولكنها غير عاكسة كما فى الشكل. الشريحة ٧٤١٦ تحتوى أيضا ٦ عواكس مفتوحة المجمع مثل الشريحة ٧٤٠٦ ومتطابقة تماما معها. الشريحة ٧٤١٧ تحتوى ٦ دافع تيار مثل الشريحة ٧٤٠٧ تماما كما فى شكل (٣- ٢٤) وشكل (٣- ٢٥).

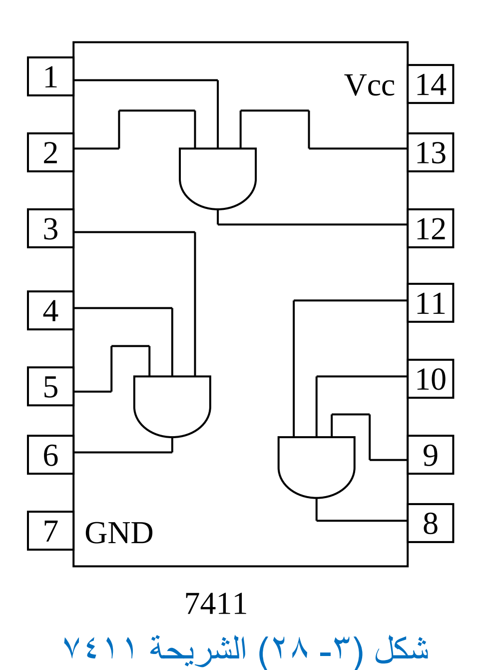
٣-١٠ شرائح الآند AND gate chips

يبين شكل (٣- ٢٦) الشريحة ٧٤٠٨ التى تحتوى ٤ بوابات آند كل منها ذات دخلين. هناك الإصدارات 74LS08 و 74S08 من هذه الشريحة أيضا. شكل (٣- ٢٧) يبين الشريحة ٧٤٠٩ التى تحتوى أيضا ٤ بوابات آند ولكن خرج كل بوابة مأخوذ من خلال ترانزستور مفتوح المجمع open collector. شكل (٣- ٢٨) يبين الشريحة ٧٤١١ التى تحتوى ثلاث بوابات آند ثلاثية المداخل، وشكل (٣- ٢٩) يبين الشريحة ٧٤١٥ التى تحتوى ثلاث بوابات آند أيضا ثلاثية المداخل ذات مجمع مفتوح. شكل (٣- ٣٠) يبين الشريحة ٧٤٢١ التى تحتوى بوابتان آند رباعية المداخل.

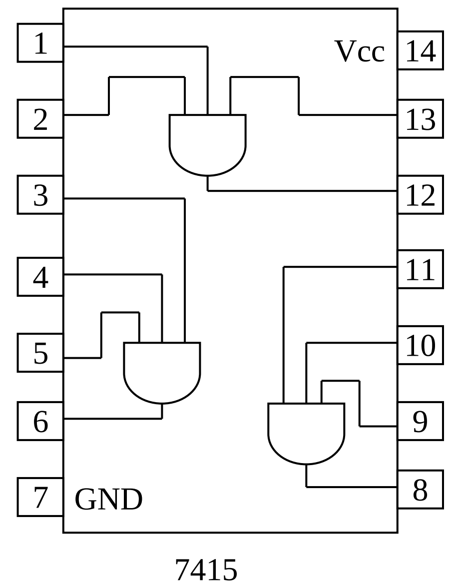


شكل (٣- ٢٦) الشريحة ٧٤٠٨ ، ٤ بوابات آند

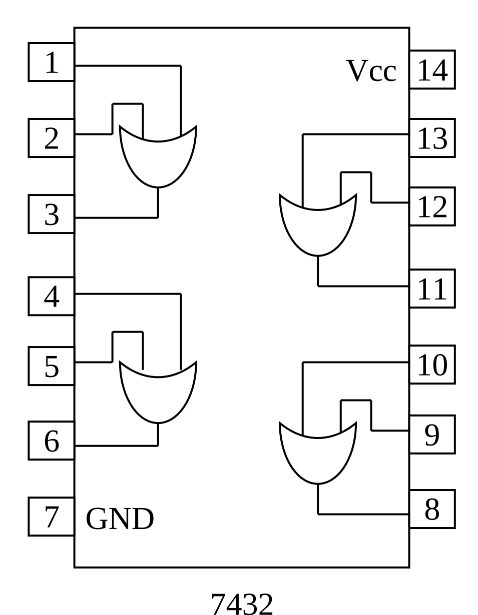
شكل (٣- ٢٧) الشريحة ٧٤٠٩ ، ٤ بوابات آند بمجمع مفتوح



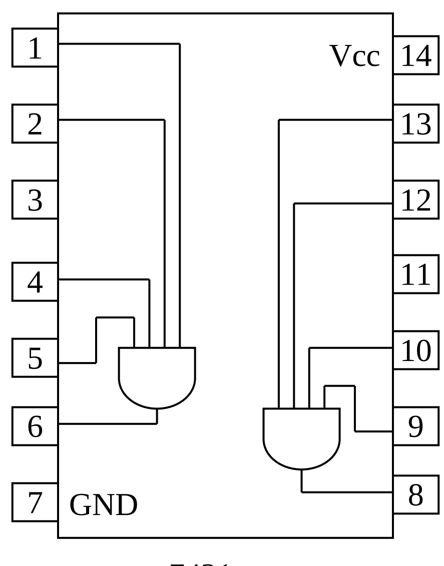
شكل (٣- ٢٨) الشريحة ٧٤١١ ثلاث بوابات آند ثلاثية المداخل



شكل (٣- ٢٩) الشريحة ٧٤١٥ ثلاث بوابات آند ثلاثية المداخل مجمع مفتوح



شكل (٣-٣١) الشريحة ٧٤٣٢ ، ٤ بوابات أور ثنائية المداخل



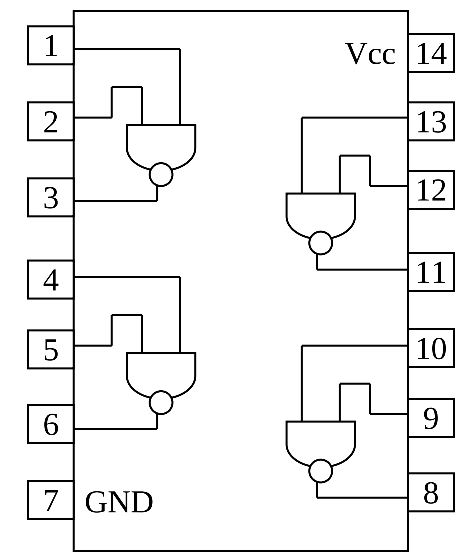
شكل (٣-٣٠) الشريحة ٧٤٢١ بوابتان آند رباعية المداخل

٣-١١ شرائح الأور OR gate chips

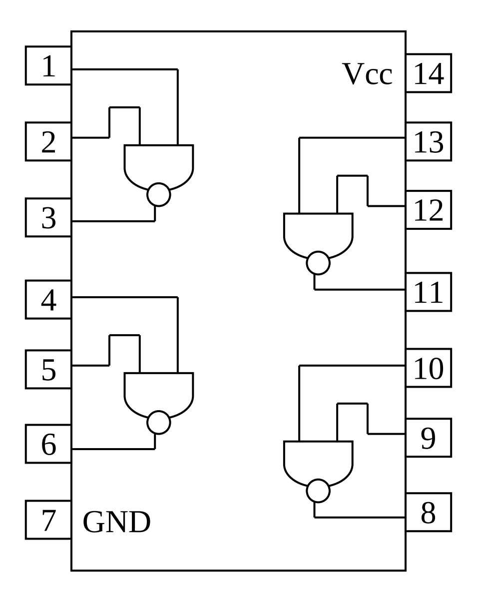
شكل (٣- ٣١) يبين الشريحة ٧٤٣٢ التي تحتوى ٤ بوابات أور ثنائية المداخل.

٣-١٢ شرائح الناند NAND gate chips

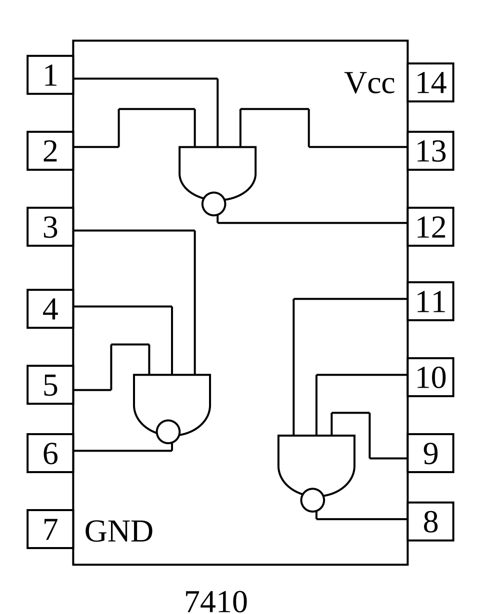
يبين شكل (٣- ٣٢) الشريحة ٧٤٠٠ والشريحة ٧٤٣٧ التي تحتوى كل منها على ٤ بوابات ناند ثناية المداخل. شكل (٣- ٣٣) يبين الشرائح ٧٤٠٣ و ٧٤٢٦ و ٧٤٣٨ التي تحتوى كل منها على ٤ بوابات ناند ثنائية المداخل ومفتوحة المجمع.



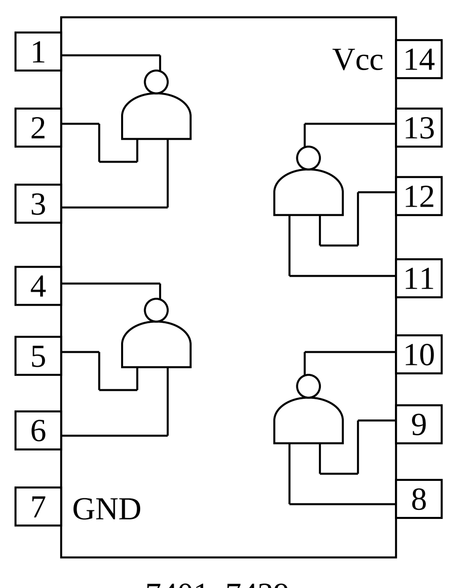
شكل (٣- ٣٣) الشريحة ٧٤٠٣ و ٧٤٢٦ و ٧٤٣٨ أربع بوابات ناند مفتوح المجمع ثنائية المداخل



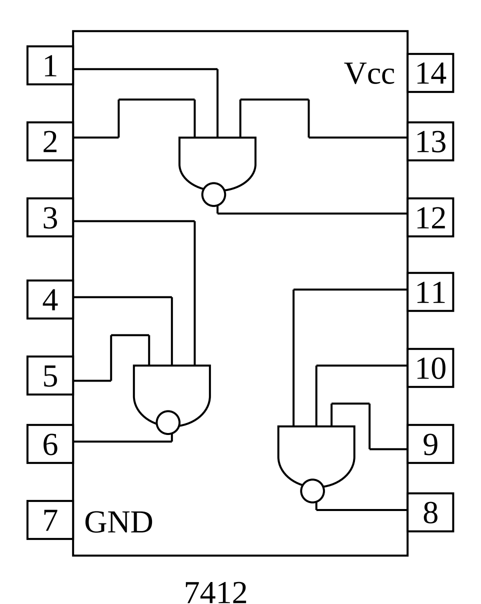
شكل (٣- ٣٢) الشريحة ٧٤٠٠ و ٧٤٣٧ ، ٤ بوابات ناند ثنائية المداخل



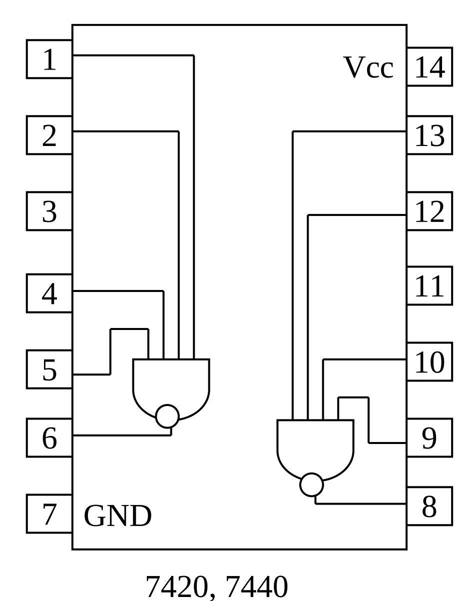
شكل (٣- ٣٥) الشريحة ٧٤١٠
ثلاث بوابات ناند ثلاثية المداخل



شكل (٣- ٣٤) الشريحة ٧٤٠١ و ٧٤٣٩ ، ٤
بوابات ناند مفتوح المجمع ثنائية المداخل



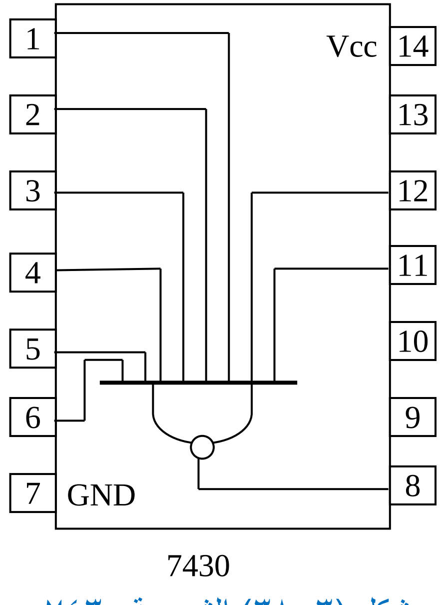
شكل (٣- ٣٧) الشريحة ٧٤١٢ ثلاث
بوابات ناند ثلاثية المداخل مفتوح المجمع



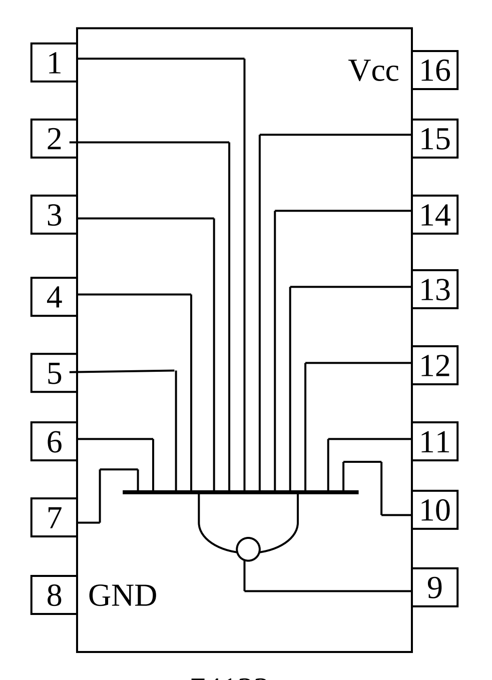
شكل (٣- ٣٦) الشريحة ٧٤٢٠ و
٧٤٤٠بوابتان ناند رباعية المداخل

شكل (٣- ٣٤) يبين الشريحة ٧٤٠١ والشريحة ٧٤٣٩ التى تحتوى كل منها على ٤ بوابات ناند ثنائية المداخل مفتوحة المجمع. شكل (٣- ٣٥) يبين الشريحة ٧٤١٠ التى تحتوى ٣ بوابات ناند ثلاثية المداخل، وشكل (٣- ٣٦) يبين الشريحة

٧٤٢٠ والشريحة ٧٤٤٠ التى تحتوى كل منها على بوابتان ناند رباعية المداخل. شكل (٣- ٣٧) يبين الشريحة ٧٤١٢ التى تحتوى ٣ بوابات ناند ثلاثية المداخل ولكنها مفتوحة المجمع.



شكل (٣- ٣٨) الشريحة ٧٤٣٠
بوابة ناند ثمانية المداخل



شكل (٣-٣٩) الشريحة ٧٤١٣٣
بوابة ناند ذات ١٣ دخل

شكل (٣- ٣٨) يبين الشريحة ٧٤٣٠ التى تحتوى بوابة ناند ثمانية المداخل. لاحظ فى هذه الشريحة أن الأطراف ٩ و ١٠ و ١٣ غير مستخدمة. شكل (٣- ٣٩) يبين الشريحة ٧٤١٣٣ التى تحتوى بوابة ناند واحدة ذات ١٣ مدخلا.

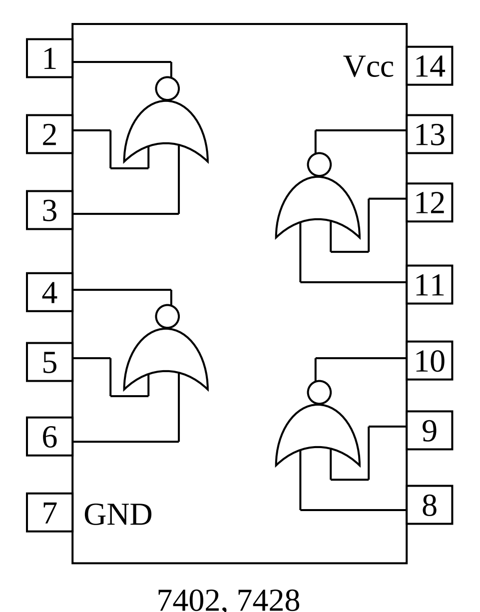
شكل (٣- ٤٠) يبين الشريحة ٧٤١٣٤ التى تحتوى بوابة ناند ذات ١٢ مدخلا ولها طرف تنشيط هو الطرف ١٥. عند تنشيط هذا الطرف $\overline{OE}$ بجعله يساوى صفر تعمل البوابة بالطريقة العادية. عند إخماد هذا الطرف بجعله يساوى واحد فإن خرج البوابة يكون مفتوحا أو مقاومة عالية جدا high impedance. هذه الظاهرة تستخدم بكثرة مع دوائر التقابل مع الحاسب والمعالجات.

74134

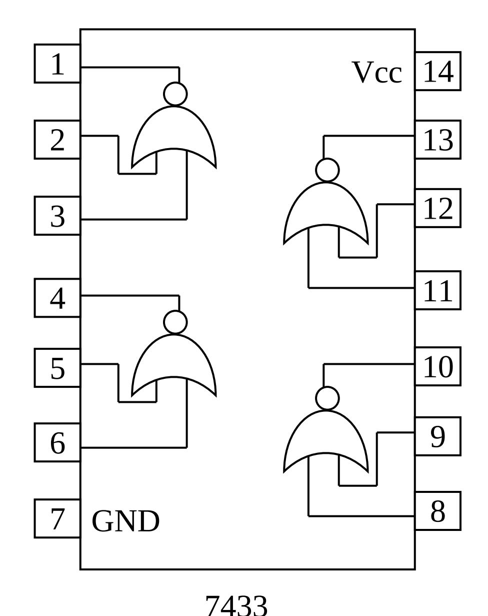
شكل (٣- ٤٠) الشريحة ٧٤١٣٤ بوابة ناند ذات ١٢ دخل بخرج ثلاثى المنطق

٣–١٣ شرائح النور NOR gate chips

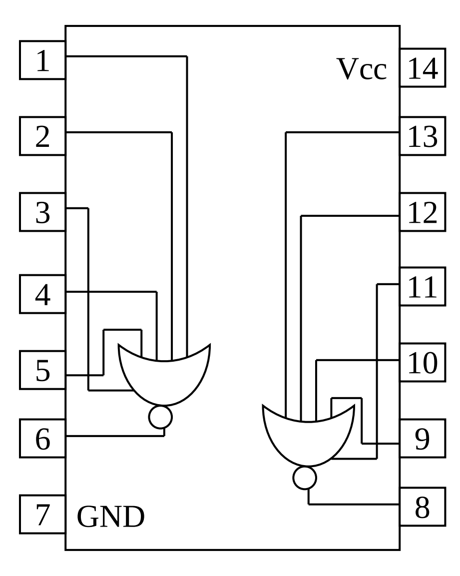
الأشكال (٣- ٤١) حتى (٣- ٤٤) تحتوى صورا متعددة للبوابة نور من حيث عدد المداخل وهل الخرج على مجمع مفتوح أم لا وكل شكل يوضح ذلك. الشريحة ٧٤٢٥ تحتوى بوابتان نور رباعية المداخل ولكن لكل بوابة طرف تشغيل بحيث أن خرج أى بوابة لن يتغير على حسب الدخل إلا إذا كان طرف التشغيل نشط، أى يساوى واحد.



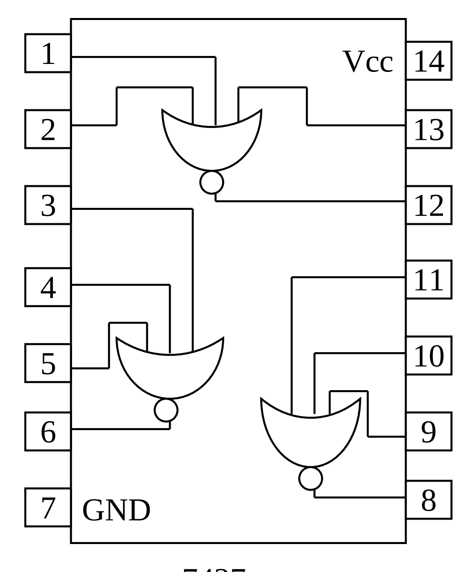
شكل (٣- ٤١) الشريحة ٧٤٠٢ و ٧٤٢٨ ، ٤ بوابات نور ثنائية المداخل



شكل (٣- ٤٢) الشريحة ٧٤٣٣ ، ٤ بوابات نور ثنائية المداخل مجمع مفتوح



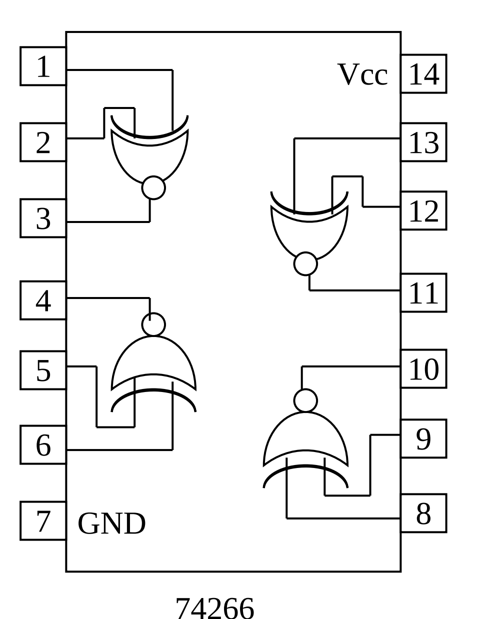
شكل (٣- ٤٤) الشريحة ٧٤٢٥ ، ٢ بوابة نور رباعية بطرف تنشيط



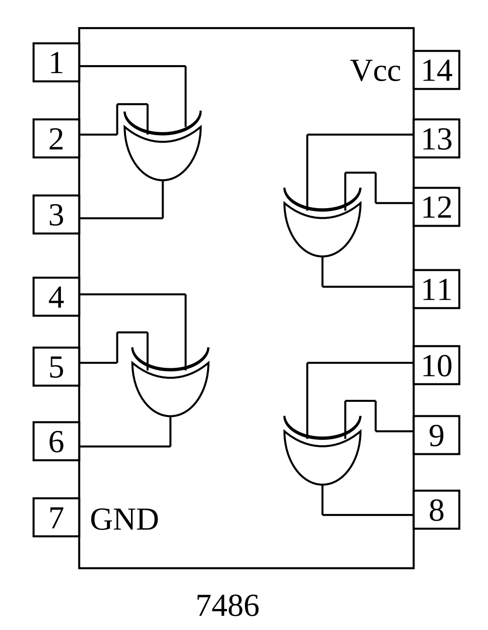
شكل (٣- ٤٣) الشريحة ٧٤٢٧ ثلاث بوابات نور ثلاثية المداخل

٣-١٤ شرائح الإكس أور والإكس نور
XOR and XNOR gate chips

شكل (٣- ٤٥) يبين الشريحة ٧٤٨٦ التى تحتوى ٤ بوابات إكس أور، وشكل (٣- ٤٦) يبين الشريحة ٧٤٢٦٦ التى تحتوى ٤ بوابات إكس نور.



شكل (٣- ٤٦) الشريحة ٧٤٢٦٦ ، ٤ بوابات إكس نور بمجمع مفتوح

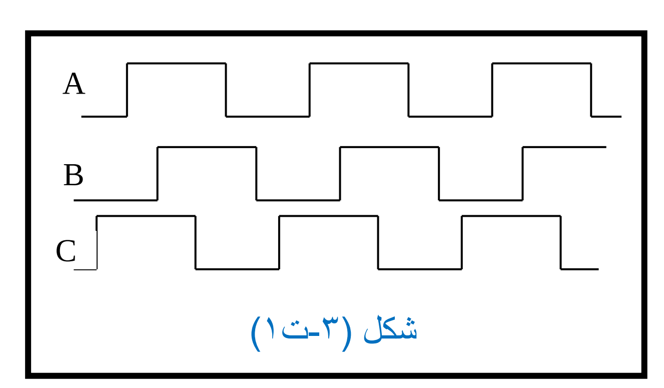


شكل (٣- ٤٥) الشريحة ٧٤٨٦ تحتوى ٤ بوابات إكس أور

٣-١٥ تمارين

١- شكل (٣-ت١) يحتوى ٣ موجات. افترض أن كل منها كانت دخلا لعاكس وارسم شكل الخرج الناتج.

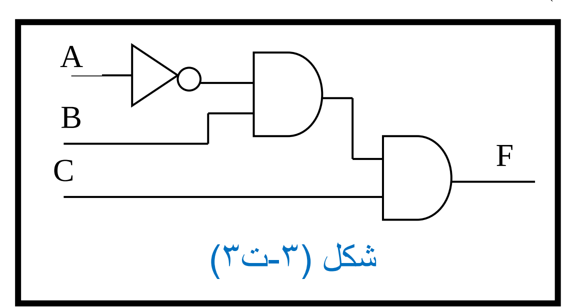
٢- شكل (٣-ت١) يبين ٣ موجات. اعتبر أنها كانت دخلا لبوابة آند ثلاثية المداخل مرة، وبوابة أور ثلاثية المداخل مرة أخرى، وبوابة ناند ثلاثية المداخل مرة ثالثة، وبوابة نور ثلاثية المداخل مرة رابعة وارسم شكل الخرج الناتج فى كل حالة .



شكل (٣-ت١)

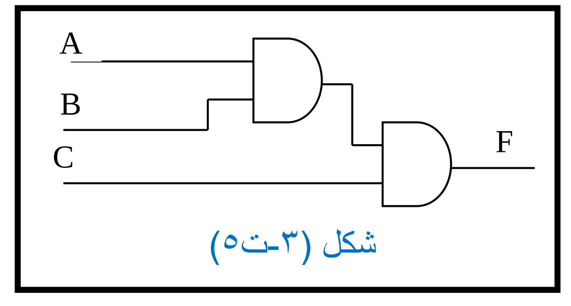
٣- الإشارات A, B, C فى شكل (٣-ت٣) هى نفسها الموجودة فى شكل (٣-ت١). ارسم الخرج F الناتج فى هذه الحالة.

٤- ارسم جدول الحقيقة للدائرة الموجودة فى شكل (٣-ت٣).



شكل (٣-ت٣)

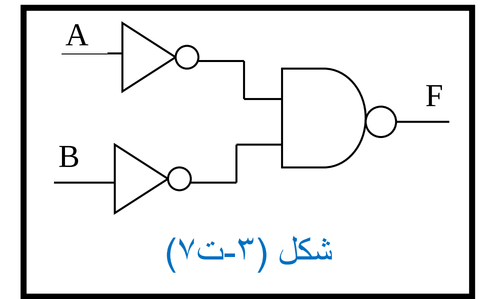
٥- ارسم جدول الحقيقة للدائرة الموجودة فى شكل (٣-ت٥). قارن هذا الجدول مع جدول الحقيقة لبوابة الآند ثلاثية المداخل، هل هما متطابقان؟ هل نستطيع القول أن هذه طريقة للحصول على بوابة آند ثلاثية المداخل من بوابتين كل منهما ثنائية المداخل ؟



شكل (٣-ت٥)

٦- أعد رسم شكل (٣-ت٥) بعد استبدال بوابات الآند ببوابات أور مرة ثم بوابات ناند مرة ثم بوابات نور مرة أخرى، ثم طبق التمرين ٥ على كل حالة.

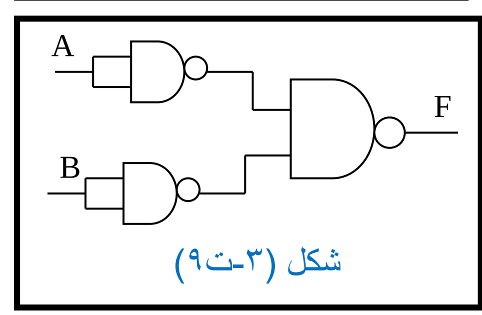
٧- أكتب جدول الحقيقة للدائرة الموجودة فى شكل (٣-ت٧). قارن هذا الجدول بجداول البوابات الأساسية، ماذا تستنتج ؟



شكل (٣-ت٧)

٨- فى شكل (٣-ت٧) استبدل البوابة ناند ببوابة نور وأعد التمرين رقم ٧.

٩- أكتب جدول الحقيقة للدائرة الموجودة فى شكل (٣-ت٩). قارن هذا الجدول بالجدول الذى حصلت عليه فى تمرين رقم ٧. ماذا تستنتج؟



شكل (٣-ت٩)

١٠- فى شكل (٣-ت٩) استبدل كل بوابة ناند ببوابة نور وأعد التمرين رقم ٩.

١١- اقترح طريقة للحصول على بوابة آند خماسية المداخل. إقترح الشرائح المستخدمة فى ذلك.

١٢- أعد تمرين رقم ١١ ولكن بالنسبة للبوابات أور وناند ونور.

١٣- الموجة A والموجة B فى شكل (٣-ت١) يمثلان الدخلان لبوابة إكس أور، ارسم شكل الخرج F فى هذه الحالة.

١٤- أعد تمرين رقم ١٣ مرة أخرى للبوابة إكس نور.

١٥- كم شريحة ٧٤٠٠ يتم استخدامها للحصول على مكافىء للشريحة ٧٤١٣٣. ارسم هذا الدائرة رسما صندوقيا.

١٦- إشرح كيف تحصل على بوابة آند بدخلين من بوابة آند رباعية المداخل. ماذا ستفعل فى الأطراف الزائدة.

١٧- أعد التمرين رقم ١٦ لكل البوابات الأخرى، أور وناند ونور.

الفصل الرابع

٤

الجبر البولينى وتبسيط المعادلات المنطقية

Boolean Algebra And Logic Simplification

٤ – ١ مقدمة

يرجع مسمى الجبر البوليني إلى العالم الإنجليزى جورج بول George Boole الذى كان أول من وضع أساسيات ونظريات الجبر المنطقى فى سنة ١٨٥٤. الجبر البوليني هو مجموعة من النظريات والقوانين التى تسهل التعامل مع الدوائر المنطقية، ونحن فى هذا الفصل سنغطى كل هذه القوانين والنظريات. من خلال هذا الفصل سنرى كيف نعبر عن أى دائرة منطقية بمعادلة جبرية، ثم نقوم بتبسيط هذه الدائرة إلى أبسط صورة ممكنة، ثم نقوم بإعداد جدول حقيقة لهذه المعادلة، ثم نبدأ فى بناء هذه الدائرة.

٤ – ٢ العمليات والتعبيرات المنطقية

الجبر المنطقى هو حساب الأنظمة الرقمية، لذلك لابد من تعريف العمليات المستخدمة فى الجبر المنطقى. لقد سبق التعرض لهذه العمليات من خلال البوابات المنطقية مثل AND و OR و NOT. هذا الفصل سيغطى هذه العمليات والتعبيرات بتفصيل أكثر مع إضافة معلومات جديدة.

٤–٢–١ المتغير المنطقى Logic Variable

المتغير المنطقى هو رمز يستخدم لتمثيل كمية منطقية. هذا المتغير لا يأخذ إلا واحدة فقط من قيمتين وهى الصفر (0) أو الواحد (1).

٤–٢–٢ عملية العكس المنطقى Complement

بما أن المتغير المنطقى لا يأخذ إلا واحدة من قيمتين، فإن عملية عكس أى متغير ستكون هى استبدال قيمة المتغير الحالية بالقيمة الأخرى. فإذا كان متغير معين يساوى واحد مثلا، فإن عكسه سيكون هو جعل هذا المتغير يساوى صفر. والعكس إذا كان أى متغير يساوى صفر، فإن عكسه يكون هو جعل هذا المتغير يساوى واحد. عملية العكس يرمز لها بوضع شرطة أو خط فوق المتغير هكذا $\overline{A}$، حيث فى هذه الحالة إذا كان A=1 فإن $\overline{A}=0$ والعكس صحيح. هذه العملية تمثلها بوابة النفى Not gate أو العاكس Inverter.

٤–٢–٣ عملية الجمع المنطقى Logic addition

عملية الجمع المنطقى هى عملية الأور OR التى رأيناها فى الفصل الثالث، والتى تعتمد على القوانين الآتية: 0+0=0 و 0+1=1 و 1+0=1 و 1+1=1. فى الجبر المنطقى تعرف الكمية المجمعة sum term على أنها الكمية المكونة من مجموعة متغيرات مجموعة مع بعضها مثل: A+B أو $\overline{A}$+B أو A+B+C وهكذا. الكمية المجمعة تكون واحد إذا كان واحد على الأقل من أجزائها يساوى واحد. والكمية المجمعة تكون صفرا فقط إذا كان كل أجزائها تساوى أصفارا. هذه العملية تمثلها بوابة الأور OR gate.

٤-٢-٤ عملية الضرب المنطقى Logic multiplication

الضرب المنطقى يقابل عملية الآند AND التى رأيناها فى الفصل الثالث، والتى تعتمد على القوانين الآتية: 0.0=0 و 0.1=0 و 1.0=0 و 1.1=1. فى الجبر المنطقى تعرف الكمية المضروبة multiplication term على أنها الكمية المكونة من مجموعة متغيرات مضروبة فى بعضها مثل: AB و ABCD و $\overline{A}BC$. الكمية المضروبة تكون صفر إذا كان أى واحد من أعضائها يساوى صفر، بينما تكون واحد فى حالة واحدة فقط وهى إذا كان كل أعضائها تساوى وحايد. البوابة التى تمثل هذه العملية هى بوابة الآند And gate.

مثال ٤-١

ما هى قيمة A, B, C, D التى تجعل كل كمية منطقية فيما يلى تساوى واحد مرة وصفر مرة :

$\overline{A}B\overline{C}$ و $\overline{A}+B+\overline{C}$

بفحص الكمية الأولى سنجد أنها لكى تساوى صفر لابد أن يكون A=1 و C=1 و B=0. ولكى تكون واحد هناك أكثر من حالة حيث يكفى أن تكون B=1 مثلا أو A=0 أو C=0 مهما كانت قيم المتغيرات الأخرى فى كل حالة.

بفحص الكمية الثانية سنجد أنها لكى تكون واحد لابد أن يكون A=0 و B=1 و C=0. ولكى تكون صفرا فإنه يكفى أن تكون A=1 أو B=0 أو C=1 مهما كانت قيم المتغيرات الأخرى فى كل حالة.

٤ -٣ قوانين الجبر المنطقى أو البولينى

هناك بعض القوانين المهمة التى يجب ألا ننساها كما فى العمليات الحسابية العادية. سنقدم فى هذا الجزء كل هذه القوانين بالشرح والأمثلة .

٤ -٣ -١ قانون التبادل Commutative law

ينص هذا القانون على أنه سواء فى حالة الجمع أو حالة الضرب، فإن ترتيب المتغيرات ليس له أى أهمية كما فى الأمثلة التالية:

A+(B+C)=(A+B)+C　　(٤-١)

A.(B.C)=(A.B).C　　(٤-٢)

٤ -٣ -٢ قانون الضم أو التجميع Associative law

ينص هذا القانون على أنه عند جمع أو ضرب أى عدد من المتغيرات فإنه يمكن ضم أو تجميع هذه المتغيرات بأى كيفية دون التأثير على النتيجة كما يلى:

A+(B+C) = (A+B)+C　　(٤-٣)

A.(B.C)=(A.B).C　　(٤-٤)

٤-٣-٣ قانون التوزيع Distributive Law

ينص هذا القانون على أن ضرب أى متغير فى مجموع متغيرين يساوى مجموع حاصل ضرب هذا المتغير فى كل من المتغيرين على حدة ويتضح ذلك من المثال التالى:

$$A(B+C)=AB+AC \qquad (٤-٥)$$

جدول ٤-١ يبين ١٢ قانونا مفيدة جدا فى التعامل مع التعبيرات والمعادلات المنطقية. هذه القوانين يمكن إثباتها ببساطة بالتعويض فى كل من طرفى المعادلة بقيم معينة للمتغيرات سواء واحد أو صفر والتأكد من أن كل من طرف المعادلة يعطى نفس النتيجة. فقط القوانين ١٠ و ١١ و ١٢ فى هذا الجدول هى التى ستحتاج لعملية استنتاج كما يلى:

القانون ١٠

$$\mathbf{A+AB=A(1+B)}$$
$$=A.1$$
$$=A$$

ويمكن اثبات ذلك أيضا بعمل جدول حقيقة لكل من طرفى القانون والتأكد من أن طرفى القانون متساويين.

جدول ٤-١ قوانين الجبر المنطقى

1	$A+0=A$
2	$A+1=1$
3	$A.0=0$
4	$A.1=A$
5	$A+A=A$
6	$A+\bar{A}=1$
7	$A.A=A$
8	$A.=0\bar{A}$
9	$\bar{\bar{A}}=A$
10	$A+AB=A$
11	$A+\bar{A}B=A+B$
12	$(A+B)(A+C)=A+BC$

القانون ١١

$$\mathbf{A+\bar{A}B=A+B}$$

$$A+\bar{A}B=(A+AB)+B\bar{A}$$
$$=(AA+AB)+B\bar{A}$$
$$=AA+AB+A\bar{A}+\bar{A}B$$
$$=(AA+A\bar{A})+(AB+\bar{A}B)$$
$$=(A+\bar{A})A+(A+\bar{A})B = A+B$$

حاول اثبات هذا القنون أيضا باستخدام جدول الحقيقة.

القانون ١٢

$$\mathbf{(A+B)(A+C)=A+BC}$$
$$=AA+AC+AB+BC$$
$$=A(1+C)+AB+BC$$
$$=A.1+AB+BC$$
$$=A(1+B)+BC$$
$$=A.1+BC$$

$=A+BC$

حاول اثبات هذا القانون أيضا باستخدام جدول الحقيقة.

٤ –٤ نظريات ديمورجان Demorgans Theorems

ديمورجان هو عالم رياضيات أضاف نظريتين أساسيتين لنظريات الجبر المنطقى. هاتان النظريتان يمكن كتابتهما لمعادلات من متغيرين كما يلى:

$$\overline{XY} = \overline{X} + \overline{Y} \qquad (٤-٦)$$

$$\overline{X+Y} = \overline{X}\,\overline{Y} \qquad (٤-٧)$$

تنص هذه النظرية على أن عكس مضروب أى عدد من المتغيرات يساوى مجموع العكس لهذه المتغيرات كما فى المعادلة (٤-٦). كما أن عكس مجموع أى عدد من المتغيرات يساوى مضروب العكس لهذه المتغيرات كما فى المعادلة (٤-٧). يمكن اثبات المعادلتين (٤ – ٦) و (٤ – ٧) باستخدام جداول الحقيقة لكل من الطرفين فى كل معادلة. نظريات ديمورجان يمكن تطبيقها على أى عدد من المتغيرات وليست مقتصرة على متغيرين فقط.

مثال ٤–٢

طبق نظريات ديمورجان على التعبيرين $\overline{WXYZ}$ و $\overline{W+X+Y+Z}$. بالنسبة للتعبير الأول يمكن كتابته كما يلى:

$$\overline{WXYZ} = \overline{W} + \overline{X} + \overline{Y} + \overline{Z}$$

وأما التعبير الثانى فيمكن كتابته كما يلى:

$$\overline{W+X+Y+Z} = \overline{W}.\overline{X}.\overline{Y}.\overline{Z}$$

يمكن تطبيق نظريات ديمورجان على تعبيرات أكثر تعقيدا كما فى التعبير التالى:

$$\overline{(AB+C)(A+BC)}$$

يمكن النظر لهذا التعبير على أنه مكون من متغيرين ، الأول هو القوس الأول ، والثانى هو القوس الثانى. بتطبيق نظرية ديمورجان على الأقواس كمتغيرات نحصل على:

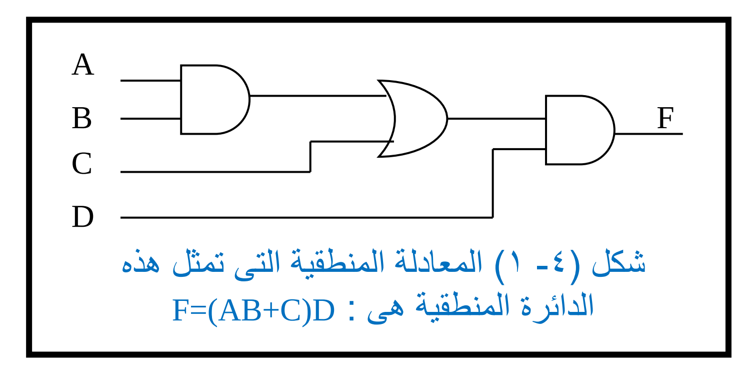
$$\overline{(AB+C)(A+BC)} = \overline{(AB+C)} + \overline{(A+BC)}$$

حيث تم استبدال معكوس حاصل ضرب القوسين بمجموع معكوس كل من القوسين. الآن يمكن تطبيق نظرية ديمورجان على ما بداخل كل قوس حيث كل عملية جمع تستبدل بحاصل ضرب المعكوس، وكل ضرب تستبدل بمجموع المعكوس كما يلى:

$$\overline{(AB+C)} + \overline{(A+BC)} = (\overline{A}+\overline{B}).\overline{C} + \overline{A}.(\overline{B}+\overline{C})$$

وهذا آخر ما يمكن عمله بنظرية ديمورجان لهذا المثال. بالطبع قد يمكن تبسيط هذا التعبير، ولكن هذا يتم باستخدام طرق سيتم شرحها فى الأجزاء القادمة.

٤ –٥ الحصول على المعادلة المنطقية لأى دائرة منطقية



شكل (٤-١) المعادلة المنطقية التى تمثل هذه الدائرة المنطقية هى : F=(AB+C)D

عملية الحصول على المعادلة المنطقية التى تمثل دائرة منطقية معينة تعتبر عملية سهلة. بالنظر للدائرة الموجودة فى شكل (٤- ١) فإننا نبدأ من أقصى اليسار ونحسب خرج كل بوابة متجهين ناحية اليمين إلى أن نصل إلى الخرج الأخير. حيث نلاحظ من هذا الشكل أن الخرج F سيكون حاصل ضرب المتغيرين A و B مجموعا مع C والكل مضروبا فى المتغير D، ويمكن كتابة الخرج F كما يلى:

$$F=(AB+C)D \qquad (٤-٨)$$

٤ –٦ الحصول على جدول الحقيقة من المعادلة المنطقية

بمجرد الحصول على المعادلة المنطقية يمكن وضع جدول الحقيقة لهذه المعادلة أو هذه الدائرة. جدول الحقيقة يمثل فى أحد جوانبه جميع الدخول الخاصة بالدائرة وفى الجانب الآخر مخارج الدائرة. للحصول على هذا الجدول يتم تمثيل جميع الحالات الممكنة للمداخل، وفى المقابل لكل حالة يتم حساب الخرج تبعا لقيم المداخل فى هذه الحالة. كمثال على ذلك سنكتب جدول الحقيقة للدائرة الموجودة فى شكل (٤- ١). هذه الدائرة لها ٤ مداخل (A, B, C, D) وخرج واحد هو الخرج F. لذلك فإن جميع الحالات الممكنة لجميع المداخل من وحايد وأصفار ستكون $2^4=16$. ، أى أن هذا الجدول سيحتوى ١٦ صفا كما فى جدول ٤-٢.

جدول ٤-٢ جدول الحقيقة للدائرة الموجودة فى شكل (٤- ١)

الدخل				الخرج
D	C	B	A	F=(AB+C)D
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

٤ –٧ تبسيط المعادلات المنطقية

قبل محاولة بناء أو تحقيق أى معادلة منطقية باستخدام البوابات المنطقية المعروفة، لابد من محاولة تبسيط هذه المعادلات فقد توفر الكثير من البوابات، وقد تحصل على دائرة أكثر بساطة. سنرى فى هذا الجزء كيفية تبسيط هذه المعادلات باستخدام قوانين ونظريات الجبر المنطقى التى رأيناها فى هذا الفصل. لذلك فإنه لكى نستخدم هذه الطريقة لابد من المعرفة الجيدة لهذه القوانين وهذه النظريات. من عيوب هذه الطريقة أنها ليست خطوات محددة يتم اتباعها بالترتيب، ولكنها كما قلنا تعتمد بالدرجة الأولى

على المعرفة الجيدة بالقوانين السابقة. كما أن هناك عيب آخر وهو أن الصورة المبسطة التى قد تصل إليها ليس هناك أى تأكيد على أنها أبسط صورة، ولكن قد يستطيع شخص آخر الحصول على صورة أبسط لأنه أمهر فى استخدام هذه القوانين. لكى نرى كيف نتبع هذه الطريقة سنسوق المثال التالى لنرى من خلاله أهمية تبسيط أى معادلة قبل محاولة بناؤها:

مثال ٤–٣

بسط المعادلة التالية إلى أبسط صورة ممكنة:

$F=(A\overline{B}(C+BD)+\overline{A}\overline{B})C$

١– فك القوس الداخلى باستخدام قانون التوزيع:

$F=(A\overline{B}C+A\overline{B}BD+\overline{A}\overline{B})C$

٢– لاحظ أن الكمية الثانية داخل القوس تحتوى المضروب $B\overline{B}$ وهذه الكمية تبعا للقانون الثامن فى جدول ١ تساوى صفر . لذلك فإن المعادلة تؤول إلى:

$F=(A\overline{B}C+\overline{A}\overline{B})C$

٣– طبق قانون التوزيع مرة أخرى على المعادلة السابقة للتخلص من القوس:

$F=A\overline{B}CC+\overline{A}\overline{B}C$

٤– بتطبيق القانون رقم ٧ فى جدول ١ نجد أن $CC=C$ ، لذلك نعيد كتابة المعادلة السابقة كما يلى:

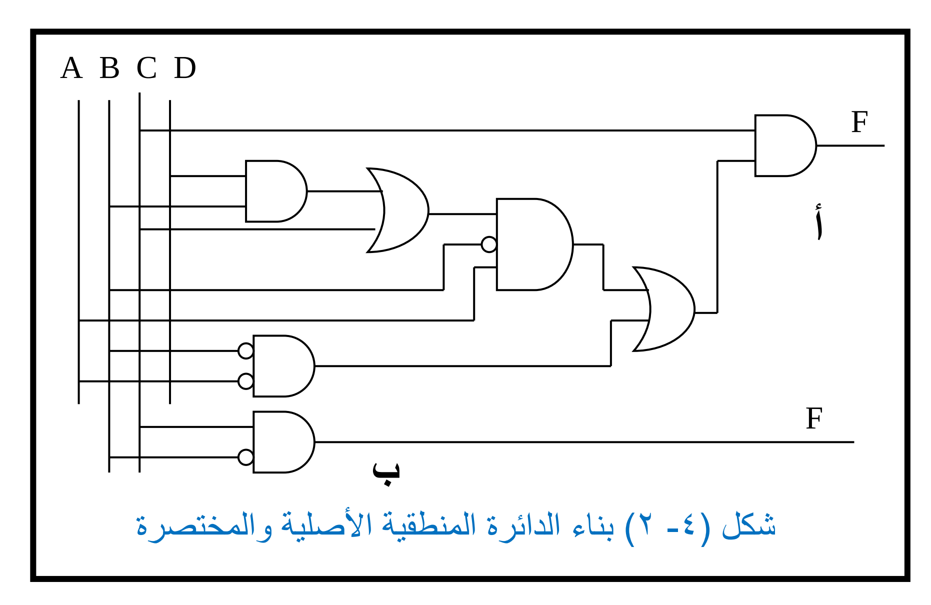
$F=A\overline{B}C+\overline{A}\overline{B}C$

٥– من المعادلة السابقة يمكن أن نأخذ الكمية $C\overline{B}$ كعامل مشترك:

$F=\overline{B}C(A+\overline{A})$

٦– بتطبيق القانون رقم ٦ فى جدول ١ نجد أن $A+\overline{A}=1$. وعلى ذلك فإن المعادلة السابقة تؤول إلى الكمية:

$F=\overline{B}C$



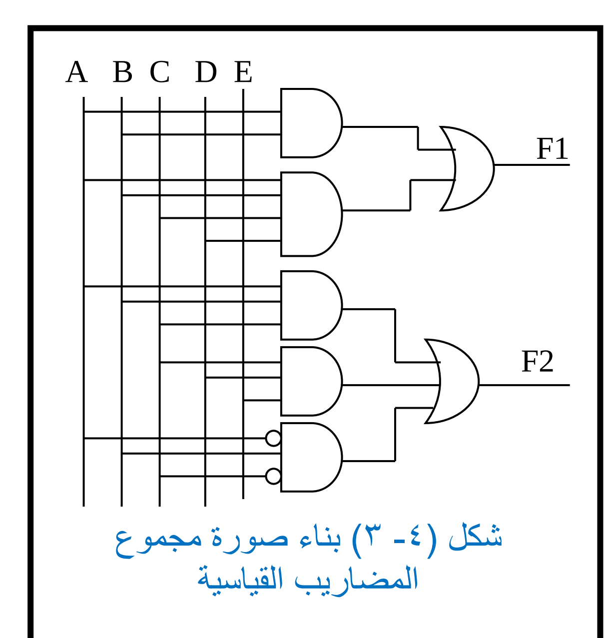
شكل (٤- ٢) بناء الدائرة المنطقية الأصلية و المختصرة

وهذا أقصى ما يمكن الوصول إليه من اختصار، وهذا بالطبع اختصارا كبيرا إذا ما قورن بالمعادلة الأصلية. شكل (٤-٢أ و ب) يبين بناء المعادلة الأصلية (أ) والمعادلة المختصرة (ب) حتى نقدر مدى فائدة محاولة اختصار أى معادلة قبل بناؤها فقد يكون فيها التوفير الكثير كما رأينا. المعادلة المختصرة تحتاج لبوابة AND واحدة، بينما الدائرة الأصلية تحتاج إلى ستة بوابات. هذا مع إهمال بوابات العكس فى كل حالة. اكتب جدول الحقيقة لكل من الصورتين الأصلية والمختصرة وتأكد من أنهما سيعطيان نفس النتائج.

٤ -٨ الصور القياسية للمعادلات المنطقية

هناك صورتان من الصور القياسية التى يمكن أن نضع أى معادلة منطقية عليها . الصورة الأولى هى صورة مجموع المضاريب، والصورة الثانية هى صورة مضروب المجاميع. وضع أى معادلة فى واحدة من هذه الصور يسهل عملية اختصار وبناء هذه المعادلات كما سنرى.

٤-٨-١ صورة مجموع المضاريب Sum of product form



شكل (٤- ٣) بناء صورة مجموع المضاريب القياسية

فى هذه الصورة تكون المعادلة فى صورة كميات، كل منها عبارة عن مضروب AND لمجموعة متغيرات، وهذه الكميات مجمعة OR مع بعضها. كمثال على ذلك انظر التعبيرات التالية:

$$F1=AB+ABCD$$

$$F2=ABC+CDE+\overline{A}B\overline{C}$$

عند بناء أى معادلة موضوعة فى صورة مجموع مضاريب فإن الدائرة المنطقية الناتجة تتكون من مجموعة من بوابات الآند AND كل منها تمثل أحد الكميات المضروبة، وكل هذه البوابات مجمعة فى بوابة أور OR واحدة كما فى شكل (٤- ٣) الذى يبين بناء كل من المعادلتين السابقتين. الدائرة المبينة فى شكل (٤ - ٣) تسمى دائرة آند أور AND-OR circuit. باستخدام قوانين ونظريات الجبر المنطقى يمكن وضع أى معادلة فى صورة مجموع مضاريب. فى الصورة القياسية لمجموع المضاريب يجب أن تكون كل كمية من الكميات المضروبة ممثلة لكل متغيرات المعادلة. فمثلا المعادلة F1 السابقة ليست معادلة مجموع مضاريب قياسية لأن هذه المعادلة مكونة من ٤ متغيرات هى A, B, C, D والكمية الأولى تحتوى متغيرين فقط هما A, B لذلك فهذه المعادلة ليست قياسية كما قلنا. لاحظ أن ما يهمنا هنا هو تمثيل كل المتغيرات فى كل الكميات المضروبة، ونعنى بتمثيل المتغير هنا هو إما المتغير أو عكسه. لتحويل أى معادلة إلى الصورة القياسية نضرب الكمية الغير قياسية فى مجموع المتغير الناقص وعكسه ثم نفك هذا المجموع إلى كميتين. يتضح ذلك من المثال التالى:

مثال ٤-٤

ضع المعادلة F1 السابقة فى صورة معادلة مجموع مضاريب قياسية. المعادلة F1 هى:

$$F1=AB+ABCD$$

الكمية الأولى AB هى الكمية الغير قياسية، حيث أن المتغيرين C و D غير ممثلين فيها. لذلك سنضرب هذه الكمية أولا فى الكمية $C+\overline{C}$ كما يلى: (لاحظ أن الكمية $C+\overline{C}=1$)

$$F1=AB(C+\overline{C})+ABCD$$

ثم نفك القوس فنحصل على المعادلة التالية :

$$F1=ABC+AB\overline{C}+ABCD$$

هذه المعادلة لازالت غير قياسية لغياب المتغير D فى أول كميتين. للحصول على الصورة القياسية نكرر الخطوتين السابقتين كما يلى:

$$F1=ABC(D+\overline{D})+AB\overline{C}(D+\overline{D})+ABCD$$

ومنه نحصل على:

$$F1=ABCD+ABC\overline{D}+AB\overline{C}D+AB\overline{C}\,\overline{D}+ABCD$$

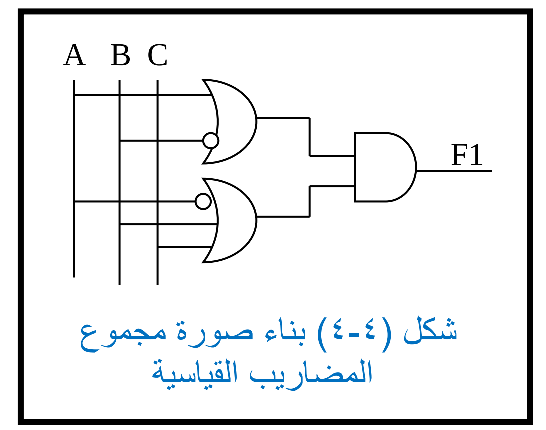
وهذه هى صورة مجموع المضاريب القياسية التى نبحث عنها للمعادلة F1.

٤-٨-٢ صورة مضروب المجاميع القياسية Product of sum form

فى هذه الصورة تكون المعادلة فى صورة كميات مضروبة فى بعضها (AND)، وكل كمية منها عبارة عن مجموع (OR) لمجموعة متغيرات. كمثال على ذلك انظر التعبيرات التالية:

$$F1=(A+\overline{B})(\overline{A}+B+C)$$

$$F2=(\overline{A}+\overline{B}+C)(A+\overline{B}+C+D)$$



شكل (٤-٤) بناء صورة مجموع المضاريب القياسية

عند بناء أى معادلة موضوعة فى صورة مضروب مجاميع فإن الدائرة المنطقية الناتجة تتكون من مجموعة من بوابات الأور OR كل منها تمثل أحد الكميات المجموعة، وكل هذه البوابات مجمعة فى بوابة آند AND واحدة كما فى شكل (٤-٤) الذى يبين بناء المعادلة الأولى F1. الدائرة المبينة فى شكل (٤-٤) تسمى دائرة أور آند OR-AND circuit. باستخدام قوانين ونظريات الجبر المنطقى يمكن وضع أى معادلة فى صورة مضروب مجاميع.

فى الصورة القياسية لمضروب المجاميع يجب أن تكون كل كمية من الكميات المجمعة ممثلة لكل متغيرات المعادلة. فمثلا المعادلة F1 السابقة ليست معادلة مضروب مجاميع قياسية لأن هذه المعادلة مكونة من ٣ متغيرات هى A, B, C والكمية الأولى تحتوى متغيرين فقط هما $\overline{B}$ و A لذلك فهذه المعادلة ليست قياسية كما قلنا. لاحظ أن ما يهمنا هنا هو تمثيل كل المتغيرات فى كل الكميات المجمعة، ونعنى بتمثيل المتغير هنا هو إما المتغير أو عكسه. لتحويل أى معادلة إلى الصورة القياسية نضيف المتغير الناقص مضروبا فى عكسه إلى الكمية الغير قياسية وهذا بالطبع لن يؤثر على هذه الكمية لأنه تبعا

للقانون ٨ فى جدول ٤-١ فإن حاصل ضرب أى متغير فى عكسه يساوى صفر. بعد ذلك نستخدم القانون ١٢ فى نفس الجدول الذى ينص على $A+BC=(A+B)(A+C)$ وبذلك تتحول الكمية الغير قياسية إلى كميتين قياسيتين، يتضح ذلك من المثال التالى:

مثال ٤-٥

ضع المعادلة F1 السابقة فى صورة معادلة مضروب مجاميع قياسية. المعادلة F1 هى:

$$F1=(A+\overline{B})(\overline{A}+B+C)$$

الكمية الأولى $A+\overline{B}$ هى الكمية الغير قياسية، حيث أن المتغير C غير ممثل فيها. لذلك سنضيف الكمية $C\overline{C}$ والتى تساوى صفر إلى الكمية الغير قياسية كما يلى:

$$F1=(A+\overline{B}+C\overline{C})(\overline{A}+B+C)$$

ثم نستخدم القانون ١٢ كما ذكرنا لنحصل على المعادلة التالية :

$$F1=(A+\overline{B}+C)(A+\overline{B}+\overline{C})(\overline{A}+B+C)$$

وهذه هى صورة مضروب المجاميع القياسية التى نبحث عنها للمعادلة F1 . نكرر ذلك لكل كمية غير قياسية فى المعادلة إن وجد .

٤ -٩ جدول الحقيقة والمعادلات المنطقية

جدول الحقيقة هو طريقة شائعة للتعبير عن المعادلات المنطقية. جدول الحقيقة هو استجابة الدائرة المنطقية أو المعادلة المنطقية لجميع الاحتمالات الممكنة لمتغيرات الدخل للدائرة. المثال التالى يوضح ذلك:

مثال ٤-٦

أكتب جدول الحقيقة للمعادلة المنطقية التالية:

$$F=\overline{A}\,\overline{B}C+A\overline{B}\,\overline{C}+ABC$$

هذه المعادلة تحتوى ٣ متغيرات، لذلك فإن جدول الحقيقة سيحتوى $2^3=8$ من الصفوف، كل صف يحتوى أحد الحالات الممكنة لمجموعة الدخل. لكل حالة من حالات الدخل نحسب الخرج المقابل كما فى الجدول ٤-٣.

بنفس الطريقة يمكن إيجاد جدول الحقيقة لأى معادلة منطقية سواء كانت قياسية أو غير قياسية أو أى دائرة منطقية .

جدول ٤-٣ جدول الحقيقة للمثال ٤-٦

الدخل			الخرج
A	B	C	F
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

٤ – ١٠ الحصول على المعادلة المنطقية القياسية من جدول الحقيقة

فى الكثير من التطبيقات نبدأ بالدائرة المنطقية ونحسب لها جدول الحقيقة، فهل يمكن وضع معادلة منطقية (من هذا الجدول) فى أحد الصور القياسية لهذه الدائرة ؟

٤–١٠–١ الحصول على المعادلة المنطقية فى صورة مجموع المضاريب

فى هذه الحالة نبحث فى جدول الحقيقة عن الكميات التى يكون فيها الخرج يساوى واحد، كل واحد من هذه الكميات يمثل مضروب مجموعة المتغيرات كل على حسب إذا كان صفر أو واحد، وكل هذه المضاريب يتم جمعها لتعطى دالة الخرج. فمثلا فى جدول الحقيقة فى المثال السابق (جدول ٤–٣) نجد أن الخرج F=1 عند ثلاثة أماكن فى الجدول: المكان الأول عندما A=0, B=0, C=1 وهذا يمكن وضعه فى صورة الكمية المضروبة $\overline{A}\,\overline{B}\,C$. المكان الثانى عندما A=1, B=0, C=0 وهذا يمكن وضعه فى صورة الكمية المضروبة $A\overline{B}\,\overline{C}$. المكان الثالث عندما A=1, B=1, C=1 وهذا يمكن وضعه فى صورة الكمية المضروبة ABC. وعلى ذلك يمكن كتابة المعادلة المنطقية من مجموع هذه الكميات الثلاثة كما يلى:

$$F=\overline{A}\,\overline{B}\,C+A\overline{B}\,\overline{C}+ABC$$

وهذه هى نفس المعادلة المنطقية السابقة. يمكن تطبيق ذلك على أى جدول حقيقة حيث يمكن بناء الدائرة فى هذه الحالة فى صورة آند أور.

٤–١٠–٢ الحصول على المعادلة المنطقية فى صورة مضروب المجاميع

فى هذه الحالة نبحث فى جدول الحقيقة عن الكميات التى يكون فيها الخرج يساوى صفر، كل واحد من هذه الكميات نكتبه فى صورة مضروب مجموعة المتغيرات كل على حسب إذا كان صفر أو واحد، وكل هذه المضاريب يتم جمعها لتعطى دالة الخرج المعكوسة بدلا من دالة الخرج الحقيقية كما سبق. فمثلا فى جدول الحقيقة فى المثال السابق (جدول ٤–٣) نجد أن الخرج F=0 عند خمسة أماكن فى الجدول: المكان الأول عندما A=0, B=0, C=0 وهذا يمكن وضعه فى صورة الكمية المضروبة $\overline{A}\,\overline{B}\,\overline{C}$ ، المكان الثانى عندما A=0, B=1, C=0 وهذا يمكن وضعه فى صورة الكمية المضروبة $\overline{A}B\overline{C}$، وهكذا يمكن كتابة باقى الخمسة كميات. فى النهاية يمكن كتابة المعادلة المنطقية لمعكوس الخرج كما يلى:

$$\overline{F}=\overline{A}\,\overline{B}\,\overline{C}+\overline{A}B\overline{C}+\overline{A}BC+A\overline{B}C+AB\overline{C}$$

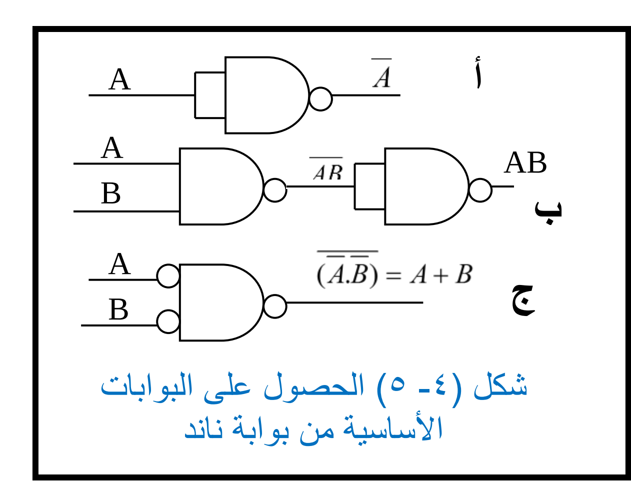
لاحظ أن الذى حصلنا عليه هو معكوس الخرج وليس الخرج الحقيقى. للحصول على الخرج الحقيقى F نعكس كل من طرفى المعادلة السابقة كما يلى:

$$\overline{(\overline{F})}=\overline{(\overline{A}.\overline{B}.\overline{C}+\overline{A}.B.\overline{C}+\overline{A}.B.C+A.\overline{B}.C+A.B.\overline{C})}$$

عكس الطرف الأيسر مرتين كما سبق يعطى الخرج الحقيقى F، بينما عكس الطرف الأيمن يمكن تطبيق نظرية ديمورجان عليه لنحصل على المعادلة فى صورة مضروب مجاميع كما يلى:

$$F=(A+B+C)(A+\overline{B}+C)(A+\overline{B}+\overline{C})(\overline{A}+B+\overline{C})(\overline{A}+\overline{B}+C)$$

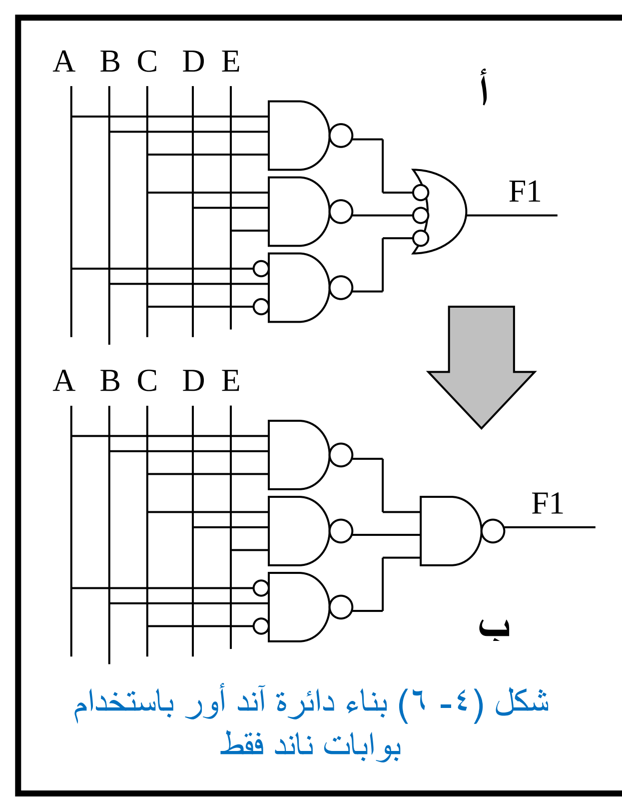
وهى الصورة التى نبحث عنها حيث منها يمكن بناء الدائرة فى صورة أور آند.



شكل (٤-٥) الحصول على البوابات الأساسية من بوابة ناند

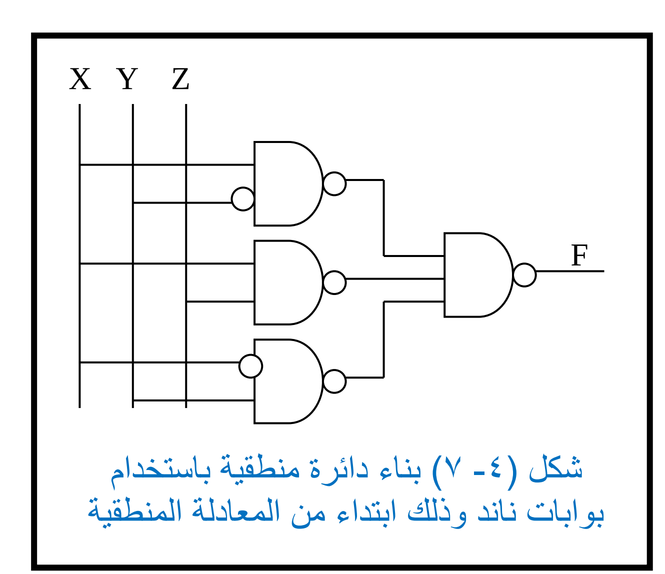
٤ –١١ بناء الدوائر المنطقية باستخدام بوابات ناند فقط

فى الكثير من الدوائر العملية، وبالذات فى تصنيع الدوائر التكاملية المنطقية يكون فى العادة من المفيد بناء كل الدائرة أو كل النظام المنطقى من نوع واحد من البوابات. سنرى فى هذا الجزء كيف نستخدم بوابات ناند فقط لبناء الدائرة المنطقية بالكامل. شكل (٤- ٥) يبين كيفية الحصول على البوابات الأساسية، العاكس، وأند، وأور باستخدام بوابة ناند فقط. كما فى شكل (٤- ٥أ) فإن العاكس يمكن الحصول عليه بتوصيل دخلى البوابة ناند مع بعضهما فيكون خرج البوابة فى هذه الحالة هو: $\overline{AA} = \overline{A}$ حيث كما نعلم فإن عملية الآند على نفس المتغير تعطى المتغير نفسه كما سبق. شكل (٤- ٥ب) يبين كيفية الحصول على بوابة آند من ناند حيث الدخلين الأساسين يدخلان على بوابة ناند فنحصل من خرجها على $\overline{AB}$، بإدخال هذا الخرج على بوابة ناند تعمل كعاكس نحصل فى الخرج النهائى على AB الذى يمثل خرج بوابة آند. شكل (٤- ٥ج) يبين كيفية الحصول على بوابة أور من ناند. دخل البوابة ناند الأولى هو معكوس المتغيرين الأساسيين، فيكون خرج البوابة ناند الأولى هو $\overline{(\overline{A}.\overline{B})}$. هذا الخرج يمكن تطبيق نظرية ديمورجان عليه فنحصل على A+B التى تمثل خرج بوابة أور.

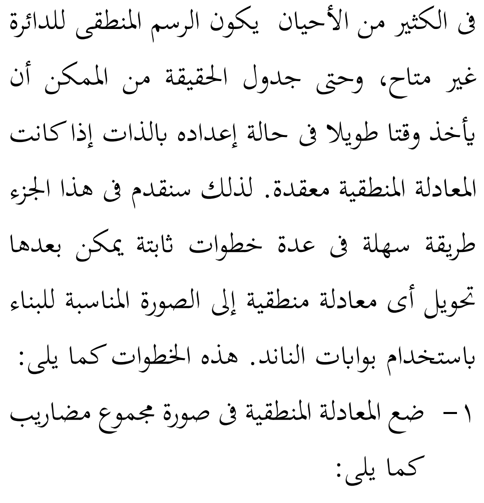


شكل (٤- ٦) بناء دائرة آند أور باستخدام بوابات ناند فقط

يمكن تحويل أى دائرة مبنية بنظام آند أور، أى مجموع مضاريب، إلى دائرة مبنية باستخدام بوابات ناند فقط وذلك بوضع عاكسين على خرج كل بوابة آند كما فى شكل (٤- ٦أ). العاكس الأول مع كل بوابة آند يعطى بوابة ناند. باقى العواكس فى دخل بوابة الأور ، مع بوابة الأور، تكافىء بوابة ناند حسب قوانين الجبر المنطقى. بذلك تصبح الدائرة كلها مبنية باستخدام بوابات الناند كما فى شكل (٤- ٦ب) .



شكل (٤ - ٧) بناء دائرة منطقية باستخدام بوابات ناند وذلك ابتداء من المعادلة المنطقية



فى الكثير من الأحيان يكون الرسم المنطقى للدائرة غير متاح، وحتى جدول الحقيقة من الممكن أن يأخذ وقتا طويلا فى حالة إعداده بالذات إذا كانت المعادلة المنطقية معقدة. لذلك سنقدم فى هذا الجزء طريقة سهلة فى عدة خطوات ثابتة يمكن بعدها تحويل أى معادلة منطقية إلى الصورة المناسبة للبناء باستخدام بوابات الناند. هذه الخطوات كما يلى:

١- ضع المعادلة المنطقية فى صورة مجموع مضاريب كما يلى:

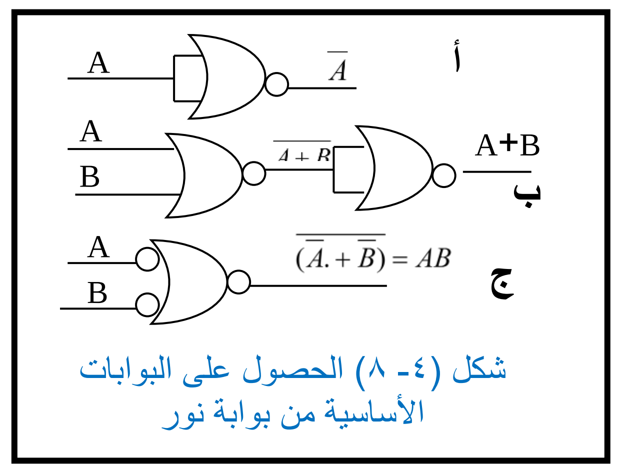
$$F=X(\overline{Y}+Z)+\overline{X}Y$$

$$F=X\overline{Y}+XZ+\overline{X}Y$$

٢- إعكس الطرف الأيمن للمعادلة مرتين ، حيث سيكون ليس هناك أى تأثير نتيجة هذا العكس المزدوج. فى هذه الحالة ستكون المعادلة السابقة كما يلى:

$$F=\overline{\overline{X\overline{Y}+XZ+\overline{X}Y}}$$

٣- طبق نظرية ديمورجان على عملية العكس الداخلية، وعلى عمليات الجمع فقط دون عمليات الضرب. فى هذه الحالة ستكون المعادلة السابقة كما يلى :



شكل (٤- ٨) الحصول على البوابات الأساسية من بوابة نور

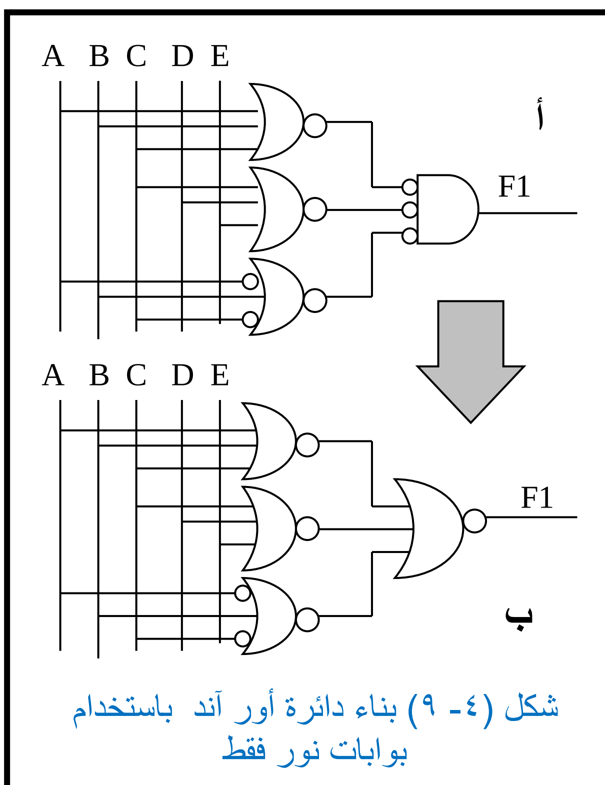
$$F=\overline{(\overline{X\overline{Y}})(\overline{XZ})(\overline{\overline{X}Y})}$$

وهذه كما نرى عبارة عن بوابات ناند (عددها ثلاثة) كلها مجمعة على بوابة ناند. شكل (٤- ٧) يبين هذه الدائرة.

٤ -١٢ بناء الدوائر المنطقية باستخدام بوابات نور فقط

سنرى فى هذا الجزء كيف نستخدم بوابات نور فقط لبناء الدائرة المنطقية بالكامل كما فعلنا مع بوابات الناند. شكل (٤-٨) يبين كيفية الحصول على البوابات الأساسية، العاكس، وأور، وآند باستخدام بوابة نور فقط. كما فى شكل (٨-٤أ) فإن العاكس يمكن الحصول عليه بتوصيل دخلى البوابة نور مع بعضهما فيكون خرج البوابة فى هذه الحالة هو: $\overline{A+A}=\overline{A}$ حيث كما نعلم فإن عملية الأور على نفس المتغير تعطى المتغير نفسه كما سبق. شكل (٤- ٨ب) يبين كيفية الحصول على بوابة أور من نور حيث الدخلين الأساسين يدخلان على بوابة نور فنحصل من خرجها على الصورة $\overline{A+B}$ ، بإدخال هذا الخرج على بوابة نور تعمل كعاكس نحصل فى الخرج النهائى على الصورة A+B الذى يمثل خرج

بوابة أور. شكل (٤- ٨ج) يبين كيفية الحصول على بوابة آند من نور. دخل البوابة نور الأولى هو معكوس المتغيرين الأساسيين، فيكون خرج البوابة نور الأولى هو $\overline{(\overline{A}+\overline{B})}$. هذا الخرج يمكن تطبيق نظرية ديمورجان عليه فنحصل على AB التي تمثل خرج بوابة آند.



شكل (٤- ٩) بناء دائرة أور آند باستخدام بوابات نور فقط

يمكن تحويل أى دائرة مبنية بنظام أور آند، أى مضروب مجاميع، إلى دائرة مبنية باستخدام بوابات نور فقط وذلك بوضع عاكسين على خرج كل بوابة أور كما فى شكل (٤- ٩أ). العاكس الأول مع كل بوابة أور يعطى بوابة نور. باقى العواكس فى دخل بوابة الآند، مع بوابة الآند، تكافىء بوابة نور حسب قوانين الجبر المنطقى. بذلك تصبح الدائرة كلها مبنية باستخدام بوابات نور كما فى شكل (٤- ٩ب).

فى الكثير من الأحيان يكون الرسم المنطقى للدائرة غير متاح، وحتى جدول الحقيقة من الممكن أن يأخذ وقتا طويلا فى حالة إعداده بالذات إذا كانت المعادلة المنطقية معقدة. لذلك سنقدم فى هذا الجزء طريقة سهلة فى عدة خطوات ثابتة يمكن بعدها تحويل أى معادلة منطقية إلى الصورة المناسبة للبناء باستخدام بوابات النور. هذه الخطوات كما يلى:

١- ضع المعادلة المنطقية فى صورة مضروب مجاميع.

٢- إعكس الطرف الأيمن للمعادلة مرتين، حيث سيكون ليس هناك أى تأثير نتيجة هذا العكس المزدوج.

٣- طبق نظرية ديمورجان على عملية العكس الداخلية، وعلى عمليات الضرب فقط دون عمليات الجمع فتحصل على دائرة مبنية باستخدام بوابات نور فقط. حاول تطبيق ذلك على مثال من عندك.

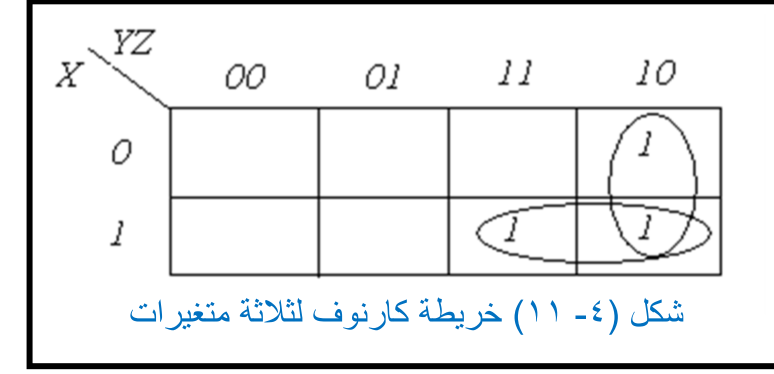
٤ –١٣ اختصار الدوال المنطقية (خريطة كارنوف)

Karnaugh Map

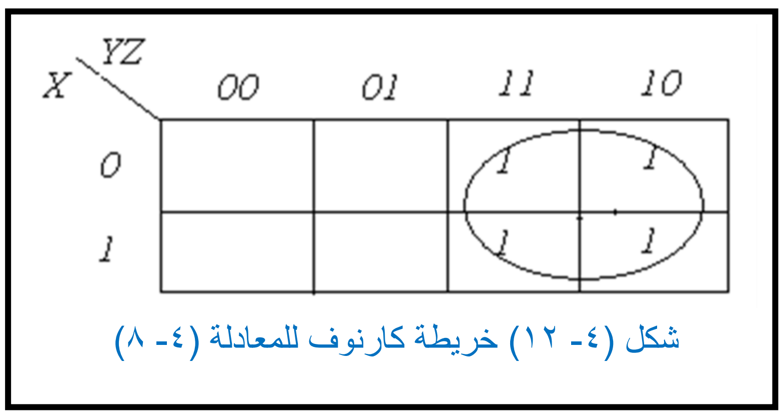
لقد رأينا فى جزء سابق كيفية استخدام قوانين ونظريات الجبر المنطقى فى اختصار الدوال أو الدوائر المنطقية. مثل هذه الطريقة كما أشرنا سابقا لا تعطى أى تأكيد على أن الصورة النهائية التى تم الحصول عليها للمعادلة المنطقية هى الصورة المثلى ولا يمكن اختصارها أكثر من ذلك لأن الصورة النهائية التى سنصل إليها تعتمد بدرجة كبيرة على مهارة مستخدم هذه القوانين والنظريات. سنقدم هنا طريقة بسيطة لاختصار أى معادلة منطقية ووضعها فى الصورة المثلى التى لا يمكن إجراء أى اختصار عليها أكثر من ذلك. ميزة هذه الطريقة أنها خطوات مرتبة فى صورة أشكال توضيحية مثل جدول الحقيقة كما سنرى. هذه الطريقة تسمى طريقة أو خريطة كارنوف لتبسيط المعادلات المنطقية.

شكل (٤- ١٠) خريطة كارنوف لمعادلة فى متغيرين موقعا عليها كميات الخرج F

طريقة كارنوف تشبه تماما جدول الحقيقة فى تمثيل المعادلة المنطقية. حيث أنها تعرض جميع الحالات الممكنة لمتغيرات الدخل، وكذلك الخرج المقابل لهذا الدخل. بدلا من استخدام الصفوف والأعمدة كما فى جدول الحقيقة، فإن خريطة كارنوف تستخدم مصفوفة من الخلايا، حيث كل خلية من هذه الخلايا تمثل واحدة من حالات الدخل الممكنة. يتم ترتيب هذه الخلايا بطريقة تسمح بتبسيط الدالة المنطقية عن طريق تجميع بعض هذه الخلايا مع بعضها بطريقة معينة. يمكن استخدام هذه الخريطة لتبسيط المعادلات ذات المتغيرين والثلاثة والأربعة وحتى الخمسة متغيرات، ولكن مع زيادة عدد متغيرات المعادلة عن خمسة فإن التعامل مع الخريطة يكون صعب ومتعب. فى هذه الحالة (زيادة عدد المتغيرات عن خمسة) نلجأ لطريقة أخرى تسمى طريقة كوين مكلوسكى Quine McClusky، وهذه الطريقة خارج نطاق هذا الكتاب. سنقدم هنا أمثلة على استخدام خرائط كارنوف ذات المتغيرين والثلاثة والأربعة.



شكل (٤- ١١) خريطة كارنوف لثلاثة متغيرات

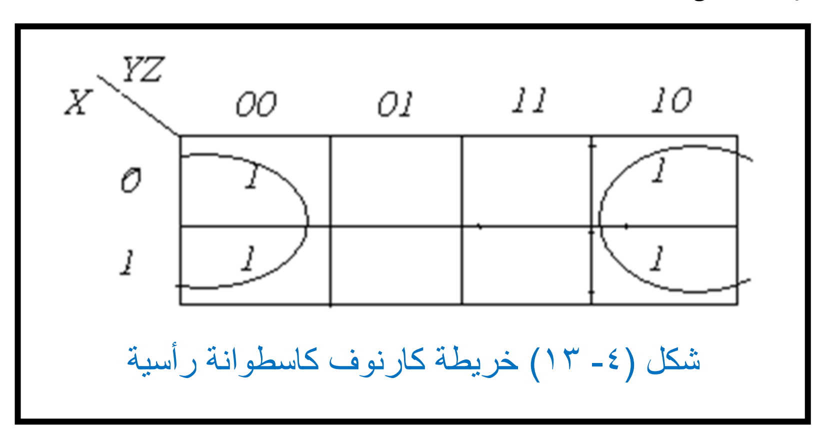


شكل (٤- ١٢) خريطة كارنوف للمعادلة (٤- ٨)

سنفترض أولا معادلة منطقية فى متغيرين كما يلى :

$F=X\overline{Y}+XY+\overline{X}Y$

شكل (٤- ١٠) يبين خريطة كارنوف لمتغيرين.



شكل (٤- ١٣) خريطة كارنوف كاسطوانة رأسية

نلاحظ أن هذه الخريطة مكونة من ٤ خلايا مرتبة فى صفين وعمودين. الصف الأول يمثل عكس المتغير الأول $\overline{X}$ والصف الثانى يمثل المتغير نفسه X . كذلك العمود الأول يسارا يمثل عكس المتغير الثانى $\overline{Y}$ والعمود الثانى يمثل نفس المتغير Y. وعلى ذلك فإن ترتيب الخلايا من حيث تقاطع الصفوف مع الأعمدة سيجعل الخلية الأولى (أعلى يسار) تمثل الكمية $\overline{X}\ \overline{Y}$ ، والخلية الثانية (أعلى يمين) تمثل الكمية $\overline{X}$ Y، والخلية الثالثة (أسفل يسار) تمثل الكمية $X\overline{Y}$، والخلية الرابعة (أسفل يمين) تمثل الكمية XY. أى أن الخريطة تحتوى ٤ خلايا تمثل جميع الاحتمالات الممكنة لمتغيرات الدخل X و Y. الخطوة التالية بعد رسم الخريطة هى مقارنة الكميات الموجودة فى المعادلة المراد تبسيطها ثم وضع واحد فى كل خلية من خلايا الخريطة يقابلها كمية فى المعادلة. وحيث أن المعادلة تحتوى ٣ كميات فقد تم توقيع ٣ وحايد فى الخريطة كما هو موضح فى شكل (٤- ١٠). الخطوة التالية هى تجميع كل خليتين متجاورتين أفقيا أو رأسيا وكل منهما تحتوى واحد. الخلايا المجمعة والمتجاورة بهذا الشكل يمكن تبسطها إلى المتغيرات الثابتة فى هذا التجميع فقط. فمثلا التجميعة الرأسية تحتوى الخلية الثانية والرابعة ، ومجموع هاتين الخليتين هو $XY+\overline{X}Y$. فى هذه المجموعة المتغير Y ثابت لم يتغير فى كل من الكميتين، بينما المتغير X كان فى الكمية الأولى حقيقى ومعكوس فى الكمية الثانية. لذلك فإن هذه المجموعة تؤول إلى الكمية Y فقط. وهذا فى الحقيقة يمكن اثباته من قوانين الجبر المنطقى حيث يمكن أن نأخذ المتغير Y مشتركا فى هذه المجموعة ويتبقى المتغير X مجموعا مع معكوسه وهذا يساوى واحد حسب قوانين الجبر المنطقى. الآن ننتقل إلى المجموعة الأفقية التى تحتوى الخلية الثالثة مع الخلية الرابعة. فى هذه الخلية المتغير X ثابت بينما المتغير Y ليس ثابتا فى الخليتين. لذلك فإن هذه المجموعة تؤول إلى المتغير X فقط. لذلك فإن الصورة المبسطة للمعادلة F ستكون ناتج هاتين المجموعتين كما يلى:

$F=X+Y$

وهذا هو أبسط ما يمكن الوصول إليه فى هذه المعادلة .

سنفترض الآن معادلة فى ثلاثة متغيرات كما يلى:

$F=\overline{X}Y\overline{Z}+XY\overline{Z}+XYZ$

شكل (٤- ١١) يبين خريطة كارنوف لثلاث متغيرات موقعا عليها الكميات الموجودة فى المعادلة السابقة. من هذه الخريطة يمكن كتابة الصورة المبسطة للمعادلة كما يلى:

$F=XY+Y\overline{Z}$

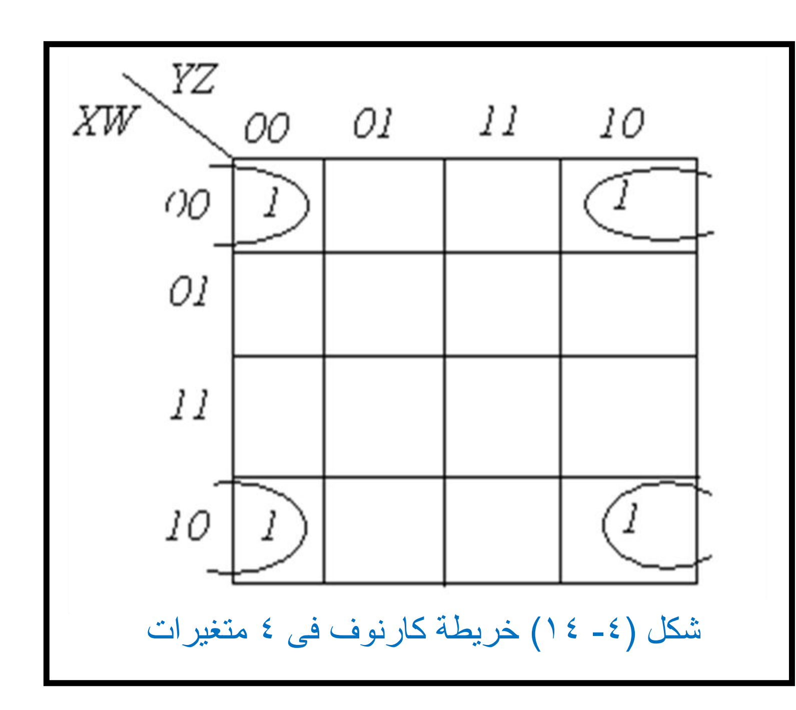
لاحظ طريقة ترتيب الخلايا أفقيا من خلال المتغيرين Y و Z. نلاحظ أنه بالانتقال من عمود للتالى له فإن متغير واحد فقط هو الذى يغير حالته من حقيقى إلى معكوس. فتجد العمود الأيسر مثلا ممثلا بالكمية YZ=00 ، والعمود التالى له YZ=01 المتغير Z فقط تغير من صفر لواحد، يأتى بعد ذلك العمود YZ=11 تجد أن الفرق بينه وبين العمود السابق أن المتغير Y تغير من صفر إلى واحد، وهكذا. المهم أنه عند الانتقال من خلية لخلية مجاورة لها أن يتغير واحد فقط من المتغيرات من صفر إلى واحد أو العكس.

ما زلنا مع المعادلات ثلاثية المتغيرات حيث نعرض المعادلة التالية:

$$F=\overline{X}\,Y\overline{Z}+XY\overline{Z}+XYZ+\overline{X}\,YZ \qquad (٤-٨)$$

هذه المعادلة بها أربع كميات بعد توقيعها على خريطة كارنوف المناسبة جاءت الأربع كميات فى أربع خلايا متجاورة كما فى شكل (٤- ١٢). معنى ذلك أن هناك متغيرين سيتم تبسيطهم ، ويبقى متغير واحد فقط وهو المتغير Y الذى لم يتغير فى الأربع خلايا. معنى ذلك أن هذه المعادلة يمكن تبسيطها إلى متغير واحد فقط كما يلى:

$$F=Y$$



شكل (٤- ١٤) خريطة كارنوف فى ٤ متغيرات

من خواص خريطة كارنوف أنها يمكن أن تلف على نفسها حول محور رأسى لتكون اسطوانة رأسية أو تلف على نفسها حول محور أفقى لتكون اسطوانة أفقية. سنقوم بتبسيط المعادلة التالية لنوضح هذه الخاصية:

$$F=\overline{X}\ \overline{Y}\ \overline{Z}+X\overline{Y}\ \overline{Z}+\overline{X}\ Y\overline{Z}+XY\overline{Z}$$

هذه المعادلة تم توقيعها على خريطة كارنوف كما فى شكل (٤- ١٣) حيث أمكن تبسيطها إلى الصورة التالية: $F=\overline{Z}$

شكل (٤-١٤) يبين خريطة كارنوف فى ٤ متغيرات، وهذا المثال يبين أيضا خاصية الالتفاف الأفقى والرأسى للخريطة. المعادلة قبل التبسيط كما يلى:

$$F=\overline{X}\ \overline{W}\ \overline{Y}\ \overline{Z}+\overline{X}\ \overline{W}\,Y\overline{Z}+X\overline{W}\ \overline{Y}\ \overline{Z}+X\overline{W}\,Y\overline{Z}$$

وهذه المعادلة كما نرى يمكن تبسيطها إلى ما يلى:

$$F=\overline{W}\ \overline{Z}$$

لقد سقنا العديد من الأمثلة التى تبين كيفية استخدام خريطة كارنوف لتبسيط الدوائر المنطقية حتى ٤ متغيرات، وكما قلنا من قبل يمكن تعميم ذلك لدوائر فى أكثر من ٤ متغيرات ولكن الخريطة ستكون أكثر تعقيدا، ولذلك فنحن نكتفى بهذا القدر من الأمثلة. لاحظ أنه من الممكن أن تكون هناك كميات أو خلايا لا يمكن أن تؤخذ فى مجموعات لتحقيق عملية

التبسيط. تخيل مثلا أن المعادلة السابقة كانت تحتوى الكمية XWYZ. فى هذه الحالة فإن الخلية المقابلة لهذه الكمية لا يمكن أن تؤخذ فى مجموعة مع أى خلية أخرى، لذلك فإن الصورة النهائية للمعادلة فى هذه الحالة ستكون:

$F=\overline{W}\,\overline{Z}+WXYZ$

٤ – ١٤ تمارين

١– ما هى قيمة كل من A, B, C التى تجعل كل من التعبيرات التالية مرة واحد ومرة صفر:

a) AB b) $A\overline{B}C$ C) $A+B$ d) $\overline{A}+B+\overline{C}$ e) $\overline{A}B\overline{C}$

٢– أكتب جدول الحقيقة لكل من المعادلات التالية :

a) $X=(A+B)C+B$ b) $X=\overline{(A+B)C}$ c) $X=(A+BC)(\overline{B}+\overline{C})$

٣– طبق نظرية ديمورجان على كل من التعبيرات التالية:

a) $\overline{A+B}$ b) $\overline{\overline{A}B}$ C) $\overline{AB+CD}$ d) $\overline{A\overline{B}(C+\overline{D})}$ e) $\overline{AB(CD+EF)}$

f) $\overline{(A+\overline{B}+C+\overline{D})}+\overline{ABC\overline{D}}$ g) $\overline{\overline{\overline{(ABC)}\,\overline{(EFG)}}+\overline{\overline{(HIJ)}\,\overline{(KLM)}}}$

٤– ارسم الدائرة المنطقية لكل واحد من التعبيرات الموجودة فى تمرين ١ وتمربن ٢.

٥– استخدم الجبر البوليني فى تبسيط كل من التعبيرات التالية:

a) $BD+B(D+E)+D(D+F)$ b) $AB+\overline{AB}C+A$

c) $\overline{A}B+\overline{A}B\overline{C}+\overline{A}BCD+\overline{A}B\overline{C}\,\overline{D}E$ d) $(A+\overline{A})(AB+AB\overline{C})$

e) $ABC(AB+\overline{C}(BC+AC))$ f) $ABCD+AB(\overline{CD})+(\overline{AB})CD$

٧– ضع كل من التعبيرات التالية فى صورة مجموع المضاريب SOP القياسية:

a) $(A+B)(C+\overline{B})$ b) $(A+\overline{B}C)C$ c) $(A+C)(AB+AC)$

d) $AB+CD(AB+AC)$ e) $A+B(AC+(B+C)D)$

٨– أكتب جدول الحقيقة لكل واحد من التعبيرات الموجودة فى تمرين ٧.

٩– أرسم خريطة كارنوف لاثنين وثلاثة وأربع متغيرات ثم ضع رقم لكل خلية تبعا لقيمة المتغيرات التى تمثلها هذه الخلية.

١٠–استخدم خريطة كارنوف لتبسيط كل واحد من التعبيرات الموجودة فى تمرين ٥.

١١–أكتب المعادلة المنطقية للخرج الموجود فى جدول الحقيقة فى شكل (٤–ت١١) فى صورة مجموع مضاريب SOP.

١٢–ارسم الدائرة المنطقية للخرج فى تمرين ١١.

١٣-ارسم الدائرة الناتجة فى تمرين ١٢ مستخدما بوابات الناند فقط.

١٤-بسط المعادلة الناتجة فى تمرين ١١ مستخدما خريطة كارنوف.

١٥-أكتب المعادلة المنطقية للخرج الموجود فى جدول الحقيقة فى شكل (٤-ت١١) فى صورة مضروب مجاميع POS.

١٦-ارسم الدائرة المنطقية للخرج فى تمرين ١٥.

١٧-ارسم الدائرة الناتجة فى تمرين ١٦ مستخدما بوابات نور فقط.

١٨-بسط المعادلة الناتجة فى تمرين ١٥ مستخدما خريطة كارنوف.

١٩-صمم دائرة منطقية لها ٣ مداخل بحيث يكون خرجها يساوى واحد إذا كان الدخل يمثل رقما فرديا. أكتب جدول الحقيقة ثم استنتج المعادلة المنطقية ثم بسطها باستخدام خريطة كارنوف ثم ارسم الدائرة.

٢٠-صمم دائرة منطقية لها ٤ مداخل بحيث يكون الخرج يساوى واحد إذا كان هناك ٣ أو أكثر من المداخل يساوى واحد (دائرة الأغلبية). اتبع نفس الخطوات الموضحة فى تمرين ١٩.

الدخل				الخرج
D	C	B	A	F
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	0
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	0
1	1	1	1	1

شكل (٤-ت١١)

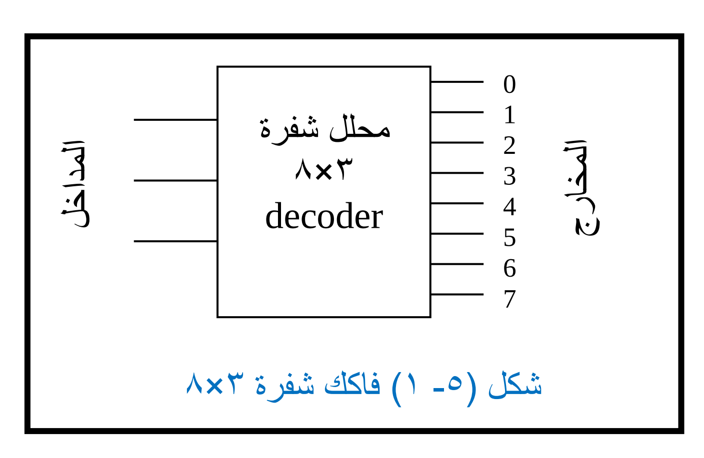
الفصل الخامس

٥

محللات الشفرة والمشفرات

Decoders And Encoders

٥- ١ محللات الشفرة Decoders



شكل (٥- ١) فاكك شفرة ٨×٣

يتم تمثيل البيانات فى الحاسبات فى صورة مقاطع من الشفرات الثنائية تتكون كل شفرة منها من عدد n من البتات. أى شفرة تتكون من n من البتات يمكن أن تمثل بها حتى عدد 2^n من العناصر المختلفة أو الشفرات المختلفة، حيث كل شفرة ستمثل أحد هذه العناصر. إن شفرة مكونة مثلا من ٢ بت يمكنها تمثيل عدد $2^2=4$ من الشفرات كالتالى: 00، 01، 10، 11. بينما شفرة مكونة من ٣ بتات يمكنها أن تمثل عدد ٨ من الشفرات الثنائية كالتالى: 000، 001، 010، 011، 100، 101، 110، 111. محلل الشفرة الذى له n من الدخول يكون عبارة عن دائرة توافقية combinational تختار واحد فقط من المخارج التى عددها 2^n وتنشطه بينما تخمد باقى المخارج. هذا المخرج يتم اختياره على حسب الشفرة المدخلة أو الموجودة على دخل المشفر. شكل (٥- ١) يبين رسما صندوقيا لمحلل شفرة له ٣ دخول، وبالطبع ٨ مخارج. هذه المخارج تبدأ بالمخرج رقم صفر وتنتهى بالمخرج رقم ٧. عند وضع الشفرة 000 على الدخل فإن المخرج رقم 0 ينشط أو يتم اختياره، وعند وضع الشفرة 011 مثلا على الدخل فإن الخرج رقم ٣ ينشط، . . . وهكذا . عامة فإن محلل الشفرة الذى له n من المداخل، يكون له عدد $m=2^n$ من المخارج التى يتم اختيار أو تنشيط أحدها على حسب الشفرة الموجودة على الدخل.

شكل (٥- ٢) يبين الدائرة المنطقية التى يتكون منها محلل الشفرة. هذه الدائرة عبارة عن مجموعة من بوابات AND التى يكون خرجها واحد عند شفرة معينة ووحيدة من شفرات الدخل. لاحظ استخدام العواكس inverters عند مداخل بوابات ال AND لاختيار الشفرة المناسبة التى سينشط عندها هذا الخرج. فمثلا الخرج D3 سيكون واحد فقط إذا كان A0=1، A2=1، A2=0 وذلك من خلال استخدام عاكس على الدخل A2 حتى نضمن أن D3 ستكون واحد عند وجود الشفرة 011 على الدخل كما فى الشكل.

المداخل
A2 A1 A0
000 D0
001 D1
010 D2
011 D3
100 D4
101 D5
110 D6
111 D7
المخارج

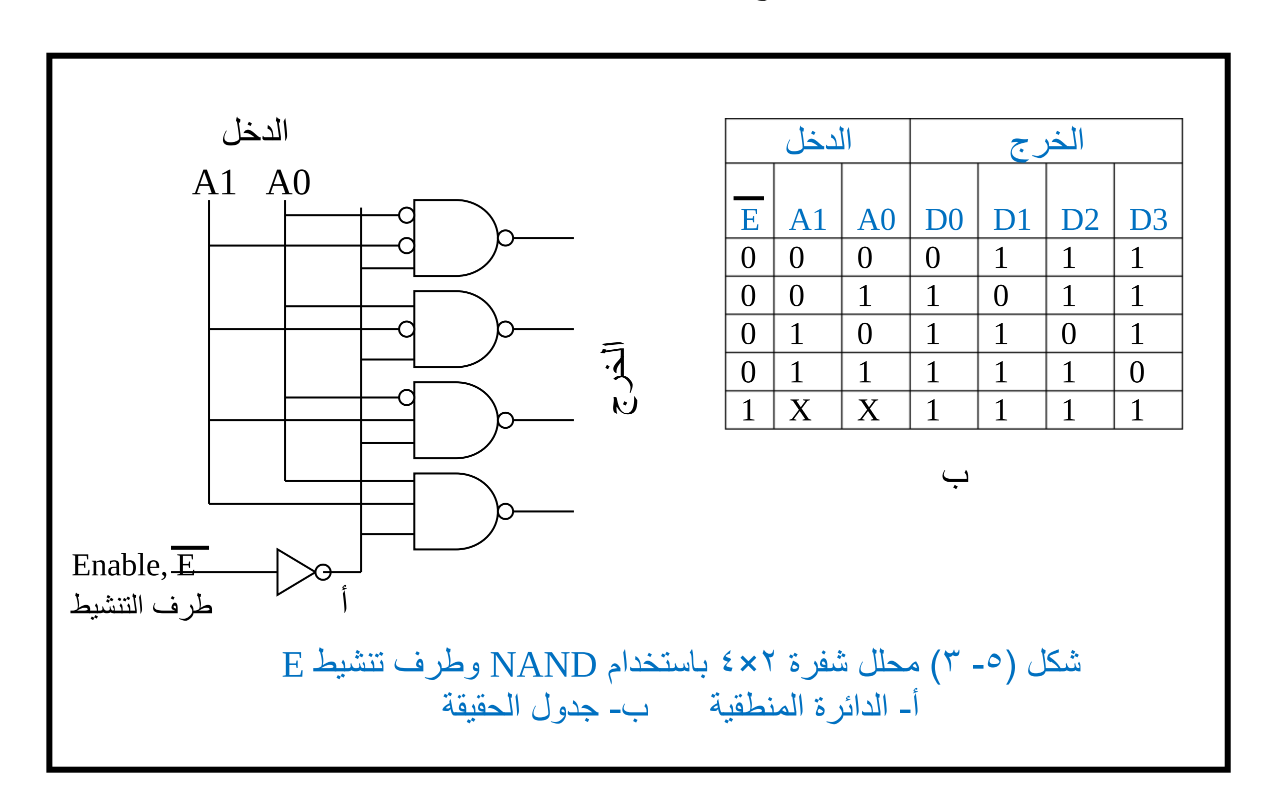
شكل (٥- ٢) الدائرة المنطقية لمحلل الشفرة باستخدام بوابات AND

الدخل			الخـــرج							
A2	A1	A0	D0	D1	D2	D3	D4	D5	D6	D7
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

جدول ٥-١ جدول الحقيقة لفاكك الشفرة ٣×٨

جدول ٥-١ يبين جدول الحقيقة للمشفر ٣×٨. نلاحظ من هذا الجدول أن الخرج الفعال فقط يكون واحد وباقى الخروج تكون أصفارا. بنفس الطريقة يمكن تصميم أى محلل شفرة مثل المحلل ٢×٤ أو المحلل ٤×١٦ أو حتى المحلل ٨×٢٥٦.

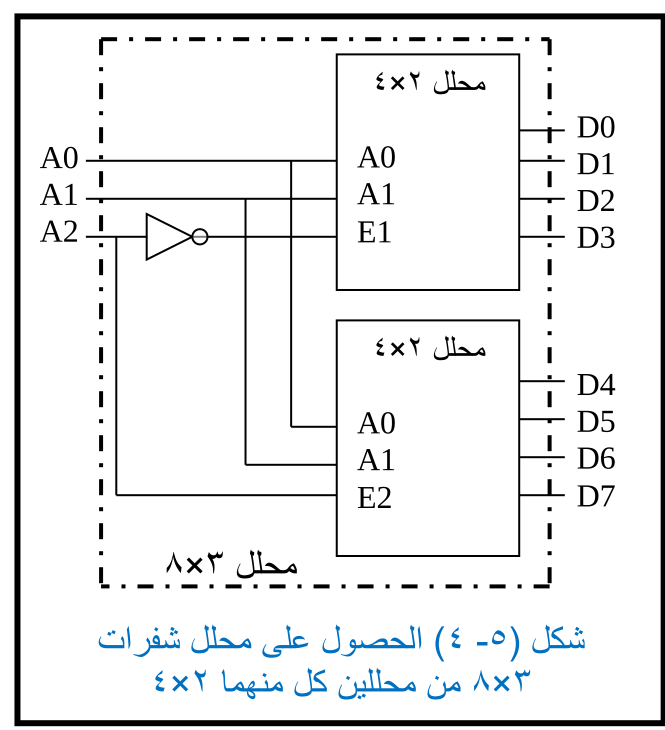
محلل الشفرة الموجود فى شكل (٥- ١) يسمى المحلل الثمانى لأنه يحول الشفرات الثلاثية إلى خرج ثمانى. ليس بالضرورة أن يتم فك جميع الشفرات المتاحة فى الخرج. وعلى ذلك فإنه يمكننا مثلا استخدام العشرة خروج الأولى من المحلل ٤×١٦ لتمثل المحلل العشرى الذى يحول الشفرات الثنائية الرباعية إلى خرج عشرى، أى عشرة خروج فقط. إننا فى هذه الحالة نحول الشفرات العشرية المكودة ثنائيا binary coded decimal, BCD إلى خرج عشرى، وهناك الكثير من التطبيقات التى تستخدم ذلك .



الدخل			الخرج			
$\overline{E}$	A1	A0	D0	D1	D2	D3
0	0	0	0	1	1	1
0	0	1	1	0	1	1
0	1	0	1	1	0	1
0	1	1	1	1	1	0
1	X	X	1	1	1	1

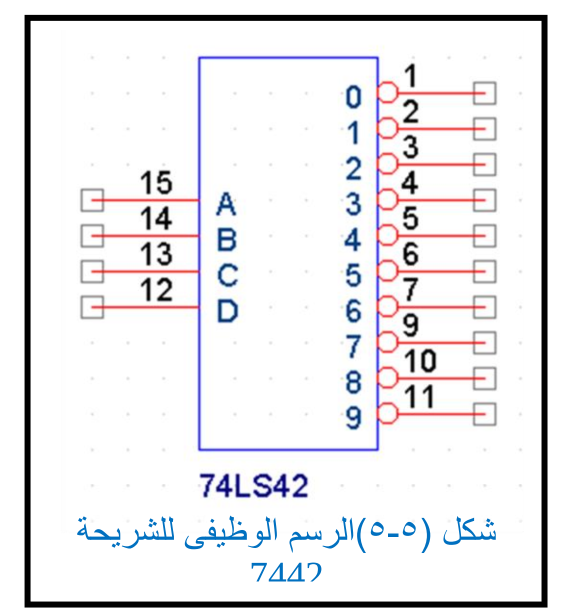
شكل (٥- ٣) محلل شفرة ٢×٤ باستخدام NAND وطرف تنشيط E
أ- الدائرة المنطقية ب- جدول الحقيقة

إن الشرائح العملية المتاحة فى الأسواق تحتوى فى العادة طرف تنشيط واحد أو أكثر لمحلل الشفرة حيث تكون كل الخروج فى هذه الحالة غير فعالة إذا كان أى واحد من هذه الأطراف غير نشط. أحيانا تكون أطراف التنشيط هذه فعالة عندما تكون واحد وأحيانا تكون فعالة عندما تكون صفرا حيث فى الحالة الثانية يوضع أمام دخل التنشيط دائرة أو توضع على رمزه شرطة مثل طرف التنشيط. يمكن استخدام بوابات ال NAND بدلا من بوابات ال AND فى بناء محلل الشفرة. فى هذه الحالة سيكون الخرج الفعال أو المختار يساوى صفر وباقى الخطوط غير النشطة أو الغير مختارة تساوى واحد. هناك الكثير من التطبيقات التى تحتاج النوع الأول وأيضا الكثير من التطبيقات التى تحتاج النوع الثانى. شكل (٥- ٣) يبين محلل شفرة ٢×٤ له طرف تنشيط E ومبنى باستخدام البوابات NAND. لاحظ فى هذا الشكل أنه عندما كان طرف التنشيط E=1 فإن جميع الخروج كانت غير نشطة أى تساوى واحد مهما كان الدخل.



شكل (٥- ٤) الحصول على محلل شفرات ٣×٨ من محللين كل منهما ٢×٤

من فوائد وجود أطراف التنشيط هو استخدامها فى الحصول على محلل شفرة بإمكانيات أكبر باستخدام عدد من المحللات ذات الإمكانيات البسيطة. شكل (٥- ٤) يبين استخدام محللين ٢×٤ للحصول على محلل ٣×٨. لاحظ من هذا الشكل أن الدخلين A0 و A1 تم توصيلهم على كل المحللات بينما الدخل A2 فتم توصيله على طرف التنشيط للمحلل الأول E1 من خلال عاكس وعلى طرف التنشيط للمحلل الثانى E2 مباشرة. لاحظ أن كل من طرفى التنشيط E1 و E2 يكون فعالا عندما يكون واحد. بذلك نرى أنه عندما يكون A2=0 فإن المحلل الأول يكون نشط وبذلك سيتم تنشيط واحد من المخارج D0 إلى D3 على حسب الشفرة الموجودة على الدخلين A0 و A1. بينما عندما يكون A2=1 فإن المحلل الثانى سيكون فعالا ويتم تنشيط واحد من المخارج من D4 إلى D7 على حسب الشفرة الموجودة على كل من A0 و A1. بنفس الطريقة يمكن الحصول على محللات ذات إمكانيات عالية من عدد من المحللات الصغيرة.



شكل (٥-٥)الرسم الوظيفى للشريحة 7442

٥-٢ الشريحة 74LS42 و 7442 محلل شفرات عشرية مكودة ثنائيا إلى عشرية
BCD to Decimal Decoder

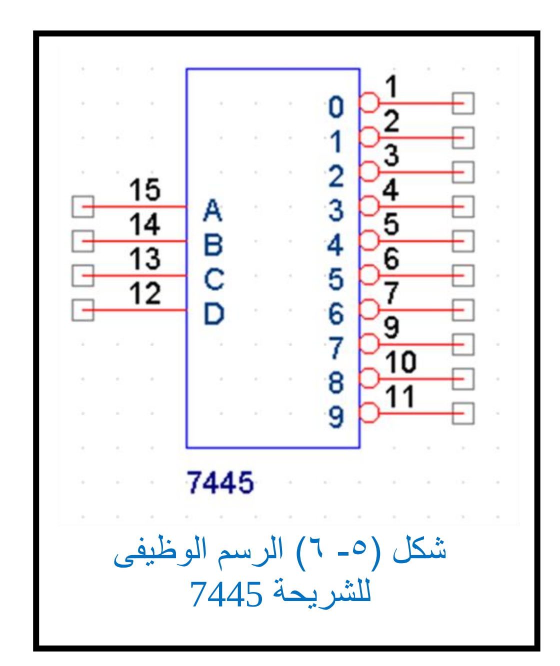
هذه الشريحة لها ٤ دخول عالية الفعالية يوضع عليها الكود الثنائى للأرقام من صفر إلى عشرة كما فى شكل (٥-٥) الذى يوضح الرسم الوظيفى للشريحة. طرف القدرة هو الطرف ١٦ بينما الطرف ٨ هو الأرضى. على ضوء الكود المدخل تقوم الشريحة بتنشيط واحد فقط من مخارجها العشرة. هذه المخارج منخفضة الفعالية، أى أن الخرج النشط يكون صفرا. إذا كان الكود الموجود على الدخل أكبر من تسعة (1001) فإن جميع الخروج تكون وحايد ، أى غير فعالة . زمن التأخير للشريحة 7442 هو ١٥ نانوثانية وتيار القدرة لها ٢٨ مللي أمبير بينما للشريحة 74LS42 فإن زمن التأخير يساوى ١٨ نانوثانية بينما تيار القدرة يساوى ٧ مللى أمبير. يمكن استخدام هذه الشريحة كمحلل ٣×٨ حيث سيكون الطرف D فى هذه الحالة طرف تنشيط. جدول (١-٥) يبين جدول الحقيقة لهذه الشريحة .

الدخل				الخرج									
D	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7	Y8	Y9
0	0	0	0	0	1	1	1	1	1	1	1	1	1
0	0	0	1	1	0	1	1	1	1	1	1	1	1
0	0	1	0	1	1	0	1	1	1	1	1	1	1
0	0	1	1	1	1	1	0	1	1	1	1	1	1
0	1	0	0	1	1	1	1	0	1	1	1	1	1
0	1	0	1	1	1	1	1	1	0	1	1	1	1
0	1	1	0	1	1	1	1	1	1	0	1	1	1
0	1	1	1	1	1	1	1	1	1	1	0	1	1
1	0	0	0	1	1	1	1	1	1	1	1	0	1
1	0	0	1	1	1	1	1	1	1	1	1	1	0

جدول ٥-٢ جدول الحقيقة للشريحة 7442

٥-٣ الشريحة 7445 محلل شفرات عشرية مكودة ثنائيا
إلى عشرية/دافع تيار BCD to Decimal Decoder/Driver

هذه الشريحة لها ٤ دخول عالية الفعالية يوضع عليها الكود الثنائى للأرقام من صفر إلى عشرة. على ضوء هذا الكود تقوم الشريحة بتنشيط واحد فقط من مخارجها العشرة كما فى شكل (٥- ٦). الطرف ١٦ هو طرف القدرة والأرضى على طرف ٨. جدول ٥-٣ يبين جدول الحقيقة لهذه الشريحة. هذه المخارج منخفضة الفعالية، أى أن الخرج النشط يكون صفرا. إذا كان الكود الموجود على الدخل أكبر من تسعة (1001) فإن جميع الخروج تكون وحايد، أى غير فعالة. تيار القدرة لهذه الشريحة ٢٨ مللي أمبير. يمكن استخدام هذه الشريحة كمحلل ٣×٨ حيث سيكون الطرف D فى هذه الحالة طرف تنشيط. ميزة هذه الشريحة أنها يمكنها أن تبلع حتى ٨٠ مللى أمبير من أطراف الخرج النشطة لذلك يمكن استخدامها لإدارة ملفات solenoid أو إنارة لمبات بيان LEDs.



شكل (٥- ٦) الرسم الوظيفى للشريحة 7445

الدخل				الخرج									
D	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7	Y8	Y9
0	0	0	0	0	1	1	1	1	1	1	1	1	1
0	0	0	1	1	0	1	1	1	1	1	1	1	1
0	0	1	0	1	1	0	1	1	1	1	1	1	1
0	0	1	1	1	1	1	0	1	1	1	1	1	1
0	1	0	0	1	1	1	1	0	1	1	1	1	1
0	1	0	1	1	1	1	1	1	0	1	1	1	1
0	1	1	0	1	1	1	1	1	1	0	1	1	1
0	1	1	1	1	1	1	1	1	1	1	0	1	1
1	0	0	0	1	1	1	1	1	1	1	1	0	1
1	0	0	1	1	1	1	1	1	1	1	1	1	0

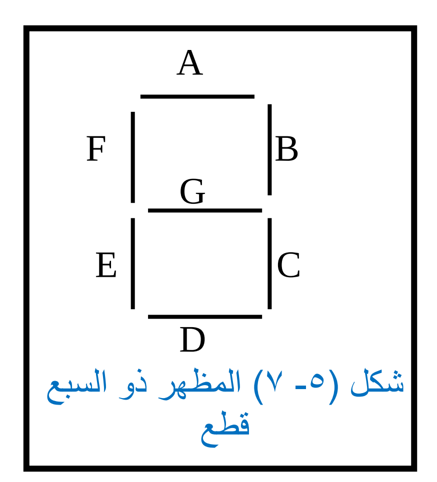
جدول ٥- ٣ جدول الحقيقة للشريحة 7445

٥-٤ الشرائح 7446 و 7447 و 7448 و 7449 محلل شفرات عشرية مكودة ثنائيا إلى شفرات المظهرات ذات ٧ قطع/دافع تيار

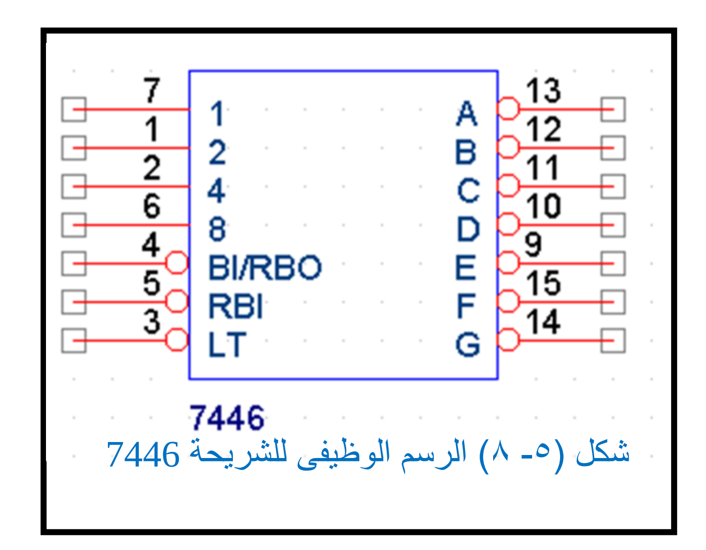
BCD to 7 segment Decoder/Driver

هذه الشرائح لها ٤ مداخل يتم إدخال شفرات عشرية مكودة ثنائيا BCD عليها، فتقوم بتحويل هذه الشفرات إلى شفرات سباعية مناسبة لإنارة المظهرات ذات السبع قطع كالموضحة فى شكل (٥- ٧). هذا يعنى أن هذه الشرائح سيكون لها ٧ مخارج يرمز لها بالرموز A و B و C و D و E و F و G وهذه تقابل القطع المعينة على المظهر. شكل (٥- ٨) يبين الرسم الوظيفى للشريحة ٧٤٤٦. طرف القدرة لهذه الشريحة هو ١٦ والأرضى هو الطرف ٨. جميع مخارج الشريحة منخفضة الفعالية، بمعنى أن المخرج النشط

سيكون جهده منخفض (0) وفى هذه الحالة فإن القطعة المناظرة له ستضيء. هذه الشرائح يمكنها أن تبتلع sink حتى ٤٠ مللى أمبير. الطرف ١٦ هو طرف القدرة والطرف ٨ هو الأرضى لكل هذه الشرائح.



شكل (٥- ٧) المظهر ذو السبع قطع



شكل (٥- ٨) الرسم الوظيفى للشريحة 7446

تحتوى الشريحة ٧٤٤٦ على ٣ خطوط تحكم يمكن أن نفهم وظيفة كل منها بالنظر إلى جدول الحقيقة. فمثلا الدخل Ripple Blanking Input, RBI منخفض الفعالية وعندما يكون فعال (0) فإن جميع الخروج تظلم وتكون فى الحالة العالية وذلك بشرط أن تكون كل المداخل الأخرى أصفارا. ولكى تعمل الشريحة فى الوضع العادى فإن هذا الدخل يخمد بوضعه يساوى واحد. هناك أيضا الدخل Lamp Test, LT المنخفض الفعالية الذى حينما يكون صفرا فإن جميع المخارج تكون فعالة وتضئ المظهرات المقابلة لها مهما كانت المداخل الأخرى وهذا الخط يستخدم لاختبار اللمبات هل تعمل أم لا.

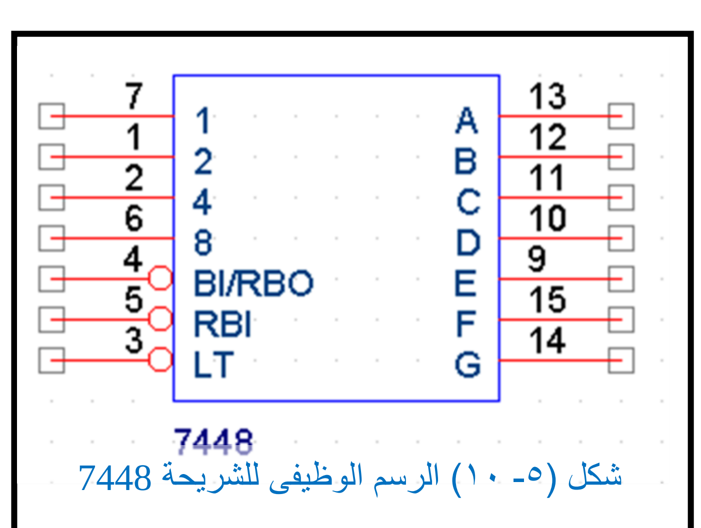
شكل (٥- ٩) الرسم الوظيفى للشريحة 7447

الدخل الأخير من هذه المداخل هو الدخل Blanking Input, BI/Ripple Blanking Output, RBO وهو منخفض الفعالية أيضا وحينما يكون فعالا فإن جميع المخارج تكون مخمدة (1) ولن تضئ المقاطع المناظرة لها مهما كانت المداخل الأخرى، والخط فى هذه الحالة يمثل دخل للشريحة. هذا الخط يمثل أيضا إشارة خرج RBO تكون صفر إذا كانت جميع مداخل الشريحة أصفارا . شكل (٩-٥) يبين الرسم الوظيفى للشريحة ٧٤٤٧. جدول ٥-٤ يبين جدول الحقيقة للشريحتين ٧٤٤٦ و ٧٤٤٧ حيث نرى أن الخرج الفعال يكون منخفضا وهذا يعنى أن هاتين الشريحتين تستخدمان لتشغيل المظهرات ذات الأنود الواحد الذى يوصل على الجهد العالى Vcc.

	الدخل							الخرج						
	LT	RBI	8	4	2	1	RBO	A	B	C	D	E	F	G
0	H	X	L	L	L	L	H	L	L	L	L	L	L	H
1	H	X	L	L	L	H	H	H	L	L	H	H	H	H
2	H	X	L	L	H	L	H	L	L	H	L	L	H	L
3	H	X	L	L	H	H	H	L	L	L	L	H	H	L
4	H	X	L	H	L	L	H	H	L	L	H	H	L	L
5	H	X	L	H	L	H	H	L	H	L	L	H	L	L
6	H	X	L	H	H	L	H	H	H	L	L	L	L	L
7	H	X	L	H	H	H	H	L	L	L	H	H	H	H
8	H	X	H	L	L	L	H	L	L	L	L	L	L	L
9	H	X	H	L	L	H	H	L	L	L	H	H	L	L
10	H	X	H	L	H	L	H	H	H	H	L	L	H	L
11	H	X	H	L	H	H	H	H	H	L	L	H	H	L
12	H	X	H	H	L	L	H	H	L	H	H	H	L	L
13	H	X	H	H	L	H	H	L	H	H	L	H	L	L
14	H	X	H	H	H	L	H	H	H	H	L	L	L	L
15	H	X	H	H	H	H	H	H	H	H	H	H	H	H
	X	X	X	X	X	X	L	H	H	H	H	H	H	H
	H	L	L	L	L	L	L	H	H	H	H	H	H	H
	L	X	X	X	X	X	H	L	L	L	L	L	L	L

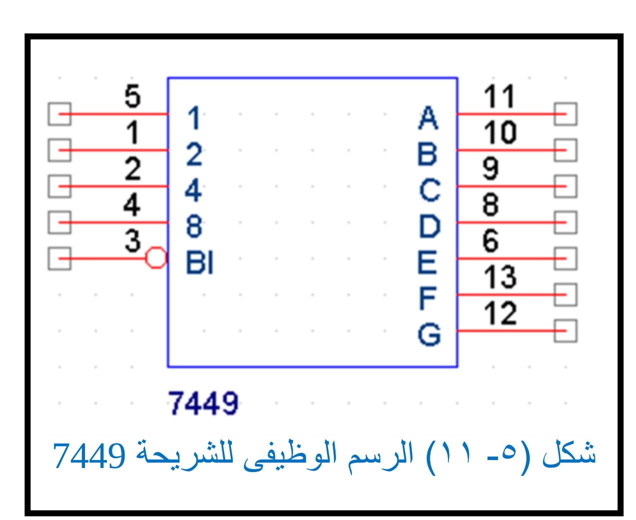
جدول ٥-٤ جدول الحقيقة للشريحتين 7446 و 7447

الشـــريحة 7448 لها نفس وظيفة الشـــريحة 7446 أو 7447 ســوى أن خرجها عالى الفعالية كما فى شـكل (٥- ١٠). أى أن الخرج الفعـال يكون جهـده عـالى (١). لذلك فإن هذه الشريحة تستخدم لإدارة المظهرات ذات الكثود الموحد. يتضـح ذلك من الرسـم الوظيفى للشـــريحة حيث لا يوجد عواكس على الخرج كما فى الشرائح السابقة.

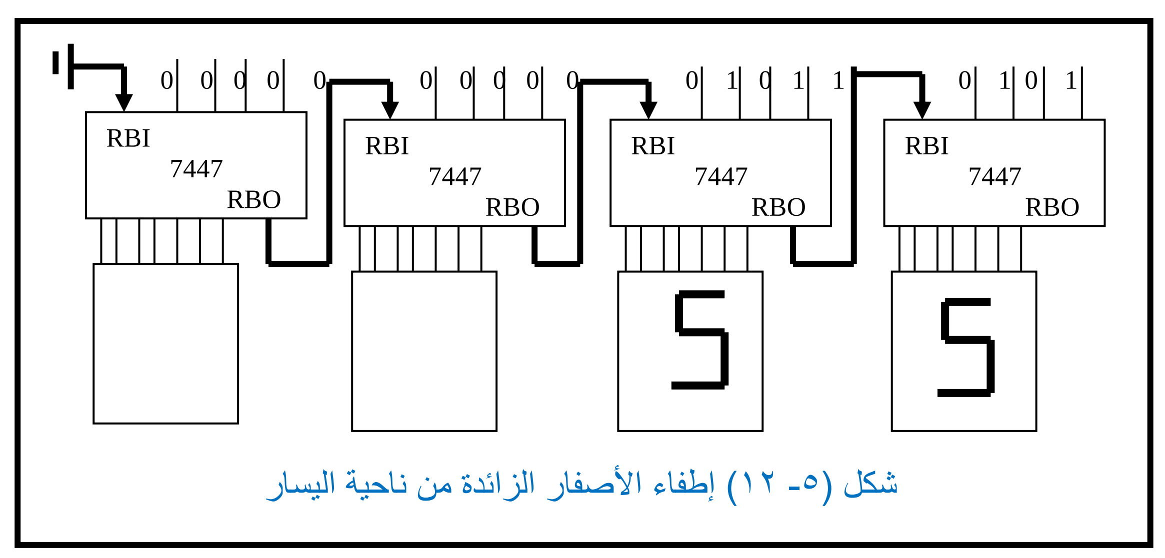


شكل (٥- ١٠) الرسم الوظيفى للشريحة 7448

شكل (٥- ١١) يبين الرسم الوظيفي للشريحة 7449 التي تعمل أساسا مثل الشريحة 7448 من حيث أن خرجها عالى الفعالية بمعنى أنها ستستخدم مع المظهرات المتحدة الكاثود. هذه الشريحة لها خط تحكم واحد فقط وهو الخط Blanking Input, BI وهو خط منخفض الفعالية يتسبب فى جعل كل المخارج فى حالة الخمود (0) عندما يكون صفرا. الطرف ١٦ هو طرف القدرة والطرف ٨ هو الأرضى للشريحتين السابقتين.

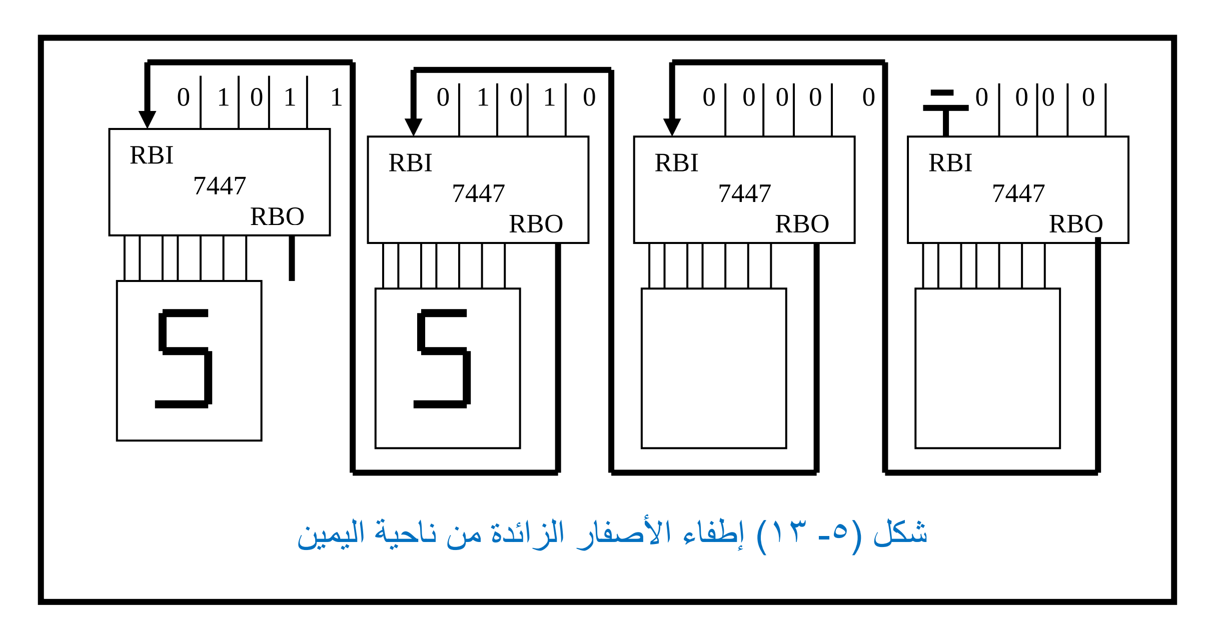


شكل (٥- ١١) الرسم الوظيفي للشريحة 7449



شكل (٥- ١٢) إطفاء الأصفار الزائدة من ناحية اليسار

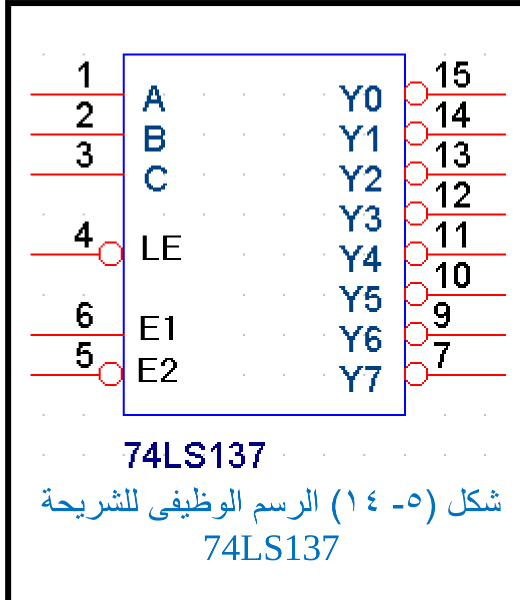
الخطوط RBI و RBO تستخدم لإطفاء الأصفار الزائدة (الغير ضرورية) سواء من أقصى يمين الرقم أو من أقصى يساره. فمثلا الرقم 006.4 يمكن إظهاره 6.4 بإطفاء الصفرين فى أقصى اليسار وذلك لتوفير الطاقة. كذلك الرقم 006.400 يمكن إظهاره 6.4 وذلك بإطفاء الأصفار من اليمين واليسار. شكل (٥- ١٢) يبين طريقة حذف الأصفار من اليسار. فى هذه الحالة فإن الخط RBI فى الخانة التى فى أقصى اليسار توصل بالأرضى. بذلك فإنه إذا كان دخل الشريحة أصفارا فإن المظهر سيطفئ كل عناصره السبعة حسب جدول الحقيقة، وسيكون الخط RBO صفرا فى هذه الحالة أيضا. هذا الخط RBO يوصل على الخط RBI فى الخانة التالية وبذلك نضمن أن هذه الخانة ستطفئ إذا كانت دخولها أصفارا أيضا، وهكذا الخانات التالية. بنفس الطريقة يمكن إطفاء الأصفار الزائدة من ناحية اليمين كما فى شكل (٥- ١٣).



شكل (٥- ١٣) إطفاء الأصفار الزائدة من ناحية اليمين

٥-٥ الشريحة 74LS137 محلل شفرة ٣/٨ ، موزع بيانات ٨/١ مع ماسك للدخل

3 to 8 Decoder/1 of 8 Demultiplexer with input latch



شكل (٥- ١٤) الرسم الوظيفى للشريحة 74LS137

هذه الشريحة عبارة عن محلل شفرة له ٣ دخول A و B و C وثمان خروج Y0 حتى Y7. جميع الخروج منخفضة الفعالية، أى أن أى خرج يكون فعالا عندما يكون صفرا (0). شكل (٥- ١٤) يبين الرسم الوظيفى لهذه الشريحة. الطرف ١٦ هو طرف القدرة والطرف ٨ هو الأرضى. على حسب الشفرة الموجودة على الدخول الثلاثة يتم تنشيط واحد من الخروج على حسب جدول الحقيقة المبين فى جدول ٥-٥. الشريحة لها خطى تنشيط، أحدهما منخفض الفعالية وهو الخط $\overline{E2}$ على الطرف ٥ للشريحة والثانى عالى الفعالية وهو الخط E1 على الطرف ٦. أى أن الشريحة لن تعمل إلا إذا كان E2=0 و E1=1. الشريحة لها خط تحكم آخر وهو الخط Latch Enable, LE حيث عند انتقال الإشارة على هذا الخط من صفر لواحد فإن العناوين الموجودة على خطوط الدخل A و B و C يتم مسكها. لذلك فإن هذه الشريحة مفيدة عند الاستخدام لتشفير خطوط العناوين من معالج أو ميكروكومبيوتر. بوضع بيانات على الطرف E1 العالى الفعالية يمكن للشريحة أن تعمل كموزع بيانات Demultiplexer يرسل البيانات الموجودة على الخط E1 إلى الخرج الذى يتم اختياره عن طريق خطوط الدخل A وB و C. سيأتى شرح موزع البيانات فيما بعد.

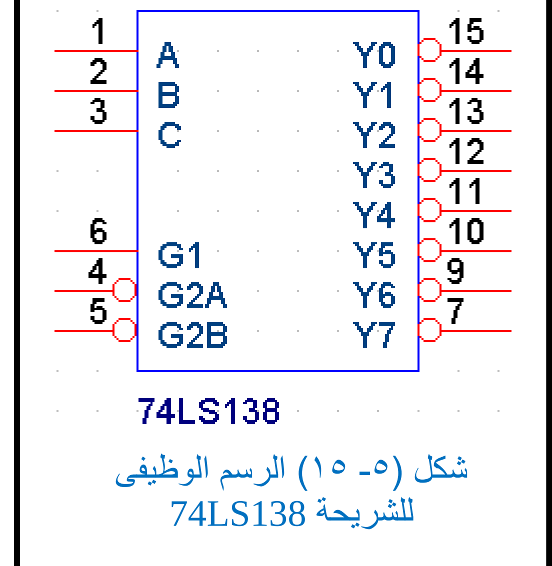
الدخل Input						الخرج Output							
$\overline{LE}$	$\overline{E2}$	E2	C	B	A	$\overline{Y0}$	$\overline{Y1}$	$\overline{Y2}$	$\overline{Y3}$	$\overline{Y4}$	$\overline{Y5}$	$\overline{Y6}$	$\overline{Y7}$
H	L	H	X	X	X	S	S	S	S	S	S	S	S
X	H	X	X	X	X	H	H	H	H	H	H	H	H
X	X	L	X	X	X	H	H	H	H	H	H	H	H
L	L	H	L	L	L	L	H	H	H	H	H	H	H
L	L	H	L	L	H	H	L	H	H	H	H	H	H
L	L	H	L	H	L	H	H	L	H	H	H	H	H
L	L	H	L	H	H	H	H	H	L	H	H	H	H
L	L	H	H	L	L	H	H	H	H	L	H	H	H
L	L	H	H	L	H	H	H	H	H	H	L	H	H
L	L	H	H	H	L	H	H	H	H	H	H	L	H
L	L	H	H	H	H	H	H	H	H	H	H	H	L

X = غير مهم Don’t care L = صفر Low H = واحد High S = مستقر Stable .

جدول ٥-٥ جدول الحقيقة لمحلل الشفرات 74LS137

٥-٦ الشريحة 74LS138 محل شفرة ٨/٣ ، موزع بيانات ٨/١

3 to 8 Decoder/1 of 8 Demultiplexer



شكل (٥- ١٥) الرسم الوظيفى للشريحة 74LS138

هذه الشريحة عبارة عن فاكك شفرة له ٣ دخول A و B و C وثمان خروج Y0 حتى Y7. جميع الخروج منخفضة الفعالية، أى أن أى خرج يكون فعال عندما يكون صفرا (0). شكل (٥- ١٥) يبين الرسم الوظيفى لهذه الشريحة. الطرف ١٦ هو طرف القدرة والطرف ٨ هو الأرضى. على حسب الشفرة الموجودة على الدخول الثلاثة يتم تنشيط واحد من الخروج على حسب جدول الحقيقة المبين فى جدول ٥-٦. الشريحة لها ٣ خطوط تنشيط، اثنان منهما منخفضا الفعالية وهما G2A و G2B والثالث عالى الفعالية وهو الخط G1. أى أن الشريحة لن تعمل إلا إذا كان كل من G2A و G2B يساوى صفر و G1 يساوى واحد. يمكن للشريحة أن تعمل كموزع بيانات Demultiplexer يرسل البيانات الموجودة على الخط G2A أو الخط G2B إلى الخرج الذى يتم اختياره عن طريق خطوط الدخل A وB و C. الإصدار 74LS138 له زمن مرور (تأخير) Propagation delay مقداره ٢٠ نانوثانية ، وتيار قدرة مقداره ٦,٣ مللى أمبير. بينما الإصدار 74S138 له زمن مرور مقداره ٧ نانوثانية وتيار مصدر القدرة مقداره ٤٩ مللى أمبير.

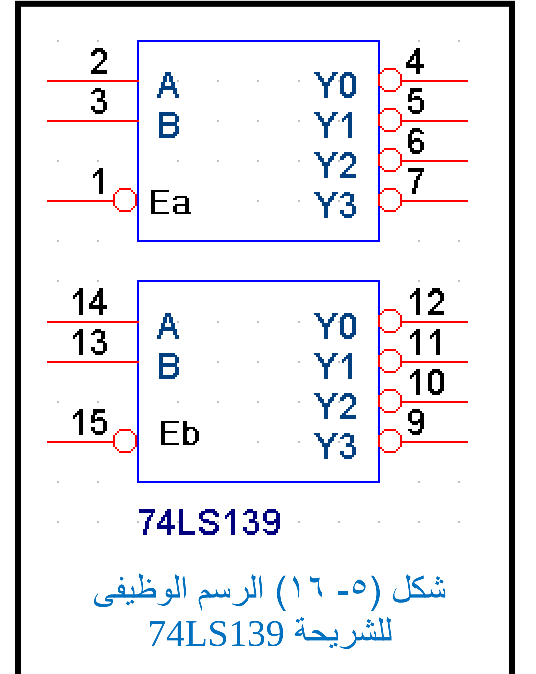
Input الدخل						Output الخرج							
$\overline{G2A}$	$\overline{G2B}$	G1	C	B	A	$\overline{Y0}$	$\overline{Y1}$	$\overline{Y2}$	$\overline{Y3}$	$\overline{Y4}$	$\overline{Y5}$	$\overline{Y6}$	$\overline{Y7}$
H	X	X	X	X	X	H	H	H	H	H	H	H	H
X	H	X	X	X	X	H	H	H	H	H	H	H	H
X	X	L	X	X	X	H	H	H	H	H	H	H	H
L	L	H	L	L	L	L	H	H	H	H	H	H	H
L	L	H	L	L	H	H	L	H	H	H	H	H	H
L	L	H	L	H	L	H	H	L	H	H	H	H	H
L	L	H	L	H	H	H	H	H	L	H	H	H	H
L	L	H	H	L	L	H	H	H	H	L	H	H	H
L	L	H	H	L	H	H	H	H	H	H	L	H	H
L	L	H	H	H	L	H	H	H	H	H	H	L	H
L	L	H	H	H	H	H	H	H	H	H	H	H	L

X = غير مهم Don’t care L = صفر Low H = واحد High .

جدول ٥-٦ جدول الحقيقة لمحلل الشفرات 74LS138

٥-٧ الشريحة 74LS139 اثنان محلل شفرة ٢/٤ ، موزع بيانات ١/٤

Dual 2 to 4 Decoder/1 of 4 Demultiplexer



شكل (٥- ١٦) الرسم الوظيفى للشريحة 74LS139

هذه الشريحة تحتوى اثنان محلل شفرة كل منهما له ٢ دخل A و B وأربع خروج Y0 حتى Y3. جميع الخروج منخفضة الفعالية، أى أن أى خرج يكون فعالا عندما يكون صفرا (0). شكل (٥- ١٦) يبين الرسم الوظيفى لهذه الشريحة. الطرف ١٦ هو طرف القدرة والطرف ٨ هو الأرضى. على حسب الشفرة الموجودة على الدخلين يتم تنشيط واحد من الخروج على حسب جدول الحقيقة المبين فى جدول ٥-٧. كل محلل شفرة له خط تنشيط واحد E ، وهذا الخط منخفض الفعالية. أى أن الشريحة لن تعمل إلا إذا كان هذا الخط يساوى صفر. يمكن للشريحة أن تعمل كموزع بيانات Demultiplexer يرسل البيانات الموجودة على طرف التنشيط E إلى الخرج الذى يتم اختياره عن طريق خطوط الدخل A وB. الإصدار 74LS139 له زمن مرور (تأخير) Propagation delay مقداره ١٩ نانوثانية، وتيار قدرة مقداره ٦٫٨ مللى أمبير. بينما الإصدار 74S139 له زمن مرور مقداره ٦ نانوثانية وتيار مصدر القدرة مقداره ٦٠ مللى أمبير.

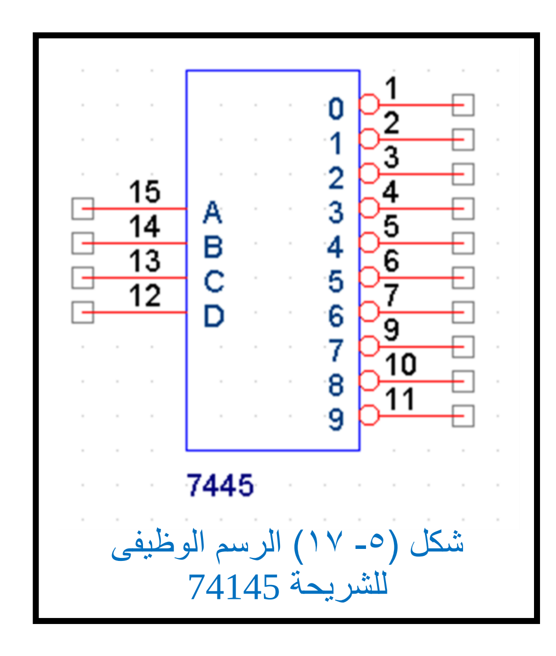
Input الدخل			Output الخرج			
$\overline{E}$	B	A	$\overline{Y0}$	$\overline{Y1}$	$\overline{Y2}$	$\overline{Y3}$
H	X	X	H	H	H	H
L	L	L	L	H	H	H
L	L	H	H	L	H	H
L	H	L	H	H	L	H
L	H	H	H	H	H	L

جدول ٥-٧ جدول الحقيقة لمحلل الشفرات 74LS139

٥-٨ الشريحة 74145 محلل شفرات عشرية مكودة ثنائيا إلى عشرية/دافع تيار (مجمع مفتوح)

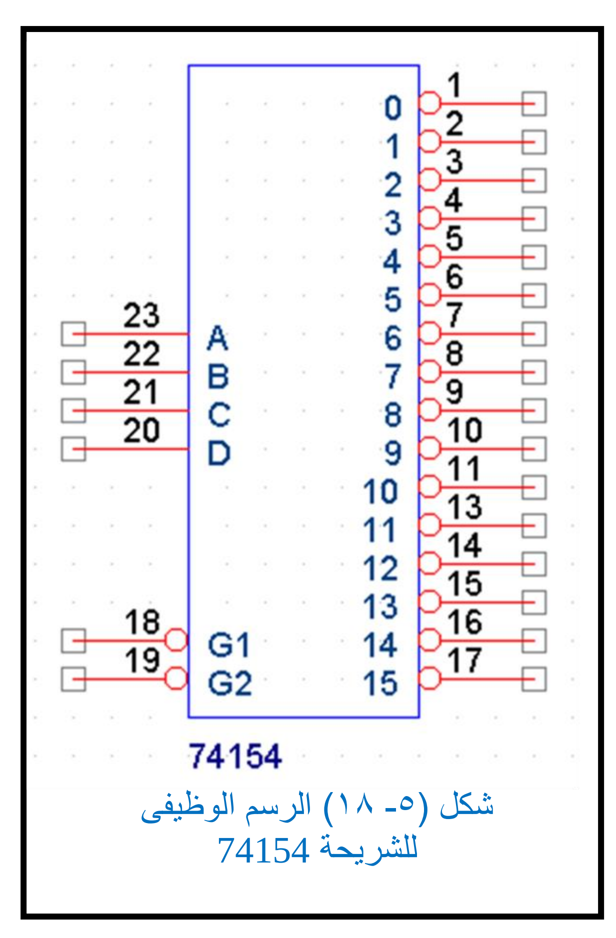
BCD to Decimal Decoder/Driver (Open Collector)

هذه الشريحة لها ٤ دخول عالية الفعالية A و B و C و D يوضع عليها الكود الثنائى للأرقام من صفر إلى عشرة. على ضوء هذا الكود تقوم الشريحة بتنشيط واحد فقط من مخارجها العشرة. هذه المخارج منخفضة الفعالية، أى أن الخرج النشط يكون صفرا. إذا كان الكود الموجود على الدخل أكبر من تسعة (1001) فإن جميع الخروج تكون وحايد، أى غير فعالة. تيار القدرة لهذه الشريحة ٤٣ مللى أمبير وزمن التأخير لها ٢٤ نانوثانية. شكل (٥- ١٧) يبين الرسم الوظيفى لهذه الشريحة. الطرف ١٦ هو طرف القدرة والطرف ٨ هو الأرضى. يمكن استخدام هذه الشريحة كمحلل ٣×٨ حيث سيكون الطرف D فى هذه الحالة طرف تنشيط. ميزة هذه الشريحة أنها يمكن استخدامها لإدارة ملفات solenoid أو إنارة لمبات حيث أن خرجها على مجمع مفتوح. الشريحة متوافقة تماما من حيث الأطراف مع الشريحة 7445 التى سبق شرحها.



شكل (٥- ١٧) الرسم الوظيفى للشريحة 74145

٥-٩ الشريحة 74154 و 74LS154 محلل الشفرات ١٦/٤ ، موزع بيانات ١٦/١
4 to 16 Decoders/Demultiplexers,



شكل (٥- ١٨) الرسم الوظيفى للشريحة 74154

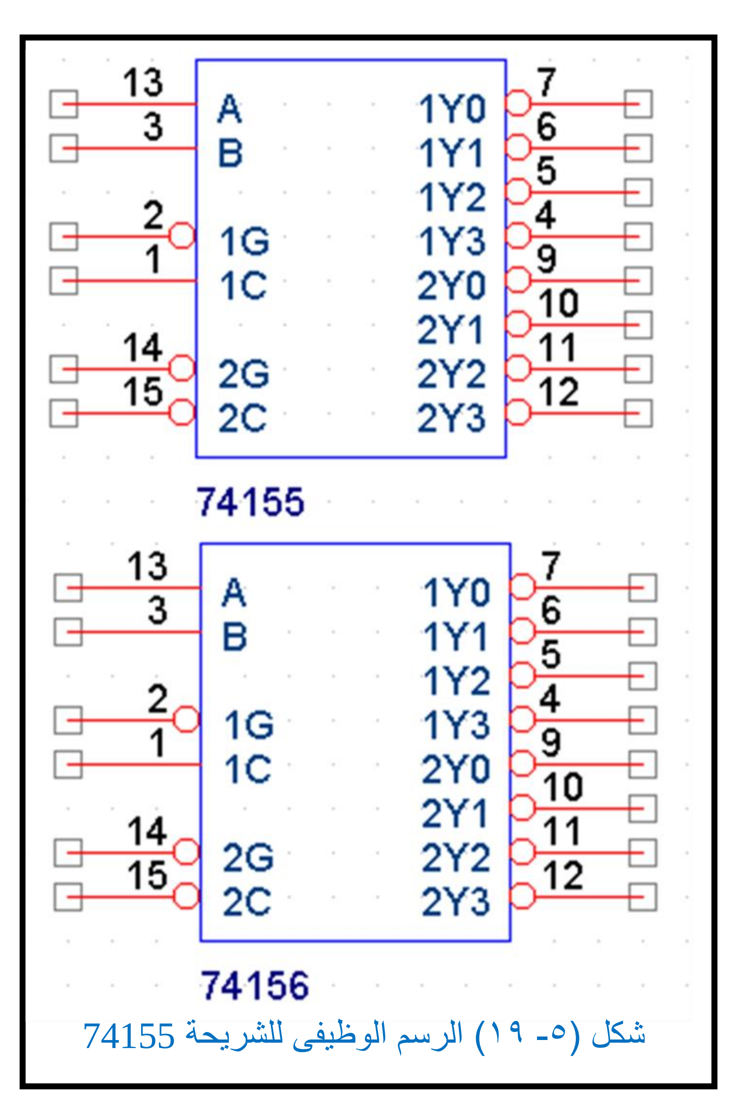
هذه الشريحة لها ٤ دخول عالية الفعالية A و B و C و D يوضع عليها الكود الثنائى للأرقام من صفر إلى ١٥. على ضوء هذا الكود تقوم الشريحة بتنشيط واحد فقط من مخارجها الستة عشرة. هذه المخارج منخفضة الفعالية، أى أن الخرج النشط يكون صفرا. شكل (٥- ١٨) يبين الرسم الوظيفى لهذه الشريحة. الطرف ٢٤ هو طرف القدرة والطرف ١٢ هو الأرضى. الشريحة لها طرفى تنشيط G1 و G2 منخفضى الفعالية، أى أنه عند عدم تنشيط أحد هذه الأطراف (1) فإن مخارج الشريحة ستكون كلها غير فعالة (1). يمكن استخدام هذين الطرفين للحصول على محللات شفرة أكبر. يمكن استخدام الشريحة كموزع للبيانات demultiplexer حيث يتم إدخال البيانات على أحد خطى التنشيط، وعندما يكون الخط الآخر صفر فإن البيانات يتم استقبالها على المخرج المحدد بالشفرة الموجودة على المداخل. زمن التأخير للشريحة 74154 هو ٢١ نانوثانية وتيار القدرة لها هو ٣٤ مللى أمبير. بالنسبة للشريحة 74LS154 فإن زمن التأخير لها هو ١٥ نانوثانية وتيار القدرة هو ٩ مللى أمبير.

٥-١٠ الشريحة 74155 ٢ محلل شفرة ٤/٢ ، موزع بيانات ٤/١

الشريحة 74155 تحتوى ٢ محلل شفرة كل منهم له ٤ مخارج كما فى شكل (٥- ١٩). محلل الشفرة الأول مخارجه هى 1Y0 إلى 1Y3، وأما المحلل الثانى فمخارجه هى 2Y0 إلى 2Y3. كل هذه المخارج منخفضة الفعالية. المحلل الأول له خطى تنشيط هما 1G وهو منخفض الفعالية و 1C وهو مرتفع الفعالية. المحلل الثانى له خطى تنشيط 2G و 2C وكلاهما منخفض الفعالية. المحللان لهما نفس الدخلين A و B حيث سيتم تنشيط خط الخرج المناسب من أحد المحللين الذى يتم تنشيطه وعلى حسب الشفرة الموجودة على الدخلين A و B. زمن التأخير للشريحة 74155 هو ١٨ نانوثانية وتيار المصدر لها هو ٢٥ مللى أمبير. طرف القدرة هو الطرف ١٦ والأرضى هو الطرف ٨. هناك أيضا الشريحة 74LS155 التى لها زمن تأخير مقداره ١٧ نانوثانية وتيار المصدر مقداره ٦ مللى أمبير. عندما تكون خطوط تنشيط أى واحد من المحللين غير فعالة فإن كل مخارجه ستكون غير فعالة أيضا، أى وحايد.

٥-١١ الشريحة 74156 و 74LS156
٢محلل شفرة ٢/٤ ، موزع بيانات ١/٤ مجمع مفتوح

الشريحتان 74156 و 74LS156 لهما نفس الخواص للشريحة 74155 تماما ومتوافقة معها فى الأطراف كما فى شكل (٥- ١٩) سوى أن الخرج مفتوح المجمع Open Collector. إن ذلك يعنى أنه عند استعمال أى واحد من هذه المخارج لابد من توصيله أولا على مصدر القدرة Vcc من خلال مقاومة مقدارها ٤,٧ كيلوأوم تقريبا. الشريحة 74156 لها زمن تأخير مقداره ٢٠ نانوثانية وتيار مصدر مقداره ٢٥ مللى أمبير. الشريحة 74LS156 لها زمن تأخير مقداره ٣١ نانوثانية، وتيار مصدر مقداره ٦ مللى أمبير.



شكل (٥- ١٩) الرسم الوظيفى للشريحة 74155

٥-١٢ المشفرات Encoders

تقوم المشفرات بالوظيفة العكسية لمحللات الشفرة. فإذا كان محلل الشفرة يقوم بتنشيط واحد من خطوط الخرج على حسب الشفرة الموجودة على خطوط الدخل، فإن المشفر يقوم بتوليد شفرة ثنائية معينة على خطوط الخرج وذلك عند تنشيط واحد فقط من خطوط الدخل. لذلك إذا كان عدد خطوط الخرج هو n فإن عدد خطوط الدخل سيكون 2^n . لذلك فإن جدول الحقيقة لمشفر ٨ إلى ٣ سيكون كما فى جدول ٥-٨ حيث ٨ هى عدد خطوط الدخل بينما ٣ هى عدد خطوط الخرج التى ستظهر عليها الشفرة الثنائية للدخل النشط.

الدخل								الخرج		
D7	D6	D5	D4	D3	D2	D1	D0	A2	A1	A0
0	0	0	0	0	0	0	1	0	0	0
0	0	0	0	0	0	1	0	0	0	1
0	0	0	0	0	1	0	0	0	1	0
0	0	0	0	1	0	0	0	0	1	1
0	0	0	1	0	0	0	0	1	0	0
0	0	1	0	0	0	0	0	1	0	1
0	1	0	0	0	0	0	0	1	1	0
1	0	0	0	0	0	0	0	1	1	1

جدول ٥-٨ جدول الحقيقة لمشفر ٨ إلى ٣

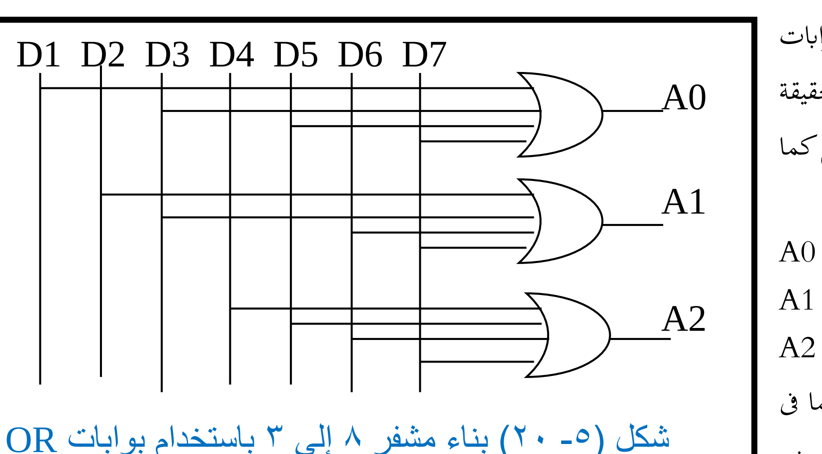
يمكن بناء المشفر باستخدام بوابات OR وذلك من جدول الحقيقة مباشرة حيث يمكن كتابة الخروج كما يلى:

A0 = D1 + D3 + D5 + D7

A1 = D2 + D3 + D6 + D7

A2 = D4 + D5 + D6 + D7

وهذه المعادلات يمكن بناؤها كما فى شكل (٥- ٢٠). وفيما يلى بعض شرائح المشفرات الشائعة.

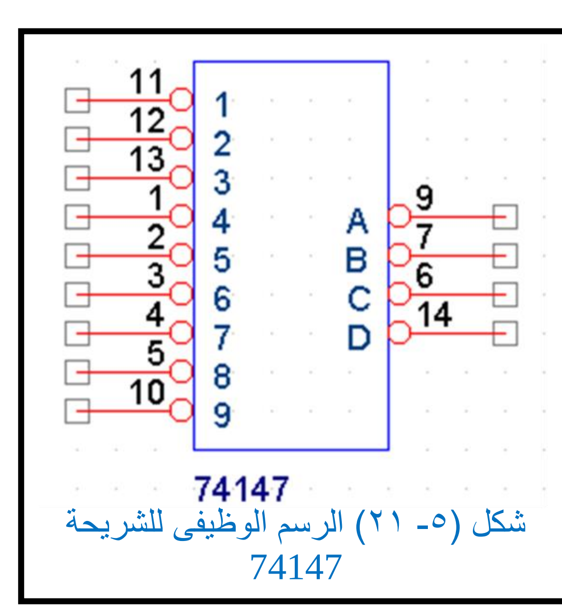


شكل (٥- ٢٠) بناء مشفر ٨ إلى ٣ باستخدام بوابات OR

٥-١٣ الشريحة 74147 مشفر ١٠ إلى ٤ مع الأولوية
10 to 4 lines priority encoder

هذه الشريحة لها ٩ مداخل كلها منخفضة الفعالية، ولها أيضا ٤ مخارج كلها أيضا منخفضة الفعالية كما فى شكل (٥- ٢١). عند تنشيط أى واحد من خطوط الدخل أى جعله يساوى صفر فإن الشفرة الثنائية العكسية لهذا الدخل ستظهر على خطوط الخرج الأربعة. كمثال على ذلك ، عندما I1=0 فإن الخرج سيكون 1110 وهى الشفرة الثنائية العكسية للرقم العشرى واحد. لاحظ أن هناك ٩ مداخل فقط لأن الخرج الأول هو I0 وهو موجود ضمنيا عندما تكون جميع الدخول غير نشطة أى كلها تساوى واحد فإن ذلك يكافىء الدخل رقم صفر وفى هذه الحالة فإن الشفرة الموجودة على الخرج ستكون 1111 التى هى شفرة الرقم صفر فى هذه الحالة. هذه الشريحة بها خاصية الأولوية، بمعنى أنه عند تنشيط أكثر من دخل فى نفس الوقت فإن الدخل ذو الأولوية الأعلى هو

الذى ستظهر شفرته على الخرج ، والشريحة مجهزة بالدوائر التى تيسر هذه العملية. الخط I9 له أكبر أولوية يليه الدخل I8 وهكذا إلى أول دخل I0 الذى سيكون له أقل أولوية. طرف القدرة هو الطرف ١٦ والأرضى هو الطرف ٨. شكل (٥- ٢٢) يبين استخدام المشفر 74147 فى عمل لوحة مفاتيح مبسطة مكونة من عشرة مفاتيح، وعند الضغط على أى واحد من المفاتيح فإن المشفر يخرج شفرة رباعية لهذا المفتاح يمكن قراءتها عن طريق المعالج أو عن طريق الحاسب.



شكل (٥- ٢١) الرسم الوظيفى للشريحة 74147

لا حاجة لتوصيل الصفر

شكل (٥- ٢٢) مشفر للوحة مفاتيح بسيطة باستخدام المشفر 74147

الدخل									الخرج			
1	**2**	**3**	**4**	**5**	**6**	**7**	**8**	**9**	**D**	**C**	**B**	**A**
H	H	H	H	H	H	H	H	H	H	H	H	H
X	X	X	X	X	X	X	X	L	L	H	H	L
X	X	X	X	X	X	X	L	H	L	H	H	H
X	X	X	X	X	X	L	H	H	H	L	L	L
X	X	X	X	X	L	H	H	H	H	L	L	H
X	X	X	X	L	H	H	H	H	H	L	H	L
X	X	X	L	H	H	H	H	H	H	L	H	H
X	X	L	H	H	H	H	H	H	H	H	L	L
X	L	H	H	H	H	H	H	H	H	H	L	H
L	H	H	H	H	H	H	H	H	H	H	H	L

جدول ٥- ٩ جدول الحقيقة للشريحة 74147 . X تعنى لا يهم

٥-١٤ الشريحة 74148 مشفر ٨ إلى ٣ مع الأولوية
Encoder 8 to 3 with priority

الشريحة 74148 لها ٨ مداخل كلها منخفضة الفعالية، تعطى الشفرة المقابلة لأى واحد من هذه المداخل على الثلاثة مخارج A0 و A1 و A2، وهذه المخارج منخفضة الفعالية أيضا كما فى شكل (٥- ٢٣). الشريحة بها خاصية الأولوية حيث الدخل الأخير 7 يملك أعلى أولوية والدخل الأول 0 له أقل أولوية. الشريحة لها خط تنشيط EI حينما يكون فعالا (0) فإن كل خروج الشريحة تكون غير فعالة (1). طرف تنشيط الخرج EO يكون فعال (0) حينما تكون كل المداخل غير فعاله (1)، بينما الطرف Group Signal, GS فيكون فعالا (0) إذا كان أى واحد من المداخل فعال (0). تستخدم هذه الخطوط فى الحفاظ على خاصية الأولوية عند توصيل أكثر من شريحة للحصول على مشفرات أكبر. جدول الحقيقة لهذه الشريحة مبين فى جدول ٥-١٠.

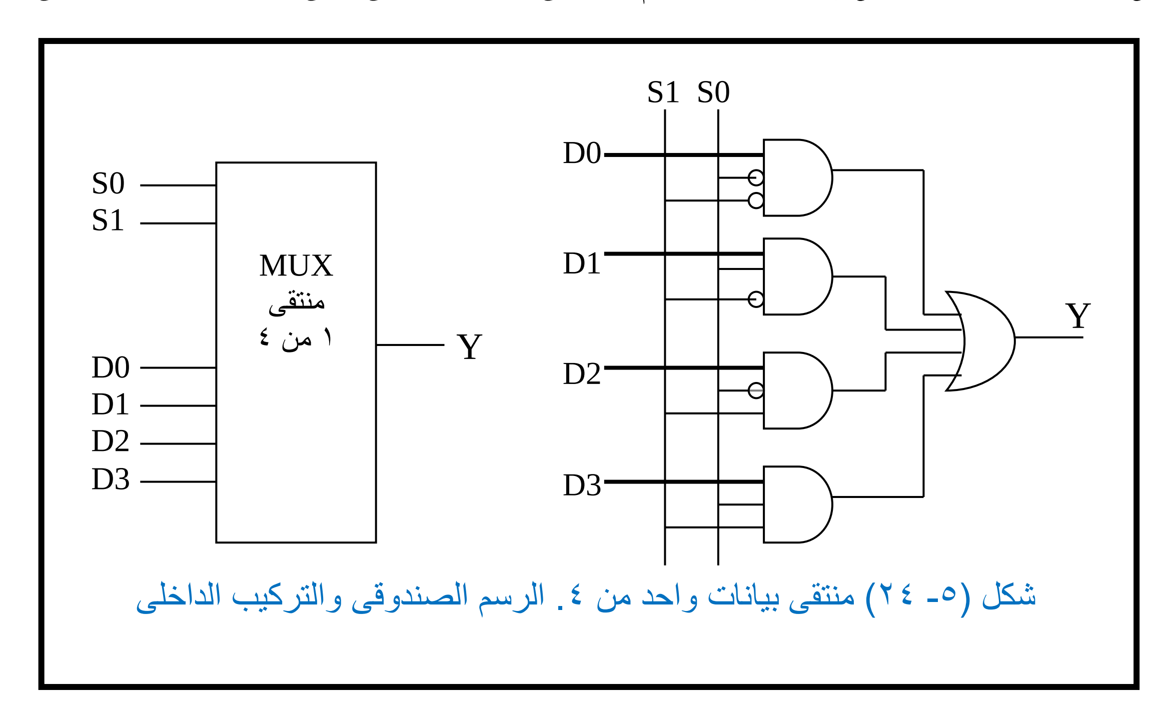
شكل (٥- ٢٣) الرسم الوظيفى للمشفر 74148

الدخل									الخرج				
$\overline{E1}$	$\overline{0}$	$\overline{1}$	$\overline{2}$	$\overline{3}$	$\overline{4}$	$\overline{5}$	$\overline{6}$	$\overline{7}$	$\overline{Gs}$	$\overline{A2}$	$\overline{A1}$	$\overline{A0}$	$\overline{EO}$
H	X	X	X	X	X	X	X	X	H	H	H	H	H
L	H	H	H	H	H	H	H	H	H	H	H	H	L
L	X	X	X	X	X	X	X	L	L	L	L	L	H
L	X	X	X	X	X	X	L	H	L	L	L	H	H
L	X	X	X	X	X	L	H	H	L	L	H	L	H
L	X	X	X	X	L	H	H	H	L	L	H	H	H
L	X	X	X	L	H	H	H	H	L	H	L	L	H
L	X	X	L	H	H	H	H	H	L	H	L	H	H
L	X	L	H	H	H	H	H	H	L	H	H	L	H
L	L	H	H	H	H	H	H	H	L	H	H	H	H

جدول ٥-١٠ جدول الحقيقة للشريحة 74148

٥–١٥ منتقى البيانات Multiplexers/Data selector

منتقى البيانات MUX هو دائرة تنتقى واحد من المداخل المتعددة وتوجه البيانات الموجودة عليه إلى خرج الدائرة الوحيد. عملية اختيار أحد المداخل تتم عن طريق استخدام خطوط اختيار select lines. إذا كان عدد خطوط الاختيار هو n فإن خطوط الدخل يكون عددها هو 2^n. شكل (٥– ٢٤) يبين الرسم الصندوقى والتركيب الداخلى لمنتقى واحد من أربعة. هذا المنتقى يختار



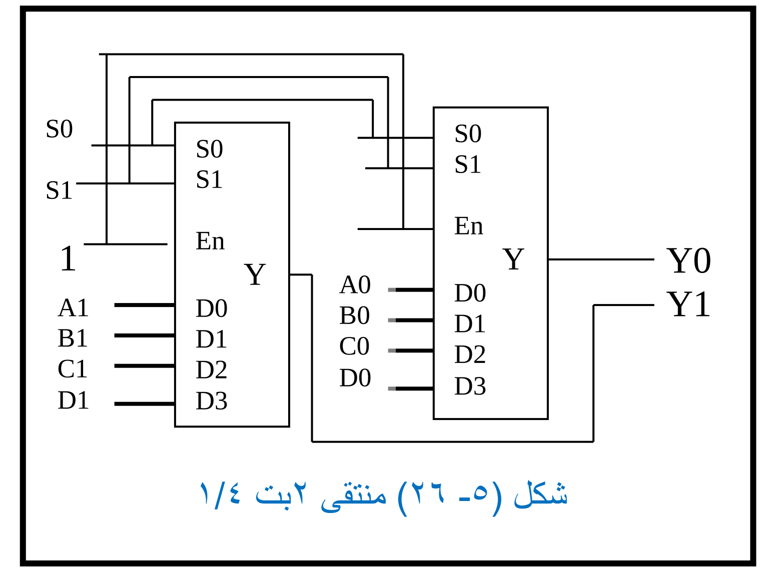
شكل (٥- ٢٤) منتقى بيانات واحد من ٤. الرسم الصندوقى والتركيب الداخلى

واحد من الأربعة مداخل D0 إلى D3 ويرسل البيانات الموجودة عليه إلى الخرج. تتم عملية اختيار أحد المداخل باستخدام خطى الاختيار S0 و S1.

يمكن استخدام أكثر من منتقى بإمكانيات أقل للحصول على منتقى بإمكانيات أعلى. فمثلا يمكن الحصول على منتقى واحد من ثمانية باستخدام ٢ منتقى كل منهما واحد من أربعة كما فى شكل (٥- ٢٥). الشرط هو أن يكون كل من المنتقيين له طرف تنشيط Enable, En. حيث يدخل خرج كل من المنتقيين على بوابة OR كما فى الشكل. لاحظ من هذا الشكل أنه عندما يكون S2=0 فإن المنتقى الأيسر ينشط والثانى يكون خاملا وعلى ذلك فإن الخرج سيكون واحد من الإشارات الداخلة على هذا المنتقى. عندما يكون S2=1 ينشط المنتقى الأيمن ويخمد الأيسر ويكون الخاج مساويا لأحد مداخل المنتقى الأيمن. لاحظ استخدام بوابة OR لتمرير خرج المنتقى الأول أو الثانى.

شكل (٥- ٢٥) الحصول على منتقى ١/٨ من منتقيين ١/٤

بتعديل بسيط يمكن استخدام الدائرة السابقة لاختيار واحد من أربعة أرقام A و B و C و D كل منها مكون من ٢ بت وتمريره إلى الخرج المكون من ٢ بت أيضا. يتم ذلك بالاستغناء عن البوابة OR وجعل كل من المنتقيين نشط فى نفس الوقت بحيث يختار المنتقى الأيمن البت الأولى من الرقم ويختار المنتقى الأيسر البت الثانية من نفس الرقم كما فى شكل (٥- ٢٦). بنفس الطريقة يمكن التعامل مع منتقيات ٣ و ٤ وأى عدد من البتات.



شكل (٥- ٢٦) منتقى ٢بت ١/٤

يعتبر المنتقى دائرة عامة universal circuit بمعنى أنه يمكن اشتقاق الكثير من الدوائر الأخرى من هذه الدائرة. سنرى الآن كيفية اشتقاق بوابات AND و OR و NOT و XOR من دائرة المنتقى. كمثال على ذلك سنكتب المعادلة المنطقية لخرج المنتقى ١/٤ كما يلى :

$$Y = \overline{S0}\,\overline{S1}D0 + S0\overline{S1}D1 + \overline{S0}S1D2 + S0S1D3$$

من هذه المعادلة إذا وضعنا D0=D1=D2=0 و D3=1 ، فإن الخرج سيكون:

Y= S0S1

وهذا يمثل عملية AND على الإشارتين S0 و S1. بوضع D0=0 و D1=D2=D3=1 ، فإن الخرج سيكون:

$$Y = S0\overline{S1} + \overline{S0}S1 + S0S1$$

$$= S0 + S1$$

وهذا يمثل عملية OR على الإشارتين S0 و S1.

بوضع D0=D2=1 و D1=D3=0 ، فإن الخرج سيكون :

$$Y = \overline{S0}\,\overline{S1} + S0\overline{S1}$$

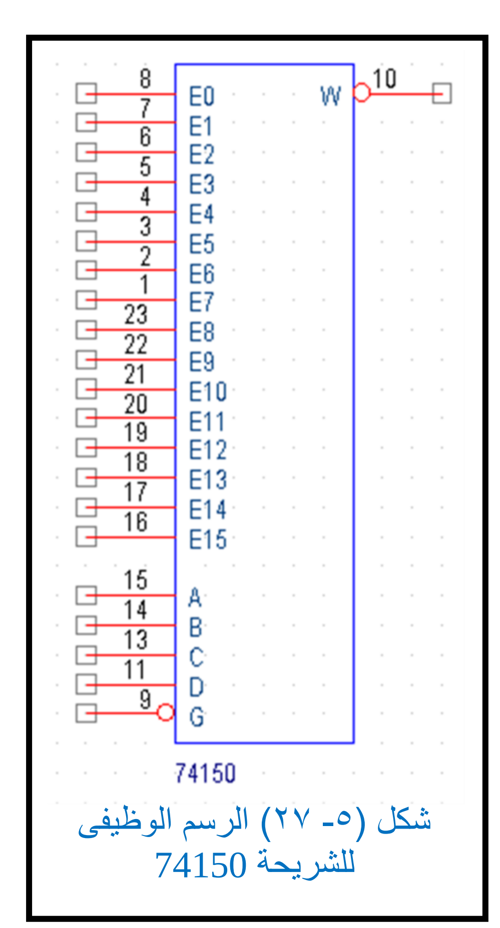
$$= \overline{S1}$$

وهذا يمثل عملية عكس للإشارة S1. بنفس الطريقة يمكن عكس الإشارة S0 أيضا.

بوضع D0=D3=0 و D1=D2=1 فإن الخرج سيكون:

$$Y = \overline{S0}S1 + S0\overline{S1}$$

وهذا يمثل بوابة XOR. بنفس الطريقة يمكن الحصول على باقى البوابات. هذه ميزة مهمة فى المنتقى حيث يمكن بذلك استخدامه كعنصر أساسى فى الكثير من الدوائر المنطقية. سنبدأ الآن فى تقديم بعض شرائح المنتقى الشائعة.



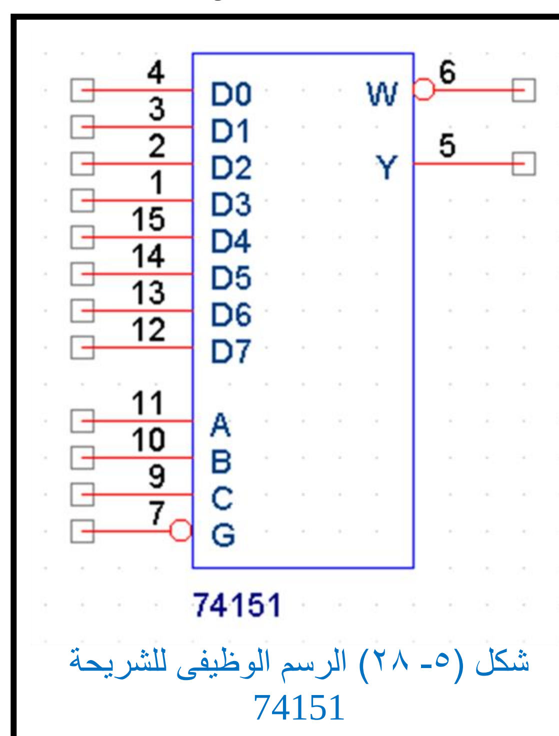
شكل (٥- ٢٧) الرسم الوظيفى للشريحة 74150

٥-١٦ الشريحة 74150 منتقى ١/١٦

هذا المنتقى له ١٦ دخل E0 إلى E15 وأربع خطوط اختيار هى A و B و C و D وخرج واحد هو W وهو منخفض الفعالية، بمعنى أن البيانات عليه تكون عكس البيانات الموجودة على الخط المختار كما فى شكل (٥– ٢٧). الشريحة لها أيضا خط تنشيط $\overline{G}$ منخفض الفعالة لا تعمل إلا إذا كان هذا الخط نشط (0)، وعندما يكون هذا الخط واحد فإن الخرج يكون واحد مهما كانت الإشارة الموجودة على خطوط الدخل أو خطوط الاختيار. زمن التأخير للشريحة هو ١٧ نانوثانية وتيار القدرة هو ٤٠ مللى أمبير. الطرف ٢٤ هو طرف القدرة والطرف ١٢ هو الأرضى.

٥-١٧ الشريحة 74151 منتقى ١/٨

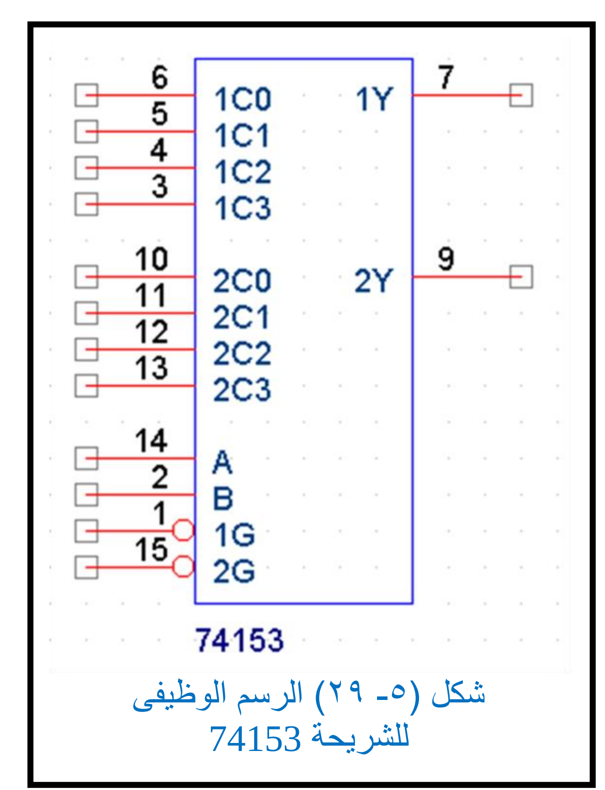
الشريحة 74151 بكل إصداراتها عبارة عن منتقى ١/٨ له ٨ مداخل D0 إلى D7 وثلاث خطوط اختيار هى A و B و C، وخط تنشيط واحد G منخفض الفعالية، وخرجان أحدهما منخفض الفعالية W والآخر عالى الفعالية Y كما فى شكل (٥- ٢٨). عندما يكون خط التنشيط غير فعال (1) فإن Y=0 و W=1 أى أن كل منهما يكون غير فعال مهما كان الدخل. الشريحة 74151 لها زمن تأخير مقداره ١٨ نانوثانية وتيار قدرة مقداره ٢٩ مللى أمبير. الشريحة 74LS151 لها زمن تأخير مقداره ١٢ نانوثانية وتيار قدرة مقداره ٦ مللى أمبير. الشريحة 74S151 لها زمن تأخير مقداره ٩ نانوثانية وتيار قدره مقداره ٤٥ مللى أمبير . كعادة معظم شرائح TTL فإن الطرف ٨ هو الأرضى GND والطرف ١٦ هو Vcc.



شكل (٥- ٢٨) الرسم الوظيفى للشريحة 74151

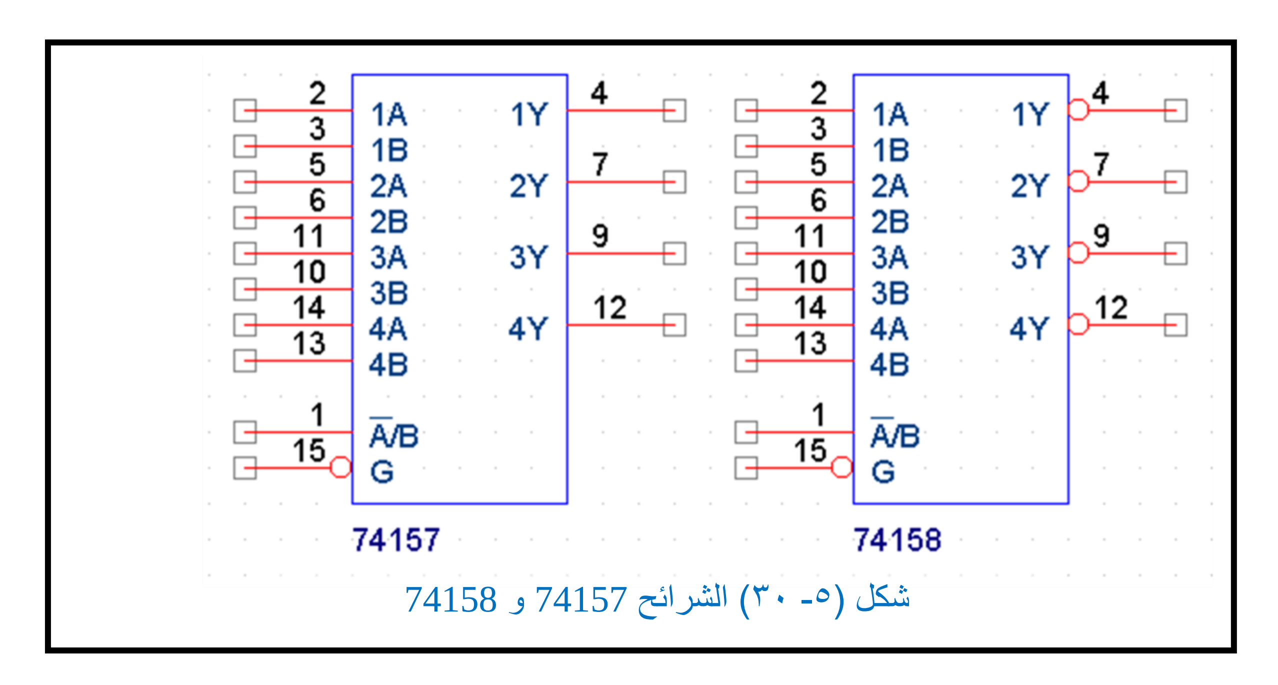
٥-١٨ الشريحة 74153 ، ٢ منتقى ١/٤

هذه الشريحة تحتوى ٢ منتقى كل منهما ١/٤ الأول خرجه هو 1Y ومداخله هى 1C0 إلى 1C3 وله خط تنشيط 1G منخفض الفعالية. المنتقى الثانى خرجه هو 2Y ومداخله هى 2C0 إلى 2C3 وله خط تنشيط 2G منخفض الفعالية. خطوط الاختيار لكل من المنتقيين هما A و B. شكل (٥- ٢٩) يبين الرسم الوظيفى لهذه الشريحة. يمكن تنشيط كل من المنتقيين فى نفس الوقت 1G=2G=0 وفى هذه الحالة يمكن اعتبار الخرج مكونا من ٢ بت وفى هذه الحالة تعتبر المداخل كما لو كانت ٤ مداخل كل منهم ٢ بت، الدخل الأول هو 1C0 و 2C0 والدخل الثانى هو 1C1 و 2C1 وهكذا. الطرف ٨ هو الأرضى والطرف ١٦ هو Vcc. الشريحة 74153 لها زمن تأخير مقداره ١٨ نانوثانية وتيار قدره مقداره ٣٦ مللى أمبير. الشريحة 74LS153 لها زمن تأخير مقداره ١٨ نانوثانية وتيار قدره مقداره ٦ مللى أمبير. أما الشريحة 74S153 فلها زمن تأخير مقداره ٩ نانوثانية وتيار قدرة مقداره ٤٥ مللى أمبير.



شكل (٥- ٢٩) الرسم الوظيفى للشريحة 74153

٥-١٩ الشرائح 74157 و 74158 أربعة منتقى ١/٢



شكل (٥- ٣٠) الشرائح 74157 و 74158

تحتوى الشريحة 74157 كما فى شكل (٥- ٣٠) على ٤ منتقيات كل منها ١/٢، الأول دخله هو 1A و 1B وخرجه هو 1Y، والثانى دخله هو 2A و 2B وخرجه هو 2Y، والثالث دخله هو 3A و 3B وخرجه هو 3Y، وأما المنتقى الرابع فدخله هو 4A و 4B وخرجه هو 4Y. جميع المنتقيات لها خط اختيار واحد A/B عندما يكون صفر يتم اختيار الدخل A من كل المنتقيات الأربعة وعندما يكون واحد يتم اختيار الدخل B. الشريحة لها خط تنشيط $\overline{G}$ منخفض الفعالية، وجميع الخروج عالية الفعالية. الشريحة 74158 مثل الشريحة 74157 تماما فيما عدا أن مخارجها منخفضة الفعالية وهذا هو الفرق الوحيد بين الشريحتين. الطرف ٨ هو الأرضى والطرف ١٦ هو Vcc فى الشريحتين.

الخرج	الدخل		
Y	A0	A1	A2
0	0	0	0
1	1	0	0
0	0	1	0
1	1	1	0
0	0	0	1
1	1	0	1
1	0	1	1
0	1	1	1

جدول ٥-١١ جدول الحقيقة لدالة المثال ٥-١

من مميزات المنتقى كما رأينا سابقا أنه يمكن استخدامه فى بناء أى دالة منطقية توافقية يكون عدد متغيراتها مساوى أو أقل من خطوط اختيار هذا المنتقى. ولقد رأينا كيفية بناء البوابات AND و OR وغيرها وسنرى الآن كيفية بناء بعض الدوال الأكثر تعقيدا من خلال المثال التالى:

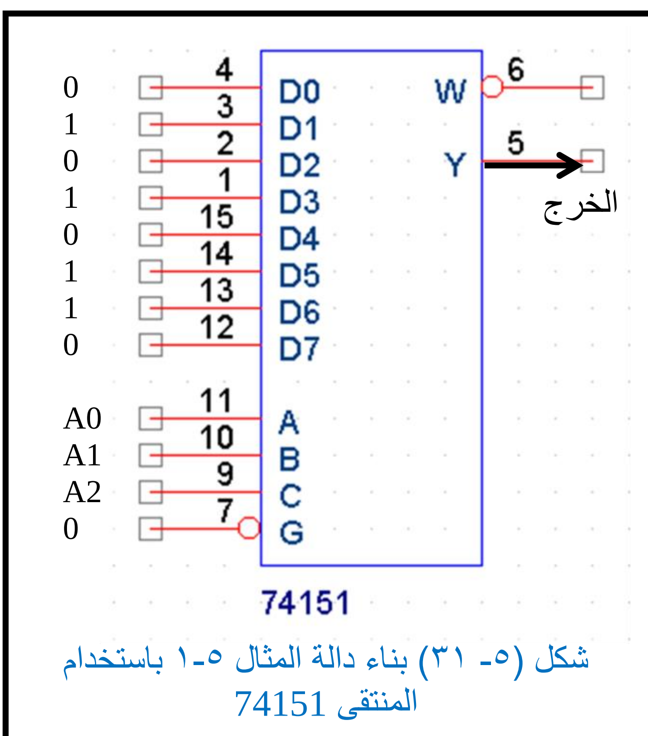
مثال ٥-١

مطلوب استخدام الشريحة 74151 فى بناء الدالة المنطقية التى تحقق جدول الحقيقة الموضح فى جدول ٥-١١.

لعمل ذلك نقوم بتوصيل متغيرات الدالة A0 و A1 و A2 على خطوط المنتقى، وأما خرج المنتقى فسيكون هو خرج الدالة كما فى الشكل التالى. معادلة خرج المنتقى يمكن كتابتها كما يلى:

$$Y = \overline{A}\,\overline{B}\,\overline{C}D0 + \overline{A}\,\overline{B}CD1 + \overline{A}B\overline{C}D2 + \overline{A}BCD3 + A\overline{B}\,\overline{C}D4 + A\overline{B}CD5 + AB\overline{C}D6 + ABCD7$$

بوضع D0=D2=D4=D7=0 وفى نفس الوقت D1=D3=D5=D6=1 وتوصيل خطوط الاختيار فى المنتقى A و B و C على خطوط الدالة A0 و A1 و A2 كما فى الشكل فإن الخرج Y سيمثل الدالة الموجودة فى جدول الحقيقة. لا ننسى وضع 0 على خط تنشيط الشريحة $\overline{G}$.

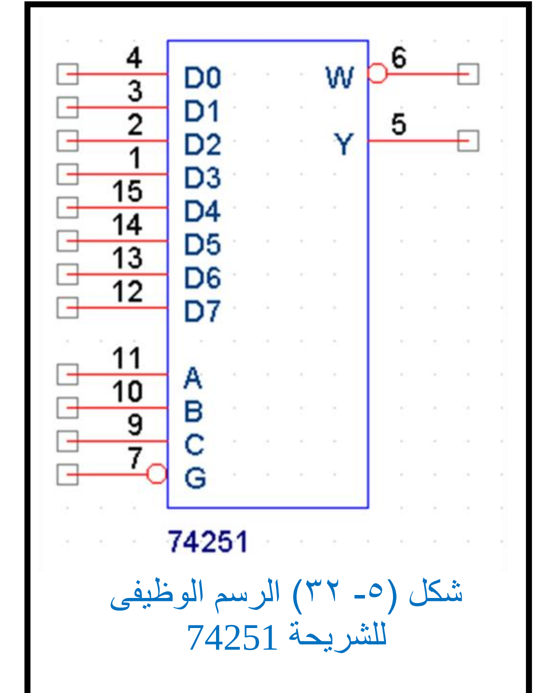


شكل (٥- ٣١) بناء دالة المثال ٥-١ باستخدام المنتقى 74151

٥-٢٠ الشريحة 74251 منتقى بيانات ١/٨ بخرج ثلاثى المنطق

8 input Multiplexers (3 state output)

هذه الشريحة تكافئ نظيرتها الشريحة 74151 من حيث الأداء الوظيفى فلها ٨ مداخل D0 إلى D7 يتم اختيار واحد منهم وإرسال ما عليه من بيانات إلى أحد الخرجين Y و W، المخرج الأول Y يخرج البيانات كما هى، والمخرج الآخر W يعكس البيانات قبل إخراجها، ويتم اختيار الخرج عن طريق ٣ خطوط اختيار A و B و C. الجديد فى هذه الشريحة أن الخرج ثلاثى المنطق ، بمعنى أنه عندما يكون طرف التنشيط $\overline{G}$ المنخفض الفعالية غير فعال، أى واحد، فإن كل من الخرجين يكون فى الحالة الثالثة وهى حالة المقاومة العالية high impedance. الطرف ١٦ هو طرف القدرة والطرف ٨ هو الأرضى. شكل (٥- ٣٢) يبين الرسم الوظيفى لهذه الشريحة.



شكل (٥- ٣٢) الرسم الوظيفى للشريحة 74251

الدخل												الخرج	
$\overline{G}$	$\overline{C}$	B	A	D0	D1	D2	D3	D4	D5	D6	D7	$\overline{W}$	Y
H	X	X	X	X	X	X	X	X	X	X	X	Z	Z
L	L	L	L	L	X	X	X	X	X	X	X	H	L
L	L	L	L	H	X	X	X	X	X	X	X	L	H
L	L	L	H	X	L	X	X	X	X	X	X	H	L
L	L	L	H	X	H	X	X	X	X	X	X	L	H
L	L	H	L	X	X	L	X	X	X	X	X	H	L
L	L	H	L	X	X	H	X	X	X	X	X	L	H
L	L	H	H	X	X	X	L	X	X	X	X	H	L
L	L	H	H	X	X	X	H	X	X	X	X	L	H
L	H	L	L	X	X	X	X	L	X	X	X	H	L
L	H	L	L	X	X	X	X	H	X	X	X	L	H
L	H	L	H	X	X	X	X	X	L	X	X	H	L
L	H	L	H	X	X	X	X	X	H	X	X	L	H
L	H	H	L	X	X	X	X	X	X	L	X	H	L
L	H	H	L	X	X	X	X	X	X	H	X	L	H
L	H	H	H	X	X	X	X	X	X	X	L	H	L
L	H	H	H	X	X	X	X	X	X	X	H	L	H

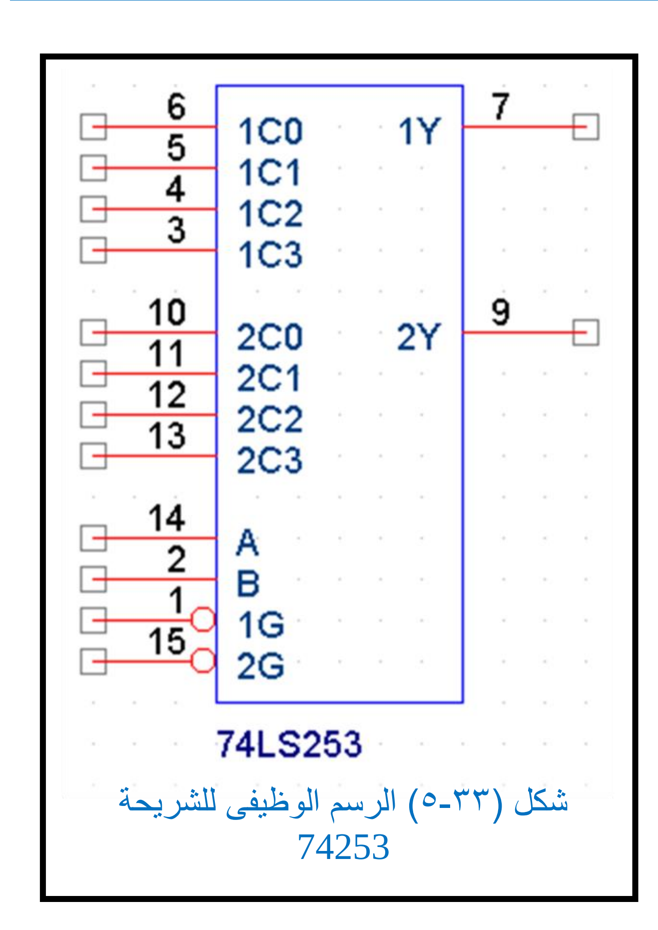
جدول ٥-١٢ جدول الحقيقة للشريحة 74251
Z تعنى مقاومة عالية high impedance

٥-٢١ الشريحة 74253 ، ٢ منتقى بيانات ١/٤ بخرج ثلاثى المنطق
Dual 4 input multiplexers (3 state output)

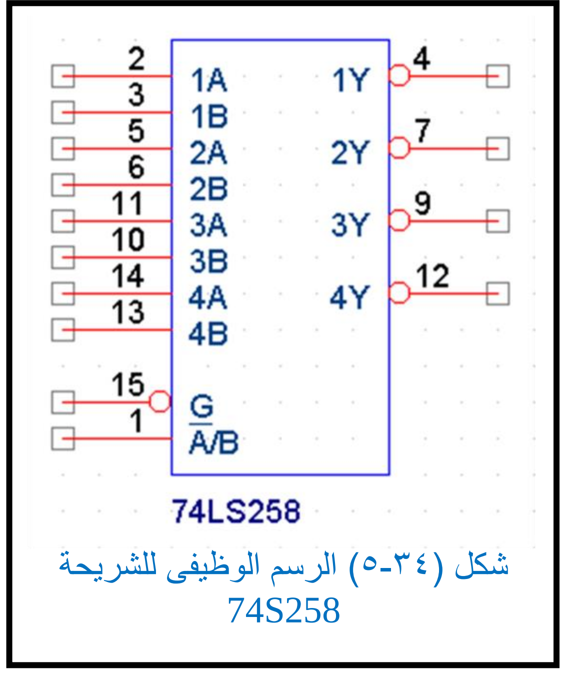
هذا المنتقى يشبه تماما نظيره 74153 سوى أن الخرجين 1Y و 2Y فى هذه الشريحة كل منهما ثلاثى المنطق. بمعنى أن الخرج يكون مقاومة عالية high impedance عندما يكون خط التنشيط 1G أو 2G غير فعال. راجع شرح الشريحة 74153. الشريحة ١٦ طرف، الطرف ٨ هو الأرضى والطرف ١٦ هو Vcc. شكل (٥-٣٣) يبين الرسم الوظيفى لهذه الشريحة.

٥-٢٢ الشريحة 74S258 ، ٤ منتقى بيانات ١/٢ بخرج ثلاثى المنطق
Quad 2 input multiplexers (3 state output)

هذه الشريحة كما فى شكل (٥- ٣٤) تشبه نظيرتها 74158 تماما سوى أن المخارج للمنتقيات الأربعة ثلاثية المنطق، بمعنى أنه عندما يكون خط التنشيط للشريحة $\overline{G}$ غير فعال (1) فإن كل المخارج تكون فى حالة المقاومة العالية high impedance. راجع شرح الشريحة 74158 لمزيد من المعلومات التفصيلية عن الشريحة. الشريحة ١٦ طرف ، الطرف ٨ هو الأرضى، والطرف ١٦ هو Vcc.



شكل (٥-٣٣) الرسم الوظيفى للشريحة 74253



شكل (٥-٣٤) الرسم الوظيفى للشريحة 74S258

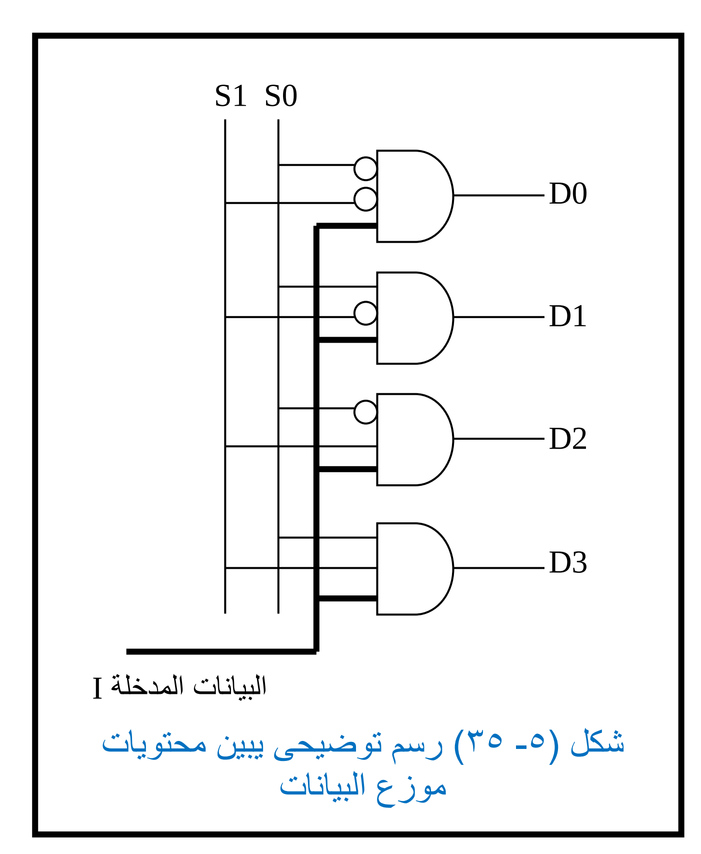
٥-٢٣ موزع البيانات Demultiplexer/Data distributor

يقوم موزع البيانات بالعملية العكسية لمنتقى البيانات. فإذا كان المنتقى ينتقى أحد المداخل ويرسل البيانات الموجودة عليه إلى الخرج الوحيد، فإن موزع البيانات يأخذ البيانات الموجودة على الدخل الوحيد ويوزعها على واحد من المخارج المتعددة. يتم اختيار هذا المخرج الذى ستخرج عليه البيانات عن طريق خطوط اختيار. إذا كان عدد خطوط الاختيار هو n فإن عدد المخارج التى سيتم اختيار أحدها هو 2^n. شكل (٥- ٣٥) يبين موزع ٤/١ له ٤ مخارج D0 و D1 و D2 و D3 ومدخل واحد I. نلاحظ فى هذا الشكل أن خط الدخل I موصل إلى جميع بوابات ال AND، ويتم تنشيط بوابة واحدة فقط عن طريق خطوط الاختيار S0 و S1. البوابة النشطة هى فقط التى ستخرج عليها البيانات I كما فى الشكل.

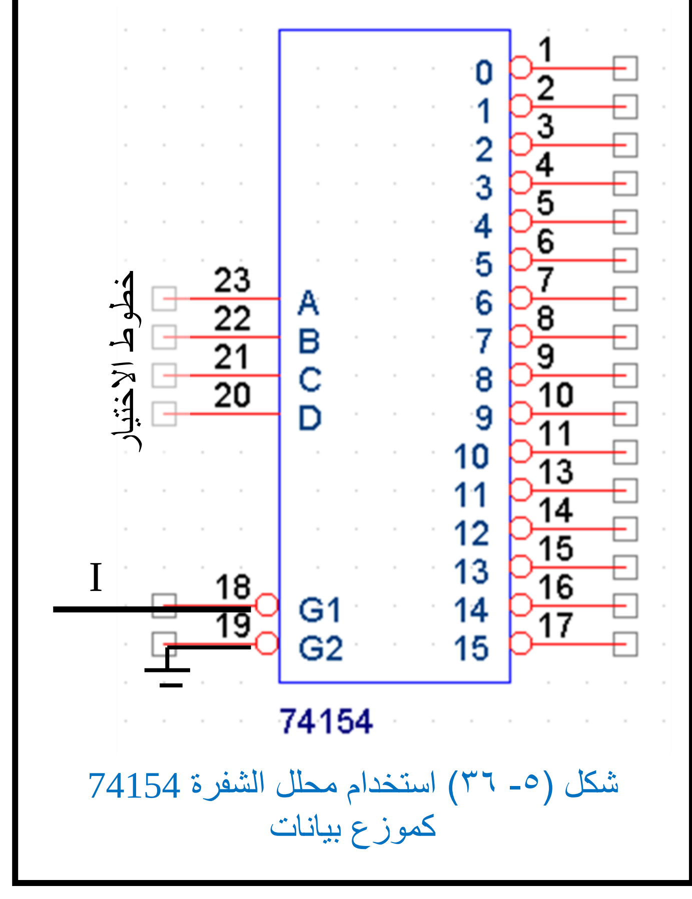
بالنظر لشكل (٥- ٣٥) يمكننا أن نلاحظ أن موزع البيانات يعتبر محلل شفرة مضافا إليه خط الدخل I. كذلك يمكن النظر لموزع البيانات على أنه محلل شفرة له خط تنشيط هو الخط I لأنه بوضع I=0 فإن جميع المخارج ستكون غير فعاله أى أصفار. من ذلك نخرج بنتيجة مهمة وهى أن أى محلل شفرة يمكن استخدامه كموزع بيانات إذا كان له خط تنشيط حيث توضع البيانات المراد توزيعها على المخارج المختلفة على خط التنشيط بينما تكون خطوط الدخل لمحلل الشفرة تمثل خطوط الاختيار للموزع.

شكل (٥- ٣٦) يبين استخدام محلل الشفرة 74154 كموزع بيانات حيث تم وضع البيانات المدخلة على أحد خطى التنشيط G1، بينما خط التنشيط الآخر وضع يساوى صفر، أما خطوط الدخل الأربعة فيتم استخدامها كخطوط اختيار نختار بها الخرج

المطلوب. وعلى ذلك فإن أى محلل شفرة به خط تنشيط يمكن استخدامه كموزع بيانات. كل شرائح محللات الشفرة التى سبق شرحها تقريبا يمكن استخدامها كموزع بيانات. من هذه الشرائح ما يلى حيث لن نعيد شرحها مرة ثانية: 74137 و 74138 و 74139 و 74154 و 74155 و 74156 ويمكن مراجعتها للنظر فى كيفية استخدامها كموزعات للبيانات.



شكل (٥- ٣٥) رسم توضيحى يبين محتويات موزع البيانات



شكل (٥- ٣٦) استخدام محلل الشفرة 74154 كموزع بيانات

٥-٢٤ تمارين

١- شكل (٥-ت١) يحتوى ٥ بوابات AND ، فما هى الشفرة التى توضع على دخل الدائرة لتجعل خرج كل بوابة يساوى واحد على حده؟

٢- ارسم طريقة تشفير كل من الشفرات التالية: 0000 و 1100 و 1001 و 1110100 و 11001100 و 101010 مطلوب أن يكون الخرج عالى الفعالية؟

٣- أعد التمرين السابق ولكن مع جعل الخرج منخفض الفعالية؟

٤- مطلوب التعرف على وجود الشفرات التالية على دخل إحدى الدوائر : 1010, 1100, 0011, 0000. صمم دائرة منطقية بخرج واحد يكون واحد عند وجود أحد هذه الشفرات على الدخل. استخدم أقل عدد من البوابات.

٥- ارسم شكل الجهد على خرج محلل الشفرة الموجود فى شكل (٥-ت٤) إذا كان شكل الإشارة على المداخل كالموضح فى نفس الشكل؟

٦- ارسم شكل الخرج على مخارج محلل الشفرة 7442 العشرة التى تظهر بالتوافق مع إشارة كالموجودة على المداخل الأربعة فى شكل (٥-ت٦)؟

٧- شكل (٥-ت٦) يبين الإشارة الموجودة على الأربع مداخل الخاصة بالشريحة 7447 (مغذية المظهر ذو ٧ قطع). ما هو تتابع الأرقام الناتج عن هذه الإشارات والذى سيظهر على المظهر؟

٨-استخدم ٤ من محلل الشفرات ٨/٣ الذى له طرف تنشيط E، ومحلل شفرة واحد من النوع ٤/٢ للحصول على محلل شفرة ٣٢/٥. وضح باستخدام الرسم الصندوقى؟

٩-أعد السؤال السابع مستخدما شرائح حقيقية؟

١٠-ارسم دائرة محلل الشفرات ٤/٢ مرة باستخدام بوابات AND فقط وأخرى باستخدام بوابات NOR فقط؟

١١-ارسم الدائرة الكاملة لمشفر ٤/١٦ واكتب جدول الحقيقة الخاص به؟

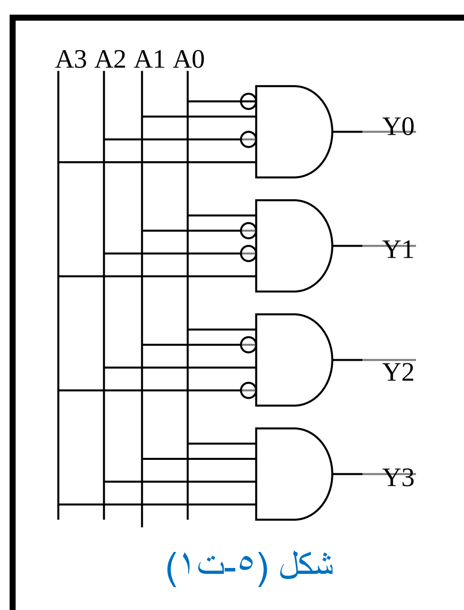
١٢-ارسم منتقى بيانات ١/١٦ مستخدما اثنين من منتقى البيانات ١/٨ ومنتقى بيانات واحد من النوع ١/٢، وضح باستخدام الرسم الصندوقى؟

١٣-أعد السؤال ١١ مستخدما شرائح حقيقية ؟

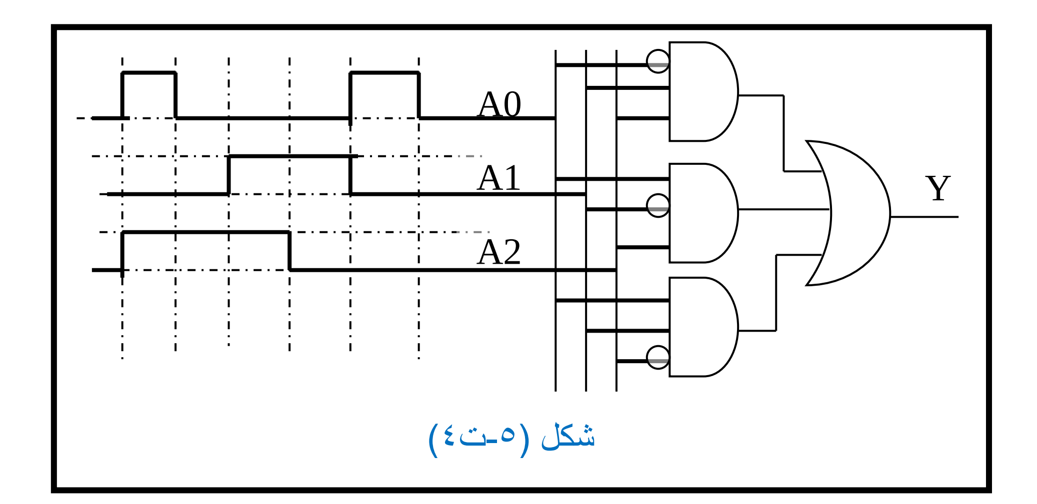
١٤-ارسم الدائرة المنطقية لمنتقى بيانات ١/٤ ، واكتب المعادلة المنطقية له ثم ضع جدول الحقيقة له أيضا ؟

١٥-بين كيف تستخدم منتقى بيانات ١/٨ لبناء المعادلة المنطقية التالية :

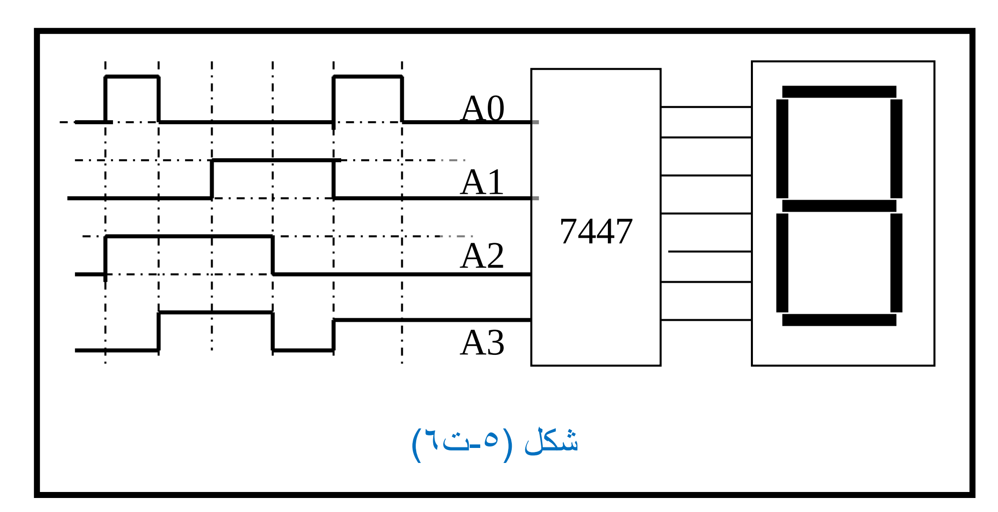
$$Y = \overline{A}BC + AB\overline{C} + A\overline{B}\overline{C} + ABC$$



شكل (٥-ت١)



شكل (٥-ت٤)



شكل (٥-ت٦)

الفصل السادس

٦

دوائر الحساب

Arithmetic Circuits

٦-١ مقدمة

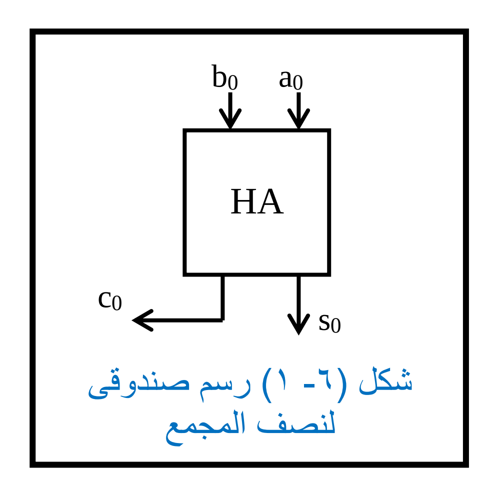
تضم دوائر الحساب الكثير من الدوائر المنطقية المختلفة التى تستخدم فى إجراء العمليات الحسابية الأساسية. من دوائر الحساب الأساسية المجمع أو الجامع والذى يقوم بإجراء عملية الجمع على رقمين، ومنه سنرى أنه يمكن استخدام هذا المجمع كطارح أيضا. هناك الكثير من الدوائر التكاملية المستخدمة فى هذا المجال وسنقوم بشرحها بالتفصيل. من دوائر الحساب أيضا، دوائر المقارنة وسنقدم أيضا شرحا تفصيليا للشرائح المستخدمة فى ذلك.

٦-٢ دوائر الحساب Arithmetic circuits

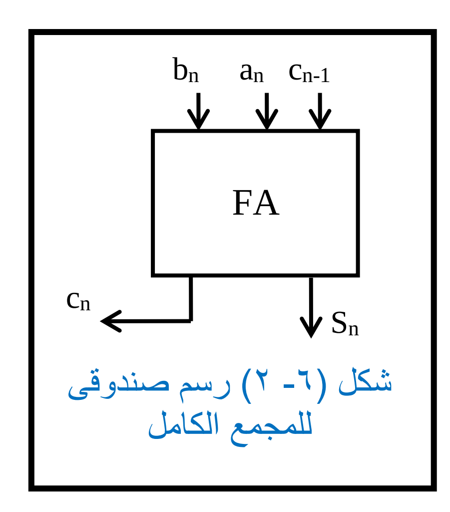
مثال ٦-١

المثال التالى يبين كيفية جمع الرقم $A=a_3a_2a_1a_0=1101$ مع الرقم $B=b_3b_2b_1b_0=1011$:

```
1111  <---- الحمل من كل مرحلة
A=   1101
B=   1011  +
-------------
   1 1000  <---- النتيجة
   ^
   الحمل الأخير
```



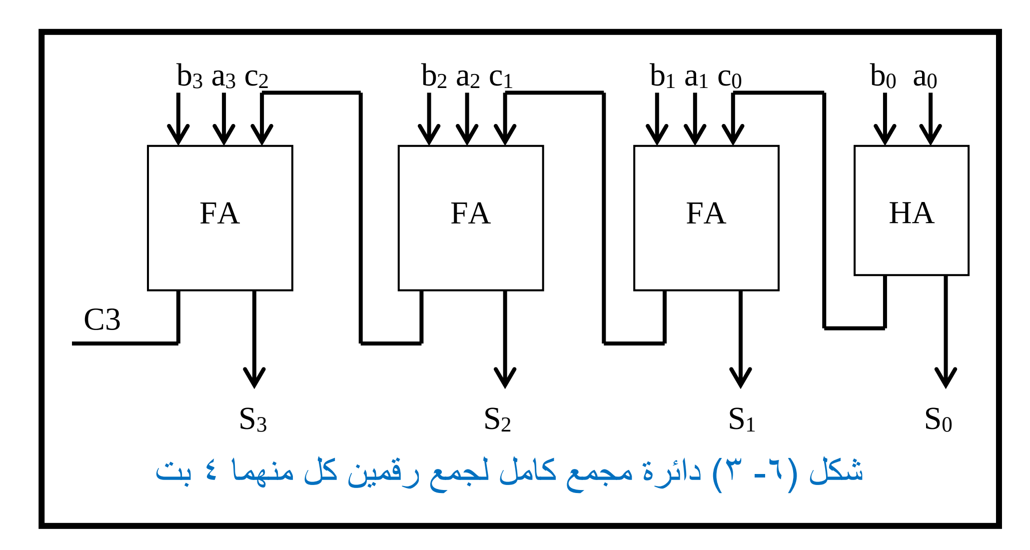
شكل (٦-١) رسم صندوقى لنصف المجمع



شكل (٦-٢) رسم صندوقى للمجمع الكامل

من هذا المثال نرى أن عملية جمع رقمين كل منهم ٤ بت تمت على ٤ مراحل، المرحلة الأولى، تم فيها جمع البت الأولى من A وهى $a_0=1$ مع البت الأولى من B وهى $b_0=1$، وكانت نتيجة الجمع هى $S_0=0$ وهناك حمل من هذه المرحلة وهو $c_0=1$ سيتم جمعه مع المرحلة الثانية. الدائرة المطلوبة لإجراء هذه العملية سيكون لها دخلان a_0 و b_0 ويخرج منها خرجان هما المجموع S_0 والحمل الذى سيذهب للمرحلة التالية c_0. هذه الدائرة التى تقوم بجمع ٢ بت هى أبسط دوائر الجمع وتسمى دائرة نصف المجمع Half Adder, HA. شكل (٦-١) يبين رسما صندوقيا لدائرة نصف المجمع، وأما الرسم التفصيلى لها فسنراه بعد قليل.

كما نرى من المثال السابق فإن أى مرحلة n بعد المرحلة الأولى ستقوم بجمع الحمل من المرحلة السابقة c_{n-1} مع البت رقم n من A وهى a_n مع البت رقم n من B وهى b_n وستكون النتيجة هى S_n التى تمثل المجموع و c_n التى تمثل الحمل للمرحلة التالية. أى أن الدائرة التى ستقوم بهذه العملية سيكون لها ٣ دخول c_{n-1} و a_n و b_n وسيكون لها خرجان هما S_n و c_n. هذه الدائرة تسمى دائرة مجمع كامل Full Adder, FA. شكل (٦– ٢) يبين رسما صندوقيا للمجمع الكامل وسيتم شرحه بالتفصيل بعد شرح دائرة نصف المجمع.



شكل (٦- ٣) دائرة مجمع كامل لجمع رقمين كل منهما ٤ بت

من ذلك نرى أنه لإتمام عملية جمع رقمين A مع B كما فى المثال السابق فإنه يلزم عدد واحد نصف مجمع لجمع أول ٢ بت ثم عدد ٣ مجمع كامل لجمع الثلاث بتات التالية. شكل (٦– ٣) يبين الدائرة الكاملة لجمع الرقمين A و B والتى تتكون من نصف مجمع وعدد ٣ مجمع كامل كما ذكرنا وطريقة التوصيل بينها. سنرى فيما يلى طريقة بناء كل من دائرة نصف المجمع ودائرة المجمع الكامل. وسنرى الشرائح الموجودة التى تمثل كل منهما.

٦–٣ دائرة نصف المجمع Half Adder circuit

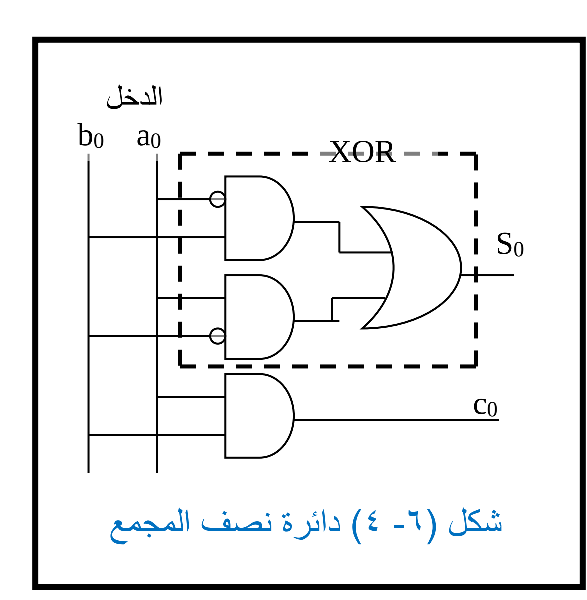
مهمة نصف المجمع كما رأينا هى جمع رقمين كل منهما يتكون من بت واحدة a_0 و b_0 ويعطى فى الخرج ناتج الجمع s_0 وحمل إلى المرحلة التالية c_0. أنظر إلى جدول الحقيقة لنصف المجمع كما فى جدول ٦–١ وحاول التحقق من جميع الحالات الموجودة به. من جدول الحقيقة يمكن كتابة المعادلات المنطقية لخرجيه كما يلى:

$$S_0 = \overline{a_0}b_0 + a_0\overline{b_0} \qquad (٦–١)$$

$$= a_0 \oplus b_0$$

$$c_0 = a_0b_0 \qquad (٦–٢)$$

حيث العملية ⊕ تمثل عملية الإكس أور XOR. من المعادلتين (٦– ١) و (٦– ٢) يمكن رسم الدائرة المنطقية لنصف المجمع كما فى شكل (٦– ٤). لاحظ أن S_0 يمكن تمثيلها ببوابة إكس أور XOR كما هو موضح فى نفس الشكل لأن S_0 تكون واحد إذا كان الدخلين مختلفين وصفر إذا كان الدخلين متشابهين كما فى الجدول ٦–١ السابق وهذه هى وظيفة البوابة إكس أور XOR. لاحظ أن c_0 عبارة عن بوابة آند AND واحدة لأن c_0 تكون واحد فقط إذا كان كل من الدخلين وحايد.



شكل (٦- ٤) دائرة نصف المجمع

الدخل		الخرج	
b_0	a_0	S_0	c_0
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

جدول ٦-١ جدول الحقيقة لنصف المجمع

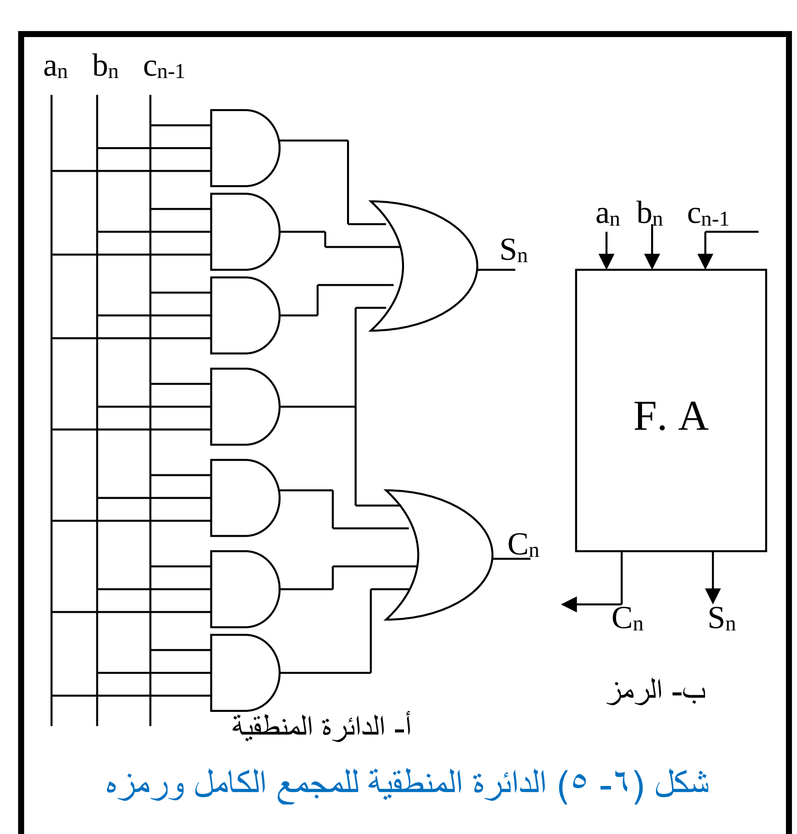
٦-٤ دائرة المجمع الكامل Full Adder, FA

دائرة المجمع الكامل قادرة على جمع ثلاثة بتات فى الدخل c_{n-1} و a_n و b_n حيث تخرج المجموع S_n وحمل c_n للمرحلة التالية. جدول الحقيقة لدائرة المجمع الكامل موضح فى جدول ٦-٢، حاول دراسة جميع حالات هذا الجدول. من هذا الجدول يمكن استنتاج المعادلة المنطقية للمجموع S_n والحمل c_n كما يلي:

$$\overline{S_n} = a_n\overline{b_n}\,\overline{c_{n-1}} + \overline{a_n}\,\overline{b_n}c_{n-1} + \overline{a_n}b_n\overline{c_{n-1}} + a_n b_n c_n \qquad (٦- ٣)$$

$$c_n = a_n b_n\overline{c_{n-1}} + a_n\overline{b_n}c_{n-1} + \overline{a_n}b_n c_{n-1} + a_n b_n c_{n-1} \qquad (٦- ٤)$$

من المعادلتين (٦- ٣) و (٦- ٤) يمكن استنتاج الدائرة المنطقية للمجمع الكامل كما فى شكل (٦- ٥).

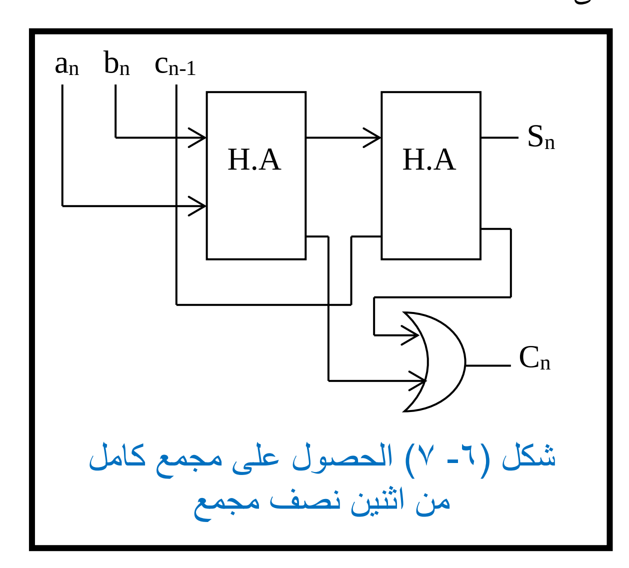


شكل (٦- ٥) الدائرة المنطقية للمجمع الكامل ورمزه

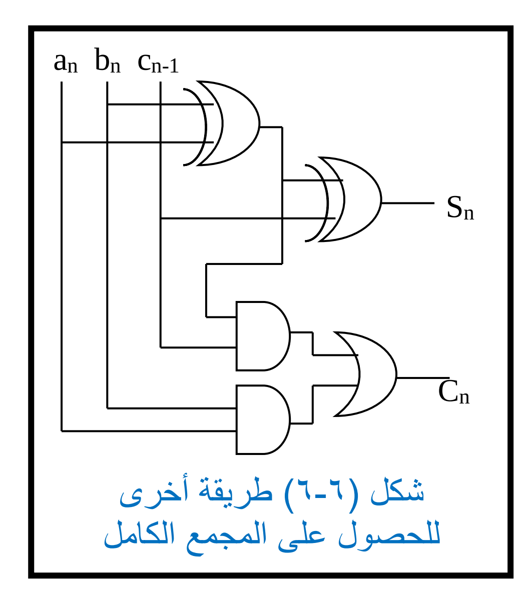
الدخل			الخرج	
C_{n-1}	b_n	a_n	S_n	c_n
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

جدول ٦-٢ ، جدول الحقيقة للمجمع الكامل

لقد رأينا فى المعادلة (٦- ١) أن خرج المجموع S_n لنصف المجمع هو خرج بوابة إكس أور XOR التى دخليها هما a_0 و b_0. الآن بما أن المجمع الكامل له نفس الدخلين بالإضافة إلى الدخل الثالث c_{n-1} فإن خرج المجموع S_n للمجمع الكامل يمكن الحصول عليه من بوابتين إكس أور XOR كما فى شكل (٦-٦) حيث البوابة الأولى يكون دخليها هما a_n و b_n وخرجها هو $b_n \oplus a_n$ وأما البوابة الثانية فيكون دخليها هما خرج البوابة السابقة مع الدخل c_{n-1}. خرج المجموع S_n للمجمع الكامل فى هذه الحالة يمكن كتابته كما يلى:



شكل (٦- ٧) الحصول على مجمع كامل من اثنين نصف مجمع



شكل (٦-٦) طريقة أخرى للحصول على المجمع الكامل

$$S_n=(a_n \oplus b_n) \oplus c_{n-1} \qquad (٦-٥)$$

بالنظر إلى جدول ٦-٢ وشكل (٦-٦) سنجد أنه يمكننا كتابة خرج الحمل c_n للمجمع الكامل كما يلى:

$$C_n= a_n\, b_n + (a_n \oplus b_n)c_{n-1} \qquad (٦-٦)$$

حاول التحقق من هذه المعادلة.

بالنظر إلى شكل (٦-٦) سنجد أنه عبارة عن اثنين نصف مجمع يمكن إعادة رسمهما كما فى شكل (٦- ٧) الذى يبين كيفية الحصول على مجمع كامل باستخدام اثنين نصف مجمع. لاحظ أن خرج الحمل من كل من نصفى المجمعين يدخلان على بوابة أور OR التى يمثل خرجها الحمل c_n للمجمع الكامل.

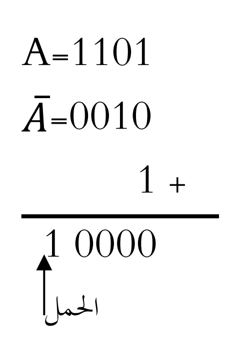
٦-٥ الطرح الثنائى Binary subtraction

لإجراء عمليات الطرح فإنه يتم عادة تحويل عملية الطرح إلى عملية جمع وبعد ذلك يمكن استخدام المجمع الذى سبق شرحه لإجراء عملية الطرح. لتحويل عملية الطرح إلى عملية جمع انظر إلى المثال التالى:

مثال ٦-٢

افترض أن لدينا الرقم A=1101. المعكوس أو المتمم الأحادى ones complement لهذا الرقم هو $\bar{A} = 0010$ ويتم ذلك عن طريق عكس كل واحد إلى صفر وكل صفر إلى واحد فى الرقم الأصلى. الآن ماذا يحدث لو جمعنا العدد الأصلى مع متممه الأحادى ثم جمعنا عليهم واحد آخر كما يلى:

شكل (٦- ٨) مجمع/طارح ذو ٤ بتات



النتيجة كما رأينا ستكون دائما صفر مع حمل واحد، ولذلك فإنه بإهمال هذا الحمل يمكننا كتابة المعادلة التالية:

$$A + \bar{A} + 1 = 0 \qquad (٦-٧)$$

من هذه المعادلة يمكن كتابة الرقم A- كما يلى:

$$-A=\bar{A}+1 \qquad (٦-٨)$$

وعلى ذلك يمكننا أن نرى من المعادلة (٦- ٨) أن أى عملية طرح يمكن تحويلها إلى عملية جمع عن طريق استبدال المطروح بمتممه الثنائى (المتمم الأحادى + ١). كمثال على ذلك انظر إلى عمليات الطرح التالية وكيف حولناها إلى عمليات جمع:

$$A - B = A + \bar{B} + 1 \qquad (٦-٩)$$

$$B - C = B + \bar{C} + 1 \qquad (٦-١٠)$$

بذلك نستطيع القول أنه يمكننا استخدام دائرة المجمع التى سبق شرحها فى تنفيذ عمليات الطرح بعد إجراء بعض التعديلات الطفيفة عليها. شكل (٦- ٨) يبين دائرة مجمع ذو ٤ بت يمكن استخدامها لإجراء عمليات الجمع أو الطرح على الدخلين A و B اللذان يتكون كل منهما من ٤ بتات عن طريق ٣ خطوط تحكم S_0 و S_1 و S_2 .

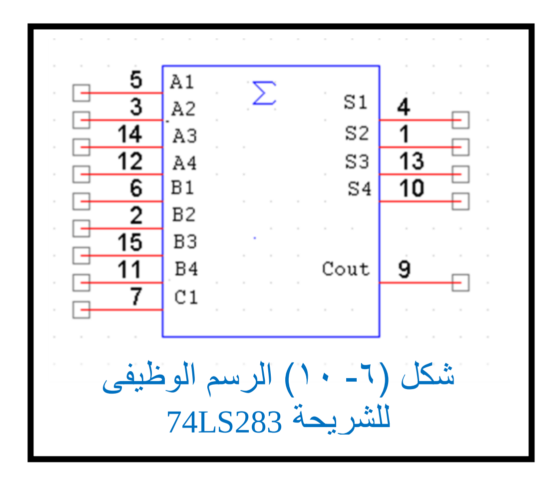
شكل (٦- ٩) الرسم الوظيفى للشريحة 7483

كما نعلم فإنه من خواص البوابة إكس أور XOR أن لها دخلان، عندما يكون أحدهما يساوى واحد فإن الخرج يساوى عكس الدخل الآخر، بينما إذا كان أحد الدخلين يساوى صفر فإن الخرج يساوى الدخل الآخر. وعلى ذلك فالخط S_1 فى شكل (٦- ٨) يمثل خط تحكم يسمح إما بعبور المتغير A كما هو إذا كان $S_1=0$، أو أن المتغير A سيعبر معكوسا إذا كانت $S_1=1$. بنفس الطريقة يستخدم الخط S_2 ليسمح بعبور المتغير B كما هو ($S_2=0$) أو معكوسا ($S_2=1$). المجمع فى نفس الشكل يجمع الدخل من A مع الدخل من B مع S_0 التى تكون إما واحد أو صفر. فمثلا عندما $S_2=S_1=S_0=0$ فإن المجمع فى هذه الحالة سيجمع الدخلين A+B. بينما إذا كانت $S_2=S_0=1$ و $S_1=0$ فإن المجمع فى هذه الحالة سيجمع $A+\bar{B}$ +1

والتي تكافئ كما ذكرنا سابقا A–B. بنفس الطريقة يمكن إجراء كل عمليات الجمع أو الطرح على الدخلين A و B باستخدام خطوط التحكم S_0 و S_1 و S_2، وهذه هى الطريقة التى تعمل بها شرائح وحدات الحساب التى سنراها بعد قليل.

٦–٦ الشريحة 7483 مجمع ذو ٤ بتات
4 bit Parallel Adder

هذه الشريحة تجمع رقمان كل منهما ٤ بت، A و B مع الحمل القادم من أى مرحلة سابقة C_0 ، وتعطى ناتج الجمع ٤ بتات وهو S_1,S_2,S_3,S_4 والحمل النهائى وهو Cout. شكل (٦ – ٩) يبين الرسم الوظيفى لها. طرف القدرة هو الطرف ٥ والأرضى على الطرف ١٢ حيث الشريحة مكونة من ١٦ طرفا.

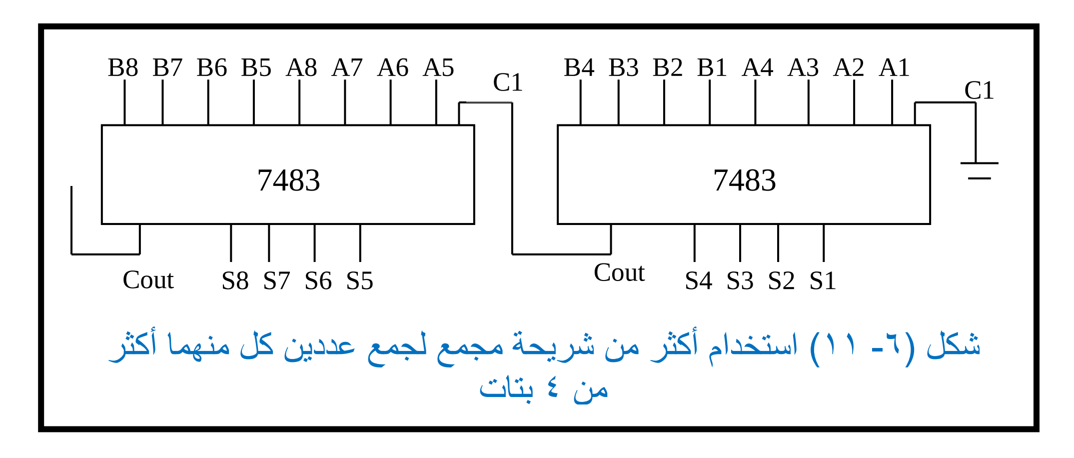


شكل (٦- ١٠) الرسم الوظيفى للشريحة 74LS283

٦–٧ الشريحة 74LS283 مجمع ذو ٤ بتات
4 bit Parallel Adder

هذه الشريحة لها نفس وظيفة الشريحة 7483 ولكنها ليست متطابقة معها فى الأطراف، فنجد مثلا أن الطرف ١٦ هو طرف القدرة والطرف ٨ هو الأرضى وهذا هو الشكل القياسى تقريبا لشرائح العائلة TTL وهذا لم يكن محققا فى الشريحة السابقة. شكل (٦– ١٠) يبين الرسم الوظيفى لهذه الشريحة.

يمكن استخدام أكثر من شريحة للحصول على مجمع لعدد أكبر من البتات. شكل (٦– ١١) يبين استخدام شريحتين 7483 للحصول على مجمع ٨ بت، أى مجمع يجمع رقمان كل منهما ٨ بت. يمكن تكرار ذلك لجمع أى عدد من البتات.

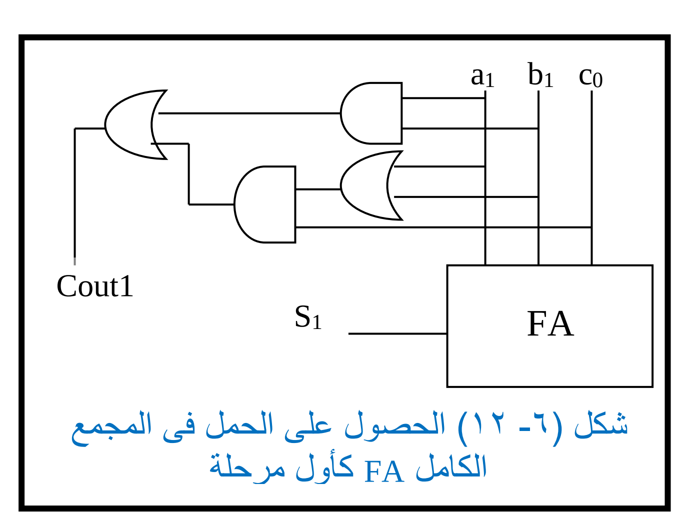


شكل (٦- ١١) استخدام أكثر من شريحة مجمع لجمع عددين كل منهما أكثر من ٤ بتات

٦-٨ مجمع الحمل التموجي ومجمع الحمل الأمامي
Ripple Carry Adder and Look Ahead Carry adder

المجمع الذى شرحناه سابقا نقول عنه أنه مجمع متوازى parallel، بمعنى أن بتات الرقم الأول تجمع على التوازى مع بتات الرقم الثانى كما رأينا. هذه المجمعات يمكن تقسيمها إلى نوعين من حيث طريقة تعاملها مع الحمل carry. النوع الأول وهو ما يسمى المجمعات ذات الحمل التموجى ripple carry وفيها ينتشر الحمل من مرحلة إلى أخرى حتى نصل إلى المرحلة الأخيرة من المجمع بحيث أن كل مرحلة لابد أن تنتظر المرحلة السابقة لها حتى تتم عملية الجمع حتى يمكنها استخدام الحمل الناتج من هذه المرحلة. شكل (٦-٣) يبين مثل هذا النوع من المجمعات وقد سبق شرحه. نلاحظ من هذا الشكل أن المرحلة n التى تجمع a_n مع b_n لابد أن تنتظر المرحلة السابقة لها وهى المرحلة n-1 حتى تتم عملية جمع a_{n-1} مع b_{n-1} مع c_{n-1} لتنتج c_n وهو الحمل الذى ستستخدمه المرحلة n. لذلك فإن هذا النوع من المجمعات يكون بطيئا لأنه علينا الانتظار حتى يتم انتشار propagation الحمل c_0 وهو الحمل لأول مرحلة إلى آخر مرحلة. فإذا كان زمن الانتشار لمرحلة واحدة هو T فإن زمن الانتشار الكلى (زمن التأخير) للمجمع كله سيكون nT حيث n هى عدد مراحل هذا المجمع.

النوع الثانى من المجمعات المتوازية هى المجمعات ذات الحمل الأمامى look ahead adders. فى هذا النوع تم إسراع عملية الجمع بدرجة كبيرة عن طريق الاستغناء عن طريقة انتشار الحمل خلال مراحل المجمع كما سبق. كما نعلم فإن المجمع الكامل كأول مرحلة تجميع يكون له ثلاث دخول هى a_1 و b_1 و c_0 كما رأينا عند شرح المجمع الكامل. هذه المجمع الكامل يعطى حملا Cout فى أحد الحالتين التاليتين أو كليهما: الحالة الأولى هى عندما يكون كل من الدخلين a_1 و b_1 يساوى واحد، وهذا ما نسميه بالحمل المتولد generated carry حيث أنه يتولد من دخل نفس المرحلة. هذا الحمل يمكن كتابته فى معادلة كما يلى:



شكل (٦- ١٢) الحصول على الحمل فى المجمع الكامل FA كأول مرحلة

$$Cg1=a_1\,b_1 \qquad (٦-١١)$$

الحالة الثانية التى يمكن أن نحصل فيها على حمل من المجمع الكامل هى عندما يكون الحمل من المرحلة السابقة c_1 يساوى واحد، وأى واحد من الدخلين a_1 أو b_1 أو كليهما يساوى واحد. هذا الحمل يسمى الحمل الانتشارى propagated carry ويعطى بالعلاقة التالية:

$$Cp1=(a_1+b_1)c_0 \qquad (٦-١٢)$$

من المعادلتين السابقتين يمكن كتابة الحمل الناتج من المرحلة الأولى كما يلى:

$$Cout1=Cg+Cp$$

$$Cout1= a_1\,b_1+(a_1+b_1)c_0 \qquad (٦-١٣)$$

شكل (٦- ١٢) يبين طريقة الحصول على الحمل من المجمع الكامل Cout1 كأول مرحلة. الحمل Cout1 سيكون حملا للمرحلة الثانية. فى هذه الحالة يمكن كتابة الحمل النهائى للمرحلة الثانية كما يلى:

$$Cout2=Cg2+Cp2$$
$$=a_2\ b_2+(a_2+b_2)Cout1$$

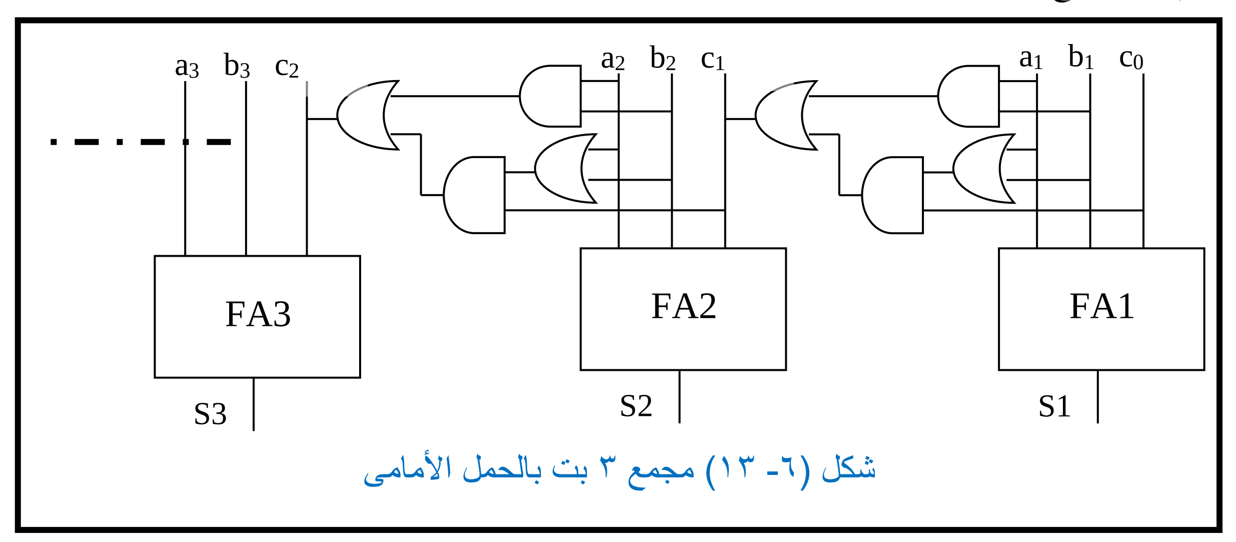
وهذه يمكن كتابتها كما يلى:

$$Cout2=a_2\ b_2+(a_2+b_2)\{a_1\ b_1+(a_1+b1)c_0\} \qquad (٦-١٤)$$

بنفس الطريقة يمكن كتابة الحمل النهائى بعد إضافة مرحلة ثالثة كما يلى:

$$Cout3=Cg3+Cp3$$
$$=a_3\ b_3+(a_3+b_3)Cout2 \qquad (٦-١٥)$$

حيث Cout2 يمكن التعويض عنها من المعادلة (٦- ١٤). من المعادلتين (٦- ١٤) و (٦- ١٥) نرى أنه لكى نحصل على الحمل النهائى فى أى مرحلة من مراحل المجمع فإنه ليس علينا أن ننتظر حتى يتم حساب الحمل فى المراحل السابقة، ولكن الحمل عند أى مرحلة يعتمد فقط على الدخول، أى الرقمين المطلوب جمعهما A و B. بهذه الطريقة فإن زمن التأخير الناتج عن انتشار الحمل خلال مراحل المجمع كما فى الطريقة السابقة يقل بدرجة كبيرة. شكل (٦- ١٣) يبين مجمع ٣ بت مع الحمل الأمامى. نلاحظ من هذا الشكل أنه بمجرد وضع الرقمين A و B وحمل المرحلة الأولى c_0 فإن جميع الأحمال الأخرى تتحدد فورا دون انتظار لإتمام عملية الجمع فى المراحل السابقة.



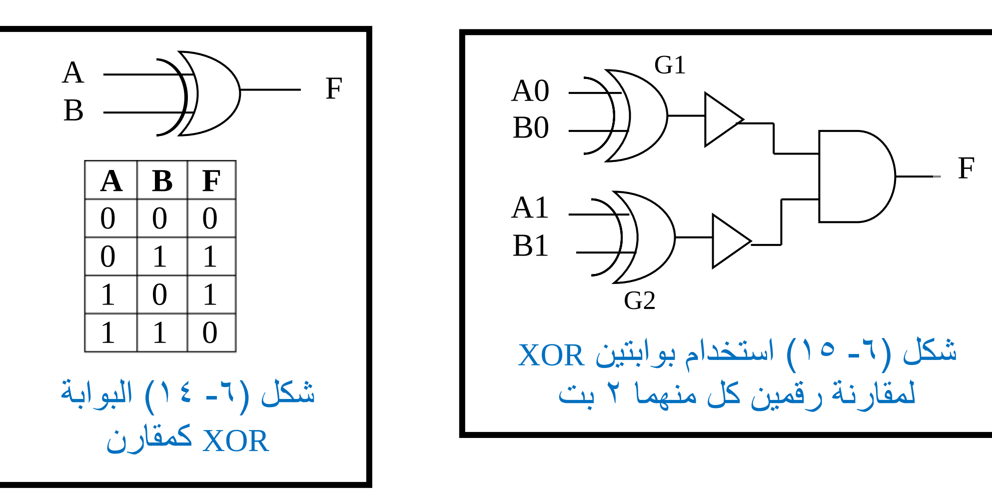
شكل (٦- ١٣) مجمع ٣ بت بالحمل الأمامى

الشريحتان 7483 و 74283 كل منهما عبارة عن مجمع ٤ بت مع الحمل الأمامى وهذا يميزهما بالسرعة كما رأينا. لاحظ أنه عند توصيل أكثر من شريحة للحصول على مجمع لأكثر من ٤ بت فإن توصيل الحمل من شريحة سابقة لشريحة تالية تعتبر عملية حمل انتشارى لأن الشريحة التالية لن تحصل على الحمل إلا بعد إتمام عملية الجمع فى المرحلة السابقة.

٦-٩ دوائر المقارنة Comparators

مطلوب من دائرة المقارنة أن تقارن دخلين A و B وتعطى قرارا، هل الدخلين متساويين؟ وإذا لم يكونا متساويين فأيهما أكبر من الآخر؟ إذن نتوقع أن مثل هذه الدائرة سيكون لها ثلاثة خروج، أحدهم يكون نشطا إذا كان A=B، والثانى يكون نشطا إذا كان A>B أما الخرج الثالث فيكون نشطا إذا كان A<B.

بوابة الإكس أور XOR كما نعلم من جدول الحقيقة الخاص بها تقوم بجزء من هذه المقارنة حيث أن خرجها يكون صفرا إذا تساوى دخليها، ويكون واحد إذا اختلف الدخلان. عيب استخدامها كمقارن أنها لا تحدد أى الدخلين أكبر من الآخر إذا لم يكونا متساويين ، كما أنها تقارن دخلين كل منهما بت واحدة فقط. شكل (٦- ١٤) يبين بوابة الإكس أور XOR وجدول الحقيقة الخاص بها.

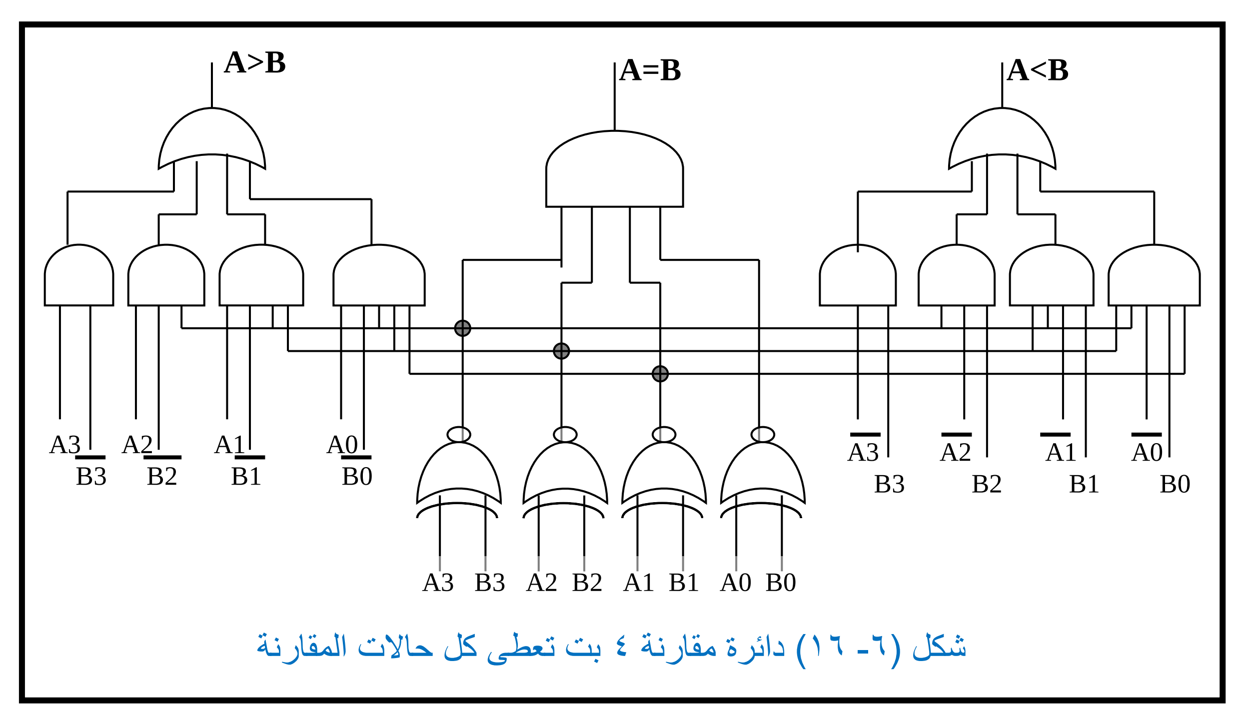


A	B	F
0	0	0
0	1	1
1	0	1
1	1	0

شكل (٦- ١٤) البوابة XOR كمقارن

شكل (٦- ١٥) استخدام بوابتين XOR لمقارنة رقمين كل منهما ٢ بت

يمكن استخدام أكثر من بوابة XOR لمقارنة رقمين كل منهما أكثر من بت واحدة. شكل (٦- ١٥) يبين دائرة مقارنة لرقمين كل منهما مكون من ٢ بت. كما نرى من هذا الشكل فإن البوابة G1 تقارن الخانتين ذات القيمة الصغرى، A0 و B0، والبوابة G2 تقارن الخانتين التاليتين A1 و B1. كل من البوابتين تعطى صفر فى حالة التساوى ولذلك تم عكس خرج البوابتين وإدخالهما على بوابة AND التى تعطى واحد فى حالة تساوى الرقمين. بنفس الطريقة يمكن تطوير الدائرة فى شكل (٦- ١٥) لتقارن رقمين كل منهما يحتوى أى عدد من البتات. هذه الدائرة ما زالت تقوم بعملية مقارنة محدودة حيث أنها تعطى واحد فى حالة تساوى الرقمين ولكنها لا تقرر أى الدخلين أكبر أو أصغر من الدخل الآخر.



شكل (٦- ١٦) دائرة مقارنة ٤ بت تعطى كل حالات المقارنة

شكل (٦- ١٦) يبين دائرة منطقية لها ثلاثة خروج تمثل كل حالات المقارنة التالية:

- عندما يتساوى الدخلين A3=B3 و A2=B2 و A1=B1 و A0=B0، فى هذه الحالة فإن كل من الأربع بوابات XOR المعكوس خرج كل منها تعطى واحد، والأربع وحايد الداخلة على البوابة AND تعطى واحد نتيجة ذلك، وبذلك يكون الخرج A=B يساوى واحد دلالة على أن الدخلين متساويين. فى هذه الأثناء يكون خرج كل بوبات ال AND المؤدية إلى الخرج A>B تساوى صفر لأن الدخلين لكل بوابة يكونان متساويين، وحيث أن الدخل B فى هذه الحالة معكوس فإن الدخلين للبوابة سيكون كل منهما عكس الآخر وبالتالى فإن كل بوبات ال AND ستعطى أصفارا على خرجها وبالتالى فإن الخرج A>B سيكون صفرا فى هذه الحالة. بنفس المنطق سنجد أن الخرج A<B سيعطى صفرا هو الآخر فى هذه الأثناء.
- فى حالة عدم تساوى الرقمين تبدأ المقارنة من آخر بت، أى مقارنة البت A3 مع البت B3. فإذا كان A3>B3 أى A3=1 و $\overline{B3}$ =0 فإنه فى هذه الحالة سيكون خرج الآند AND المتصلة بالدخلين A3 و $\overline{B3}$ واحد وبالتالى فإن الخرج A>B سيكون واحد هو الآخر. فى هذه الأثناء سيكون الخرج A=B يساوى صفر والخرج A<B هو الآخر يساوى صفر. أما إذا كان $\overline{A3}$=0 و B3=1 فإنه فى هذه الحالة سيكون الخرج A<B يساوى واحد والخروج الأخرى أصفارا. تتبع ذلك من على الدائرة فى شكل (٦- ١٦).
- إذا كان A3=B3 فإن ال AND المتصلة بهم تعطى صفرا، ويتم النظر فى حالة البتات A2 و B2. فإذا كان A2>B2 فإن ال AND التى دخليها A2 و $\overline{B2}$ تعطى واحد ويكون الخرج A>B فى هذه الحالة يساوى واحد. لاحظ أن الدخل الثالث لهذه الآند AND يساوى واحد من خرج الإكس أور XOR التى دخليها A3 و B3. بنفس الطريقة سيكون الخرج A<B يساوى واحد إذا كان A2=0 و B2=1.
- بنفس الطريقة يمكن تتبع هذه الخروج فى حالة تساوى A3 و B3 وتساوى A2 و B2 فى هذه الحالة ننظر إلى A1 و B1 وعلى ضوء أيهما أكبر سيكون أحد الخرجين A>B أو A<B يساوى واحد.
- فى حالة تساوى A1 و B1 أيضا يتم النظر فى A0 و B0 وبناء عليهما يتقرر أى الدخلين أكبر، فإذا تساويا، فإن الدخلين يتساويان فى هذه الحالة ونعود إلى أن الخرج A=B سيعطى واحد وباقى الخروج أصفارا. تتبع كل هذه الحالات بتأنى على الدائرة الموضحة فى شكل (٦- ١٦).

شكل (٦- ١٧) الرسم الوظيفى للشريحة 7485

٦-١٠ الشريحة 7485 مقارن ذو ٤ بتات

الشريحة 7485 عبارة عن مقارن ذو ٤ بتات حيث يمكن استخدام أكثر من شريحة لمقارنة الأرقام التى تتكون من أكثر من ٤ بتات. الشريحة تقارن الدخل A(A3,A2,A1,A0) مع الدخل B(B3,B2,B1,B0) وإذا تساوى الدخلان فإن الخرج A=B يساوى واحد إذا كان الطرف ٣ للشريحة يساوى واحد. الخرجان A>B و A<B يكونان صفرين فى هذه الحالة. بنفس الطريقة إذا كان الدخل A أكبر من الدخل B مهما كانت الإشارة على الأطراف ٢ و ٣ و ٤ فإن الخرج A>B يكون واحد. أما إذا كان الدخل A أقل من الدخل B مهما كانت الإشارة على الأطراف ٢ و ٣ و ٤ أيضا فإن الخرج A<B يكون واحد فى هذه الحالة. جدول ٦-٣ يبين جدول الحقيقة لهذه الشريحة. الحرف

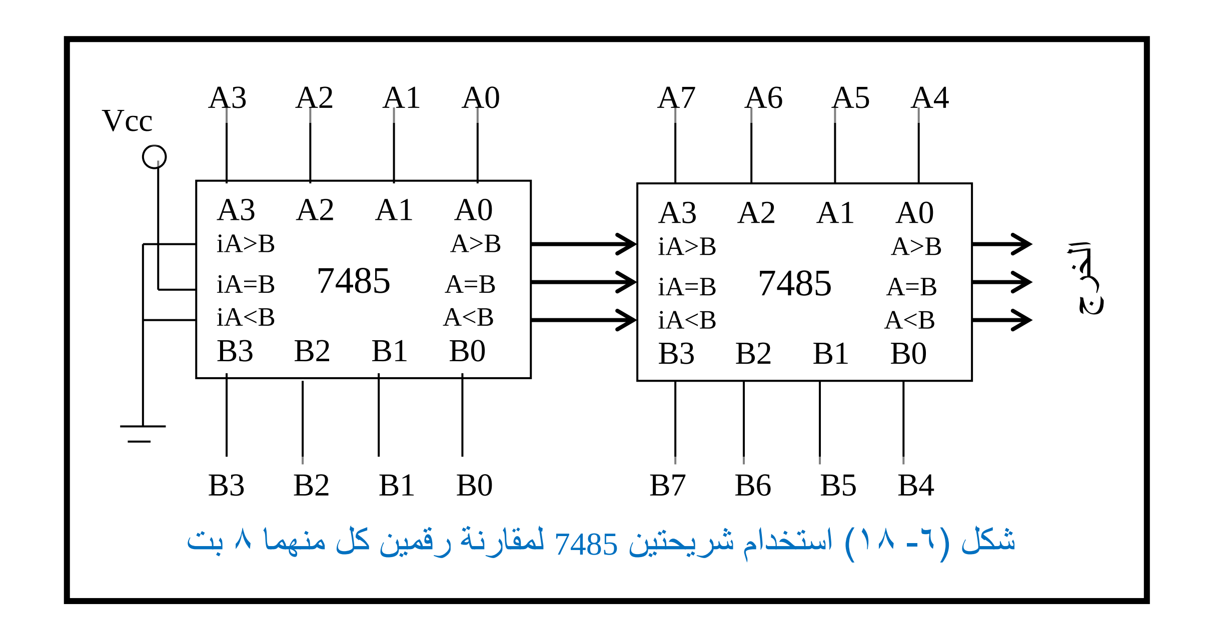
X فى هذا الجدول يعنى "لا يهم" أو Do not care وهذا يعنى أن هذا الطرف يكون واحد أو صفر، لا يهم. شكل (٦- ١٧) يبين الرسم الوظيفى لهذه الشريحة. الطرف ١٦ هو طرف القدرة والطرف ٨ هو الأرضى للشريحة.

شكل (٦- ١٨) يبين استخدام شريحتين 7485 لمقارنة رقمين كل منهما ٨ بت.

الدخول المطلوب مقارنتها				نتيجة المقارنة السابقة			الخرج		
A3,B3	**A2,B2**	**A1,B1**	**A0,B0**	**iA>B**	**iA=B**	**iA<B**	**A>B**	**A<B**	**A=B**
A3>B3	x	x	x	x	x	x	H	L	L
A3<B3	x	x	x	x	x	x	L	H	L
A3=B3	A2>B2	x	x	x	x	x	H	L	L
A3=B3	A2<B2	x	x	x	x	x	L	H	L
A3=B3	A2=B2	A1>B1	x	x	x	x	H	L	L
A3=B3	A2=B2	A1<B1	x	x	x	x	L	H	L
A3=B3	A2=B2	A1=B1	A0>B0	x	x	x	H	L	L
A3=B3	A2=B2	A1=B1	A0<B0	x	x	x	L	H	L
A3=B3	A2=B2	A1=B1	A0=B0	H	L	L	H	L	L
A3=B3	A2=B2	A1=B1	A0=B0	L	H	L	L	H	L
A3=B3	A2=B2	A1=B1	A0=B0	L	L	H	L	L	H
A3=B3	A2=B2	A1=B1	A0=B0	x	x	H	L	L	H
A3=B3	A2=B2	A1=B1	A0=B0	H	H	L	L	L	L
A3=B3	A2=B2	A1=B1	A0=B0	L	L	L	H	H	L

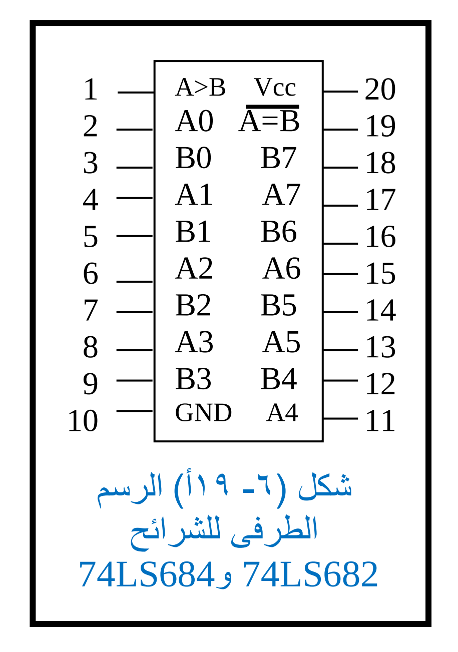
جدول ٦-٣ جدول الحقيقة للشريحة 7485

٦-١١ الشرائح 74LS682 و 74LS684 و 74LS688
مقارن ذو ٨ بتات

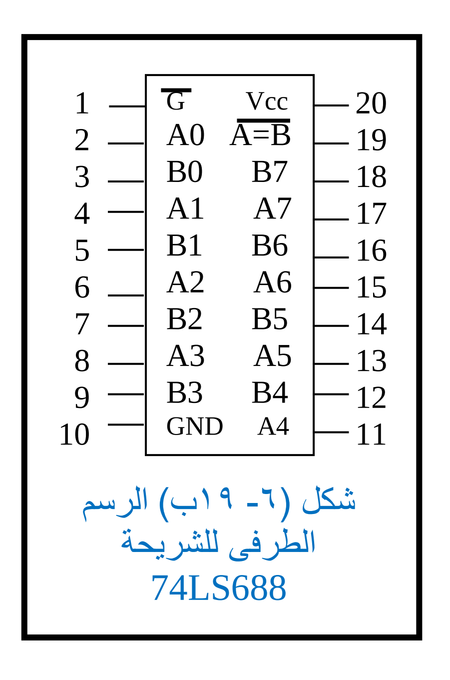


شكل (٦- ١٨) استخدام شريحتين 7485 لمقارنة رقمين كل منهما ٨ بت

هذه الشرائح تقارن رقمين كل منهما ٨ بت. كل هذه الشرائح تعطى الخرج A=B فى حالة تساوى الدخلين. الشريحتين 74LS682 و 74LS684 تعطى الخرج A>B بجانب الخرج A=B. الشكلين (٦- ١٩أ و ٦- ١٩ب) يبينان الرسم الطرفى لكل شريحة والشكلين (٦- ٢٠أ و ٦- ٢٠ب) يبينان الرسم الوظيفى لكل منهما. لاحظ أن الطرف ١ فى الشرائح 74LS682 و 74LS684 كان يمثل الخرج A>B وأصبح طرف تنشيط منخفض الفعالية فى الشريحة 74LS688.



شكل (٦- ١٩أ) الرسم الطرفى للشرائح 74LS682 و 74LS684



شكل (٦- ١٩ب) الرسم الطرفى للشريحة 74LS688

٦-١٢ تمارين

١- استخدم خريطة كارنوف لتبسيط معادلة المجموع Sn والحمل c_n فى المعادلة (٦- ٣) والمعادلة (٦- ٤).

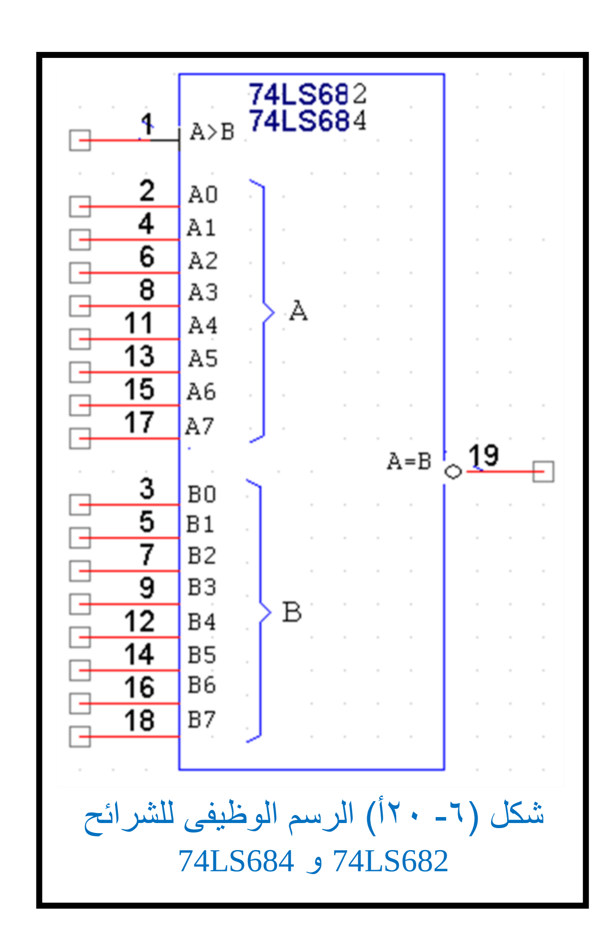
٢- صمم دائرة المجمع الكامل الموجودة فى شكل (٦- ٥) باستخدام بوابات الناند فقط.

٣- وضح بالرسم كيف تستخدم شريحتين ٧٤٨٣ لجمع عددين كل منهما ٨ بت.

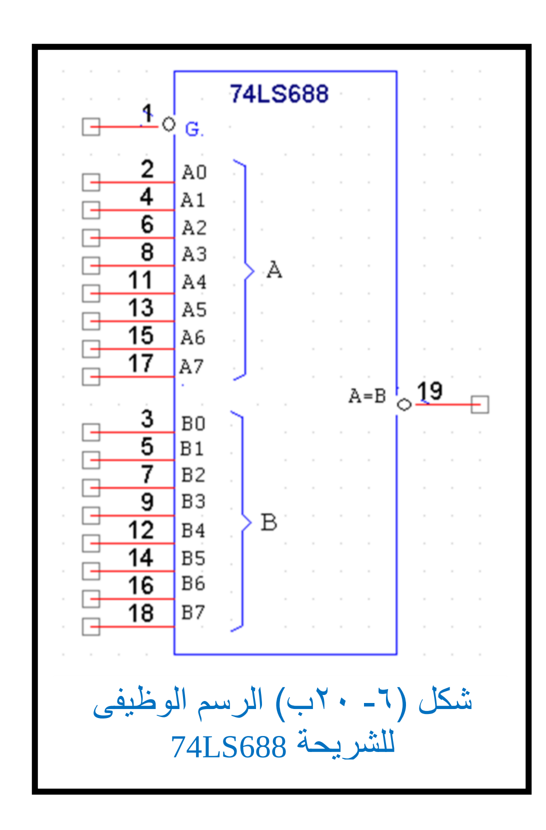
٤- أعد تمرين ٣ لجمع عددين كل منهما ١٢ بت مستخدما الشريحة ٧٤٢٨٣.

٥- الأرقام الثنائية التالية تمثل تتابعات دخل للشريحة ٧٤٨٣. أكتب تتابعات الخرج الناتجة على كل مخرج من مخارج الشريحة. إعتبر التتابعات من اليمين لليسار:

A1=10001100, B1=11001100
A2=11001010, B2=10010011
A3=01011111, B3=10100111
A4=10011001, B4=00111101



شكل (٦- ٢٠أ) الرسم الوظيفى للشرائح 74LS682 و 74LS684



شكل (٦- ٢٠ب) الرسم الوظيفى للشريحة 74LS688

٦- ارسم الدائرة الكاملة لمجمع بالحمل الأمامى من ٤ بت.

٧- المجمع الطارح الموجود فى شكل (٦- ٨) يحتوى ٣ خطوط تحكم S0, S1, S2 اكتب الخرج الناتج من المجمع عند جميع الحالات الممكنة لهذه الخطوط.

٨- التتابعات الموجودة فى تمرين ٥ تم توصيلها كمداخل لشريحة المقارن ٧٤٨٥. أكتب التتابعات الناتجة على كل مخرج إذا كان الدخل A=B يساوى واحد والدخلين A>B و A<B يساوى صفر.

٩- أعد تمرين ٨ مستخدما الشريحة ٧٤٦٨٨.

١٠- ارسم دائرة لمقارنة رقمين كل منهما ١٢ بت. مطلوب الثلاث مخارج A=B, A>B, A<B. استخدم أحد شرائح المقارنة.

الفصل السابع

٧

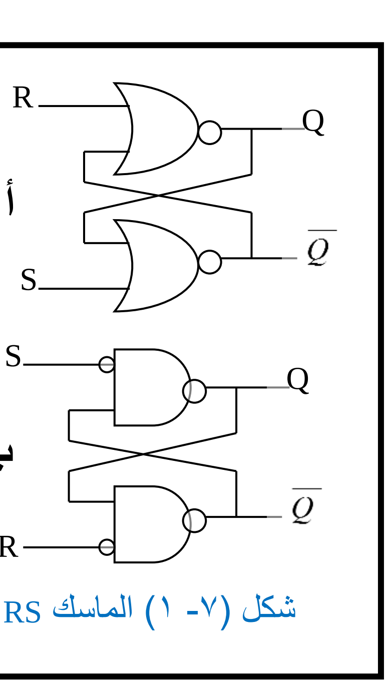
الماسكات والقلابات

Latches And Flip Flops

٧-١ مقدمة

لقد درسنا فى الفصول السابقة نوع من الدوائر الرقمية تسمى الدوائر التوافقية combinational circuits. هذه الدوائر تتكون من دخل وخرج حيث يتحدد الخرج عند أى لحظة بالدخل الموجود عند هذه اللحظة فقط، أى أنه لا يوجد أى نوع من أنواع التغذية المرتدة من الخرج إلى الدخل. من أمثلة هذه الدوائر التى درسناها دوائر المشفرات ومحللات الشفرة والمنتخبات والموزعات ودوائر الحساب وغيرها الكثير. النوع الثانى من الدوائر الرقمية الذى سندرسه فى هذا الفصل والفصول التالية يسمى الدوائر التتابعية sequential circuits. هذه الدوائر تتكون من دخل وخرج حيث يتحدد الخرج عند أى لحظة بقيمة الدخل عند هذه اللحظة والخرج عند اللحظة السابقة. لذلك نقول أن هذه الدوائر تمتلك نوع من أنواع الذاكرة حيث أن الخرج يتحدد جزئيا بالخرج عند اللحظة السابقة الذى تتذكره الدائرة. من أنواع هذه الدوائر الماسكات ومسجلات الإزاحة والعدادات.

٧-٢ الماسكات R-S



شكل (٧-١) الماسك RS

الماسك latch هو نوع من أنواع المذبذبات الثنائية الاستقرار bistable multivibrator، أى التى يستقر خرجها على الواحد أو الصفر. الماسك يكون له خرجان أحدهما يكون دائما عكس الآخر، لذلك نرمز لهما دائما بالرمزين Q و $\overline{Q}$، فإذا كانت Q=0 فإن $\overline{Q}$ =1 والعكس صحيح. يتكون الماسك دائما من بوابتين يوصل خرج إحداهما كدخل إلى الأخرى كما فى شكل (٧-١). هذا الماسك له دخلان، الأول يسمى R بمعنى التصفير وهى اختصار لكلمة Reset، والطرف الثانى يسمى S وهى اختصار لكلمة Set أى جعل الخرج واحد. يمكن بناء الماسك من بوابتين NOR كما فى شكل (٧-١أ) أو من بوابتين NAND كما فى شكل (٧-١ب). فى الماسك الأول (بوابتى NOR) يكون كل من الطرفين R و S عالى الفعالية، بمعنى أنه عندما تكون R=1 و S=0 فإن ذلك يسبب تصفير Reset للخرج Q، وعندما يكون الطرف S=1 و R=0 فإن الخرج Q=1 أى يحدث Set للماسك أو يحدث وضع أو تسجيل. فى الماسك الثانى (بوابتى NAND)، عندما تكون R=1 و S=0 فإن ذلك يسبب تصفير Reset للخرج Q، وعندما يكون الطرف S=1 و R=0 فإن الخرج Q=1 أى يحدث Set للماسك أو يحدث وضع أو تسجيل. جدول ٧-١ يبين جدول الحقيقة لهذا الماسك. نلاحظ من هذا الجدول أن الحالة S=R=0 سيكون نتيجتها لا تغيير للخرج Q أو $\overline{Q}$ فى الماسك المبنى من بوابات ال NOR، بينما هذه الحالة يكون غير مسموح بها مع الماسك المبنى من بوابات NAND لأنها ستجعل كل من Q و $\overline{Q}$ يساوى صفر وهذا غير مسموح به بالطبع فى عرف الماسكات. أما الحالة S=R=1 فعلى العكس تكون غير مسموح بها فى حالة الماسك المكون من بوابتى

NOR بينما تعطى لا تغيير فى حالة الماسك المكون من بوابتى NAND. حاول تتبع هذه الحالات على الماسكين فى شكل (٧- ١) وكذلك باقى حالات الجدول ٧-١. من الممكن أن يدخل أى واحد من الماسكين الموجودين فى شكل (٧- ١) فى حالة عدم استقرار لحظية أو عابرة ثم يستقر الخرج على حالة استقرار نهائية. مثلا فى الماسك المكون من بوابتى NOR عندما فإن S=1, R=0, Q=0 البوابة السفلى يكون دخليها S=1, Q=0 ولذلك فإنها ستعطى صفر، وهذا يعنى أن الخرجين Q و $\overline{Q}$ يكون كل منهما صفر، وهذا غير منطقى بالطبع، ولكن

الدخل		الماسك المكون من بوابتى NOR		الماسك المكون من بوابتى NAND	
S	R	Q	$\overline{Q}$	Q	$\overline{Q}$
0	0	لا تغيير	لا تغيير	غير مسموح	غير مسموح
1	0	1	0	1	0
0	1	0	1	0	1
1	1	غير مسموح	غير مسموح	لا تغيير	لا تغيير

جدول ٧-١ جدول الحقيقة للماسكين الموجودين فى شكل (٧- ١)

هذه الحالة لن تستقر كما سنرى. عند ذلك سيكون دخل البوابة العليا هو R=0, و $\overline{Q}$=0 وهذا سيجعل Q=1 الذى سيدخل مع S=1 فى البوابة السفلى فيجعل خرجها يساوى صفر، وهذا الصفر مرة أخرى مع الدخل R=0 يجعل الخرج Q=1. أى أن الخرج Q=1 سيكون حالة مستقرة لن تتغير. حاول تتبع باقى الحالات وتطبيقها على الماسكات الموجودة فى شكل (٧- ١). فى كل الحالات السابقة تذكر جيدا أننا عندما نتكلم عن الخرج Q فإن الخرج الآخر يكون موجود ضمنيا ويكون معكوس كما ذكرنا من خصائص الماسكات. شكل (٧- ٢) يبين الرمز المنطقى للماسك عالى الفعالية والماسك منخفض الفعالية.

أ- ماسك RS عالى الفعالية

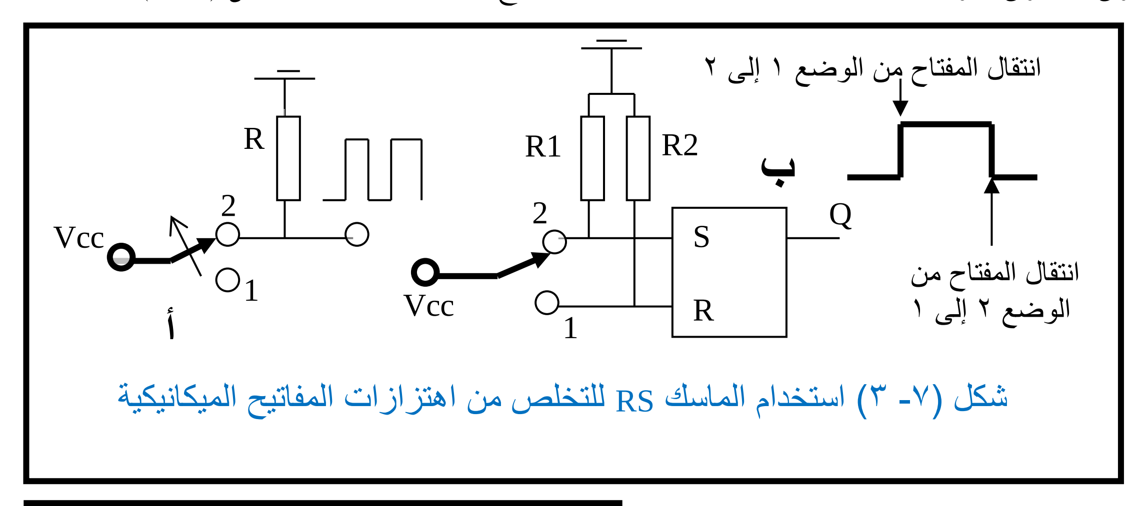
ب- ماسك RS منخفض الفعالية

شكل (٧- ٢) رمز الماسك RS

٧-٢-١ الماسك RS كمزيل للاهتزازات

عند غلق أو فتح مفتاح فإنه نتيجة الصدمة الميكانيكية بين قطبيه يحدث تأرجح أو ارتداد لقطبى المفتاح bounce ينتج عنه نبضات كهربية متعددة تؤثر على أداء الدائرة التى تستخدم مثل هذا المفتاح. شكل (٧- ٣أ) يبين مثل هذه الاهتزازات الناتجة عن غلق المفتاح. يمكن استخدام ماسك RS للتخلص من هذه الاهتزازات debouncer. شكل (٧- ٣ب) يبين هذه الدائرة. فى الوضع الابتدائى عندما يكون المفتاح فى الوضع ١ فإن الطرف R=1 ويكون الطرف S=0 فى نفس الوقت نتيجة اتصاله بالأرضى من خلال المقاومة R1، ويكون خرج الماسك فى هذه الحالة Q=0. عند نقل المفتاح من الوضع ١ للوضع ٢ تصبح R=0 نتيجة اتصالها بالأرضى من خلال المقاومة R2 ويصبح الطرف S=1 نتيجة الوضع الجديد للمفتاح، فيصبح الخرج نتيجة ذلك Q=1. عند حدوث اهتزازات على الطرف S فإنه إذا أصبحت S=0 فإن ذلك لن يسبب تغيير للخرج لأن الدخل S=R=0 لا يسبب تغيير للخرج كما ذكرنا. إذا رجع الطرف S=1 مرة أخرى

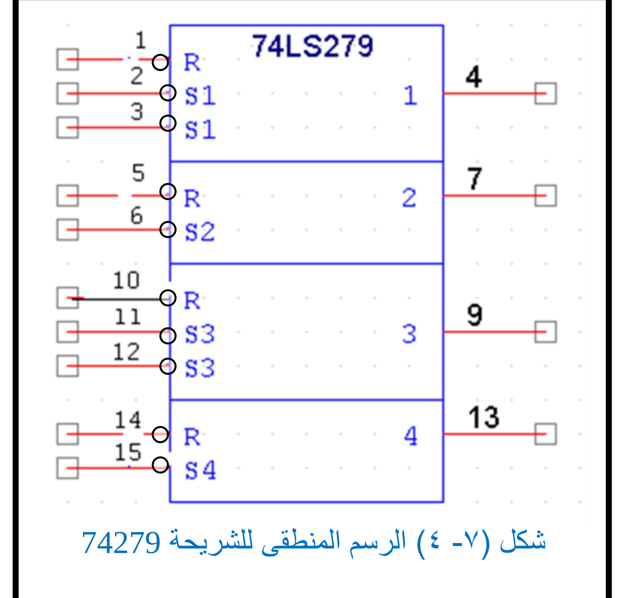
فإن الخرج سيظل على الواحد كما هو. من ذلك نرى أنه بمجرد تغير الخرج من صفر إلى واحد فإنه سيثبت على ذلك ولن يتغير ولن يكون هناك أى تأثير لأى اهتزازات تحدث فى المفتاح عند تغير قطبيه. أنظر شكل (٧- ٣).



شكل (٧- ٣) استخدام الماسك RS للتخلص من اهتزازات المفاتيح الميكانيكية

٧-٣ الشريحة 74279 ماسك RS رباعى

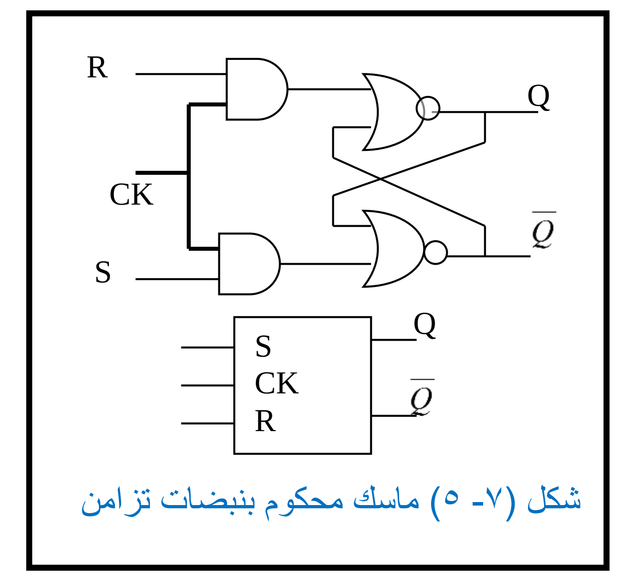
شكل (٧- ٤) يبين الرسم المنطقى لهذه الشريحة. تتكون هذه الشريحة من ٤ ماسكات من النوع RS. الماسك الأول والثالث كل منهما له طرفان S وطرف واحد R، أما الماسكان الثانى والرابع فكل منهما له طرف واحد S وطرف واحد R. طرفى القدرة لهذه الشريحة هما الطرف ١٦ يمثل Vcc والطرف ٨ هو الأرضى. الأربع ماسكات الموجودة فى هذه الشريحة كلها منخفضة الفعالية.



شكل (٧- ٤) الرسم المنطقى للشريحة 74279

٧-٤ الماسك RS المحكوم بنبضات تزامن Clock

من المفيد جدا أن يتم التحكم فى الدخلين S و R بحيث لا يتغير الخرج بناء على الإشارة الموجودة عليهما إلا بعد إعطاء نبضة إطلاق للخرج أو نبضة تزامن clock بحيث يتم تغير الخرج فقط بعد إعطاء هذه النبضة. شكل (٧- ٥) يبين الدائرة التفصيلية لهذا الماسك والرمز المستخدم لها. لاحظ من هذه الدائرة أنه عندما يكون الطرف CK=0 فإن بوابتى ال AND يكون خرجها أصفارا وبالتالى فإن الماسك لا يتغير



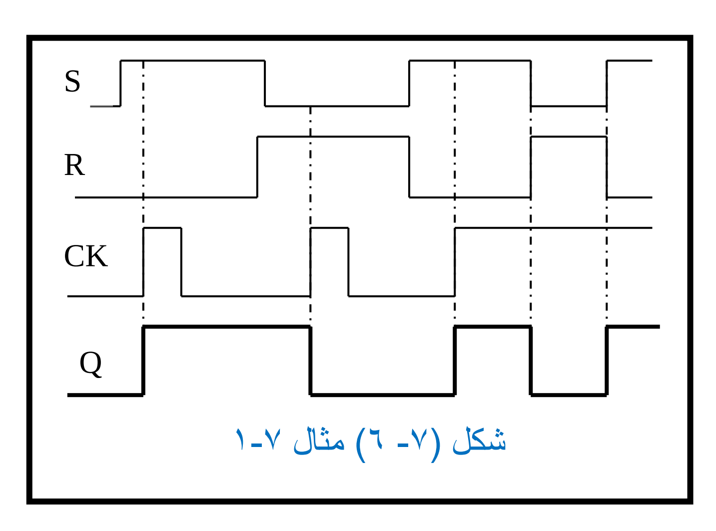
شكل (٧- ٥) ماسك محكوم بنبضات تزامن

خرجه. بينما عندما يكون CK=1 فإن بوابتي ال AND تكون نشطة وتسمح بمرور كل من الإشارتين R و S للتأثير على الماسك فيتغير الخرج تبعا لذلك.

مثال ٧–١

ارسم الخرج Q لماسك RS إذا كان الدخل R و S و نبضات التزامن CK كما هو مبين فى شكل (٧– ٦).

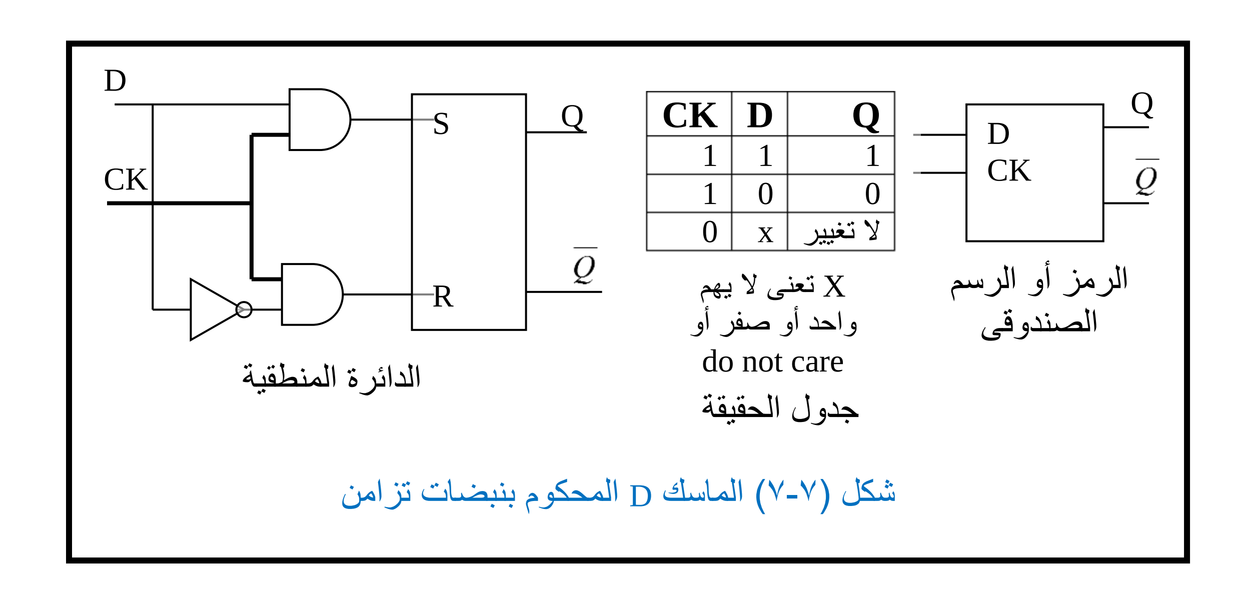
من هذا الشكل نلاحظ أنه عندما تكون CK=1 ننظر لقيمة كل من R و S ونغير الخرج تبعا لذلك وتبعا لجدول الحقيقة لهذا الماسك. انظر لشكل (٧– ٦) وتحقق من الخرج عند بداية كل نبضة من نبضات التزامن.



شكل (٧- ٦) مثال ٧-١

٧–٥ الماسك D المحكوم بنبضات التزامن

شكل (٧– ٧) يبين الدائرة المنطقية والرسم الصندوقى لهذا الماسك. الماسك D هو نفسه الماسك RS سوى أنه تم توصيل كل من الدخلين R و S من خلال عاكس ليصبحا دخلا واحدا كما فى الشكل وذلك حتى نتأكد أن كل من R و S سيكون كل منهما عكس الآخر فلا تكون هناك أى فرصة للدخل الغير مسموح به. لذلك فإنه عندما تكون D=1 و CK=1 فإن الخرج Q يصبح واحد. أنظر جدول الحقيقة لهذا الماسك فى شكل (٧–٧). أى أن الخرج Q يساوى الدخل D بعد إعطاء نبضة التزامن. أو بمعنى آخر فإن الخرج Q هو الدخل D متأخرا Delayed بمقدار نبضة تزامن واحدة، ومن هنا كانت التسمية D.



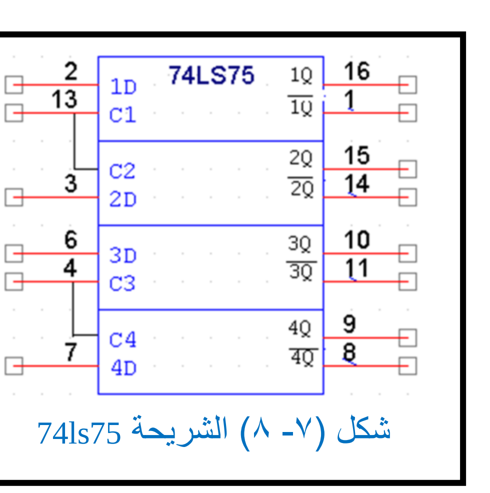
CK	D	Q
1	1	1
1	0	0
0	x	لا تغيير

شكل (٧-٧) الماسك D المحكوم بنبضات تزامن

٧-٦ الشريحة 7475 ماسك D رباعى

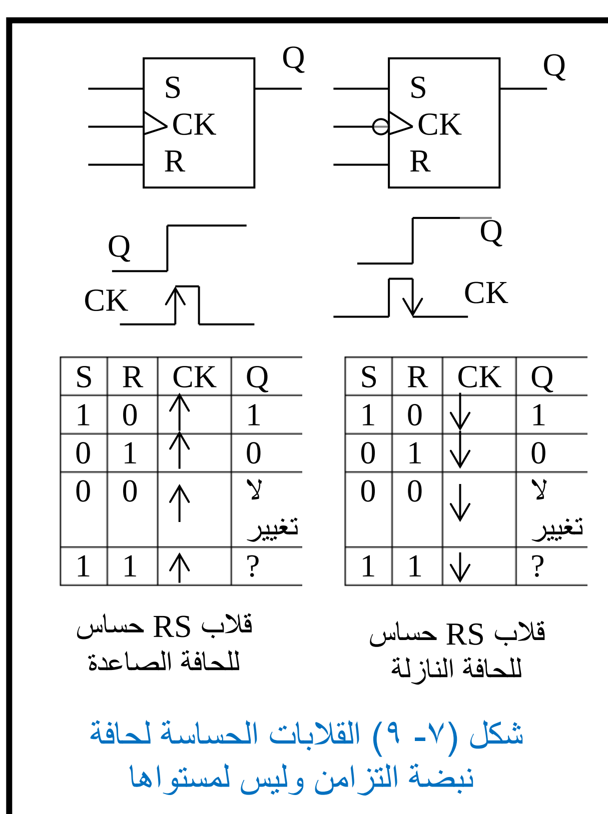
الشريحة 7475 تحتوى ٤ ماسكات D كما فى شكل (٧- ٨) الذى يبين الرسم المنطقى لهذه الشريحة. الخرجان Q و $\overline{Q}$ لكل ماسك متاحان كخرج من الشريحة. الماسك ١ و ٢ محكومان بنفس مدخل نبضات التزامن CK1، والماسك ٣ و ٤ محكومان بنفس مدخل نبضات التزامن CK2. القدرة Vcc هو الطرف رقم ٥ بينما الأرضى هو الطرف ١٢.

٧-٧ القلابات Flip Flops



شكل (٧- ٨) الشريحة 74ls75

القلاب هو ماسك محكوم بنبضات تزامن كما رأينا سابقا ولكن الخرج لا يتغير تبعا للدخل إلا عند حافة نبضة التزامن فقط، سواء الحافة الصاعدة للنبضة أو الحافة النازلة وسنرى كيف يتم ذلك. فى الماسك كان الخرج يتغير طالما أن الطرف CK=1، هنا فى القلاب لن يتغير الخرج إلا فى وجود حافة للطرف CK. أى أنه حتى لو تغير الدخل R أو S وكان الطرف CK=1 فإن الخرج لن يتغير إلا بعد عبور الطرف CK لحافة معينة سواء كانت الحافة النازلة أو الحافة الصاعدة. شكل (٧- ٩) يبين بعض الرموز المستخدمة مع القلابات. فمثلا وجود رأس السهم مع الطرف CK تعنى أن هذا الطرف يكون فعالا عند حافة وليس عند مستوى للإشارة على هذا الطرف. وجود دائرة عند مدخل هذا الطرف تعنى أنه يكون فعالا مع الحافة النازلة أو الهابطة أو المتأخرة للنبضة على هذا الطرف. عدم وجود دائرة عند هذا الطرف تعنى أنه فعال عند الحافة الصاعدة أو المتقدمة للنبضة. فى شكل (٧- ٩) نلاحظ جدول الحقيقة والرمز المستخدم فى كل حالة. لاحظ السهم الصاعد الذى يمثل الحافة الصاعدة لنبضة التزامن CK فى جدول الحقيقة، بينما السهم النازل فيمثل الحافة النازلة.



S	R	CK	Q
1	0	↑	1
0	1	↑	0
0	0	↑	لا تغيير
1	1	↑	?

قلاب RS حساس للحافة الصاعدة

S	R	CK	Q
1	0	↓	1
0	1	↓	0
0	0	↓	لا تغيير
1	1	↓	?

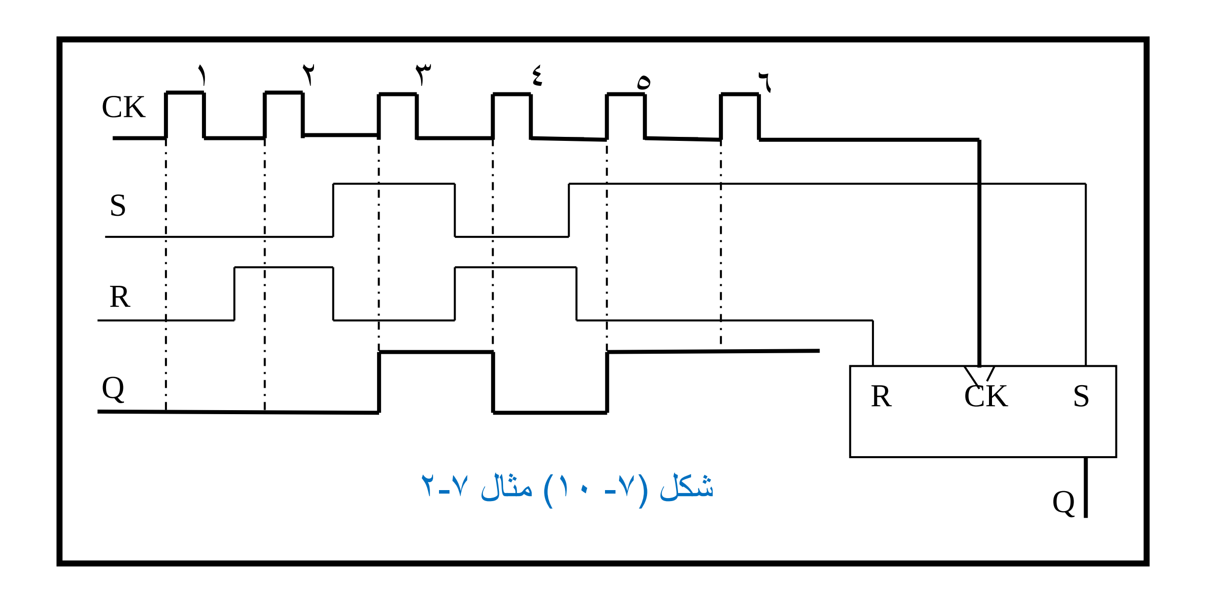
قلاب RS حساس للحافة النازلة

شكل (٧- ٩) القلابات الحساسة لحافة نبضة التزامن وليس لمستواها

مثال ٧-٢

ارسم خرج القلاب RS المحكوم بنبضات التزامن CK والنبضات على الدخلين S و R كما فى شكل (٧- ١٠). نبضات التزامن فعالة مع الحافة الصاعدة وسيكون الخرج مع كل نبضة كما يلى:

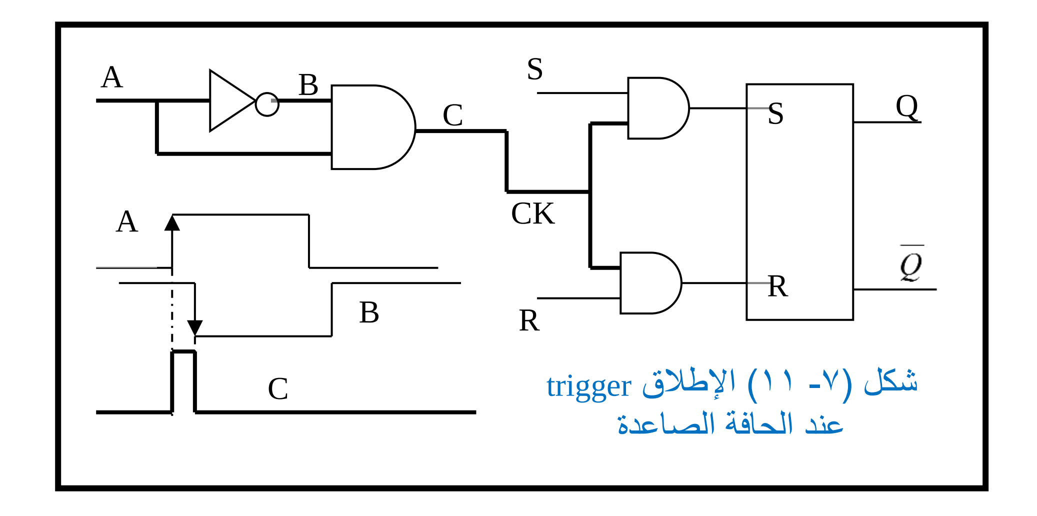
- مع النبضة ١، S=R=0 لذلك فإن الخرج لن يتغير، وبفرض أنه كان صفرا، لذلك سيظل صفرا.
- مع النبضة ٢، S=0, R=1 لذلك سيحدث تصفير للخرج، وهو أصلا صفر، لذلك سيبقى صفرا.
- مع النبضة ٣، S=1, R=0 لذلك سيصبح الخرج واحد.
- مع النبضة ٤، S=0, R=1 سيحدث تصفير للخرج.
- مع النبضة ٥، S=1, R=0 سيصبح الخرج واحد.
- مع النبضة ٦، S=1, R=0 سيصبح الخرج واحد.



شكل (٧- ١٠) مثال ٧-٢

٧-٨ طريقة الإطلاق trigger عند أى حافة

لجعل القلاب يغير من حالته عند أى حافة لنبضة الساعة سواء الحافة الصاعدة أو النازلة فإنه يتم وضع حساس للحافة عند مدخل نبضات التزامن فى القلاب. حساس حافة النبضة عبارة عن دائرة تدخل لها نبضة التزامن بأى زمن للدورة فتعطى فى الخرج نبضة ذات فترة زمنية قصيرة جدا يقدر عرضها الزمنى بعدد قليل من الميكروثانية عند الحافة المطلوبة سواء كانت الحافة الصاعدة أو النازلة. شكل (٧- ١١) يبين هذه الدائرة، حيث نلاحظ أنها عبارة عن بوابة AND تم تأخير أحد دخليها عن الآخر بمقدار زمن التأخير لعاكس واحد، وهذا الزمن يساوى تقريبا القليل من الميكروثانية وهو مقدار عرض النبضة الناتجة التى ستسبب إطلاق الدخل وتغيير الخرج. يمكن الحصول على إطلاق عند الحافة النازلة لنبضات الساعة بوضع عاكس آخر على نبضات الساعة A فى شكل (٧- ١١). بالطبع فإن الإطلاق عند الحافة النازلة أو الصاعدة ليس مقصورا على الماسك RS فقط، ولكن يمكن تطبيقه مع كل أنواع الماسكات أو القلابات حتى التى سنقوم بشرحها فيما بعد، بل إن معظم القلابات تعمل عند حافة نبضة الساعة سواء الصاعدة أو النازلة.



شكل (٧- ١١) الإطلاق trigger عند الحافة الصاعدة

٧-٩ القلاب JK

القلاب JK يعتبر من أكثر القلابات استخداما. الحرفان J و K ليس لهم أى معنى أو دلالة معينة تتعلق بعمل هذا النوع من القلابات. هذا القلاب يشبه تماما القلاب RS الذى تمت دراسته فى كل حالات التشغيل، ويختلف عنه فقط فى الحالة الغير محددة الخرج التى كانت تحدث عندما كان R=S=1. فى حالة القلاب JK هذه الحالة أصبحت محددة تماما ومعروف خرج القلاب JK عندما يكون كل من الدخلين J و K يساوى واحد. فى هذه الحالة يكون خرج القلاب عكس الحالة السابقة Toggle.

شكل (٧- ١٢) قلاب JK محكوم بنبضات تزامن

فإذا كان Q=1 وجعلنا J=K=1 وأعطينا نبضة إطلاق (تزامن) فإن الخرج ينعكس، أى يصبح صفرا (Q=0). وأما إذا كان Q=1 وجعلنا J=K=1 وأعطينا نبضة إطلاق (تزامن) فإن الخرج ينعكس، أى يصبح واحد (Q=1). شكل (٧-١٢) يبين التركيب الداخلى لهذا القلاب. نلاحظ من هذا الشكل أن التركيب الداخلى هو نفسه تركيب الماسك RS سوى أن هناك تغذية مرتدة من الخرج Q مع الدخل K وتغذية أخرى مرتدة من الخرج $\overline{Q}$ مع الدخل J.

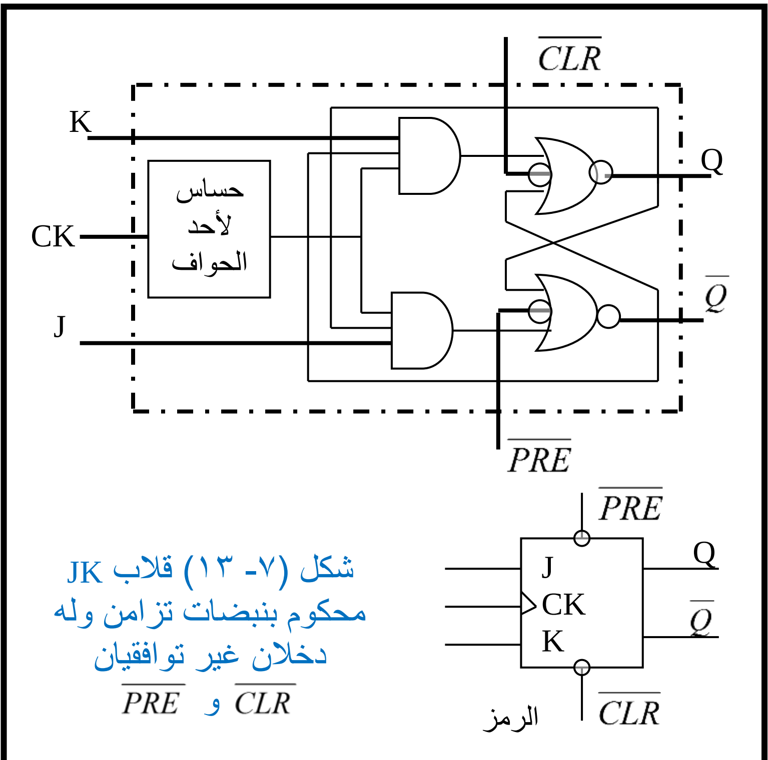
J	K	CK	Q(n+1)	تعليق
0	0	↑	Q(n)	لا تغيير
1	0		1	
0	1	↑	0	
1	1	↑ ↑	$\overline{Q(n)}$	عكس الخرج السابق

جدول ٧-٢ جدول الحقيقة للقلاب JK

جدول ٧-٢ يبين جدول الحقيقة للقلاب JK . يمكننا تتبع الحالة J=1, k=0 مع فرض أن الخرج السابق هو Q(n)=0. فى هذه الحالة سنجد أنه عند إعطاء نبضة التزامن فإن البوابة AND العليا سيكون كل دخولها وحايد وبالتالى سيكون خرجها واحد، بينما ال AND السفلى فعندها K=Q=0

لذلك فإن خرجها سيكون صفر. هذا الواحد على الطرف R للقلاب والصفر على الطرف S سيجعل الخرج Q(n+1)=1 أى Setting للخرج. الخرج الآخر $\overline{Q(n+1)}$ سيكون صفرا بالطبع. الآن ننظر إلى الحالة الحرجة التى عندها J=K=1. فى هذه الحالة بفرض أن Q=0 فإن الآند AND العليا سيكون كل دخولها وحايد وبالتالى سيكون خرجها واحد، والآند AND السفلى سيدخل لها صفر كتغذية مرتدة من الخرج Q ولذلك سيكون خرجها صفر. إذن هناك صفر على الطرف R للقلاب وواحد على الطرف S وهذا من شأنه أن يجعل الخرج Q=1 أى ينعكس. يمكن تتبع الإشارة J=K=1, Q=1 حيث سنجد فى هذه الحالة أن الخرج سينعكس ليصبح Q=0. بينما الحالة J=K=0 فإنها لن تسبب تغييرا للخرج. تتبع كل هذه الحالات فى شكل (٧- ١٢) وجدول ٧-٢ وتأكد من أن كل حالات هذا الجدول صحيحة. يمكن توصيل كل من الطرفين J و K من خلال عاكس للحصول على قلاب D كما فعلنا فى حالة الماسك RS. أيضا على حسب حساس الحافة الموجود فى مدخل نبضات التزامن يمكن تصميم قلاب JK حساس للحافة النازلة أو الحافة الصاعدة.

٧-١٠ الدخول غير المتوافقة Asynchronous Inputs

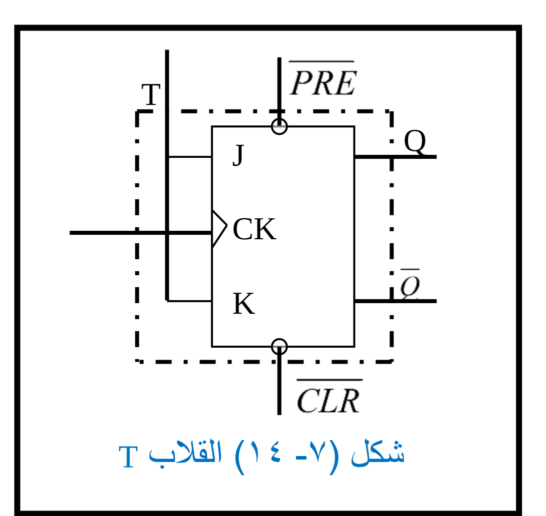


شكل (٧- ١٣) قلاب JK محكوم بنبضات تزامن وله دخلان غير توافقيان $\overline{PRE}$ و $\overline{CLR}$

الدخلان J و K يعتبران دخول توافقية **synchronous** لأنها لا يحدث لها تأثير على الخرج إلا إذا كانت هناك نبضة تزامن. أى أن هذه الدخول متوافقة مع نبضات التزامن. أحيانا تضطرنا الحاجة إلى إضافة دخول غير متوافقة مع نبضات التزامن تستخدم فى الكثير من التطبيقات لوضع حالات ابتدائية على خرج القلاب، كأن نجعل الخرج Q=0 قبل البدأ فى التشغيل ودون اعتماد على نبضات التزامن لإدخال هذه الحالات. شكل (٧- ١٣) يبين التركيب الداخلى لقلاب JK بعد إضافة دخلين غير متوافقين له. الدخل الأول هو دخل التصفير $\overline{CLR}$ وهذا الدخل كما نرى منخفض الفعالية نتيجة الشرطة الموجودة على اسمه وهذا يعنى أنه بوضع صفر على هذا الدخل سيجعل الخرج Q يساوى صفرا دون النظر إلى نبضات التزامن. هناك أيضا الدخل الثانى $\overline{PRE}$ الذى عندما يكون صفر يجبر الخرج على أن يكون واحد دون النظر أيضا لنبضات التزامن CK. انظر الرمز المستخدم للقلاب فى هذه الحالة.

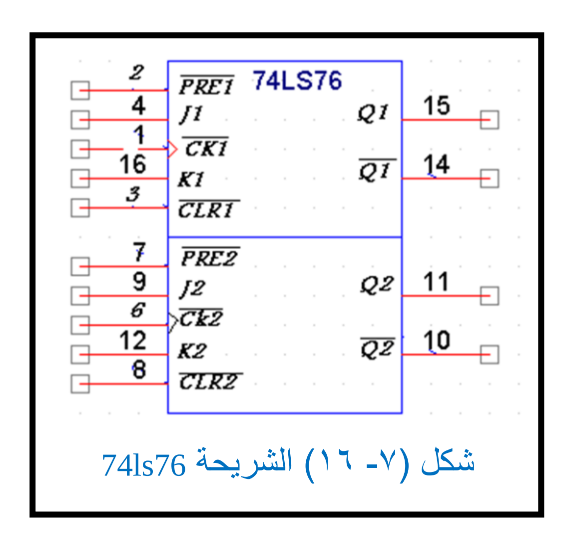
٧-١١ القلاب T

القلاب T هو نفسه القلاب JK ولكن بعد توصيل كل من الطرفين J و K مع بعضهما مباشرة ليكونا دخلا واحدا يسمى الدخل T. كما رأينا فإنه عندما يكون كل من J=K=1 فإن خرج القلاب يعكس حالته. بتطبيق ذلك على القلاب T نجد أنه بجعل الدخل T=1 فإن خرج القلاب سيعكس حالته. هذا القلاب يستخدم بكثرة فى بناء العدادات الثنائية كما سنرى. شكل (٧- ١٤) يبين الرمز المستخدم لهذا القلاب. تذكر أن الحرف T اختصار لكلمة toggle التى تعنى العكس أو الانقلاب وهذه هى وظيفة هذا القلاب كما رأينا.

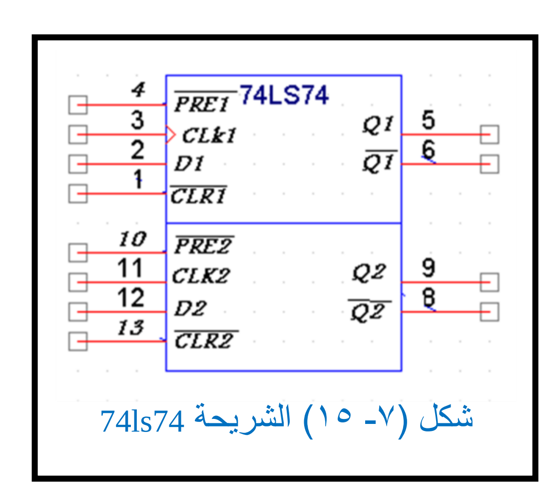


شكل (٧- ١٤) القلاب T

٧-١٢ الشريحة 74ls74 قلابان من النوع D



شكل (٧- ١٦) الشريحة 74ls76



شكل (٧- ١٥) الشريحة 74ls74

هذه الشريحة تحتوى قلابان من النوع D لا يعتمد أى منهما على الآخر فيما عدا طرفى القدرة Vcc على الطرف ١٤ وطرف الأرضى على الطرف ٧ للشريحة فهما مشتركان لكل من القلابين. كل من القلابين حساس للحافة الصاعدة لنبضات الساعة. الشريحة لها طرف تصفير $\overline{CLR}$ وطرف وضع $\overline{PRE}$، وكل منهما منخفض الفعالية، أى ينشط عندما يكون صفر. شكل (٧- ١٥) يبين ال رسم المنطقى لهذه الشريحة.

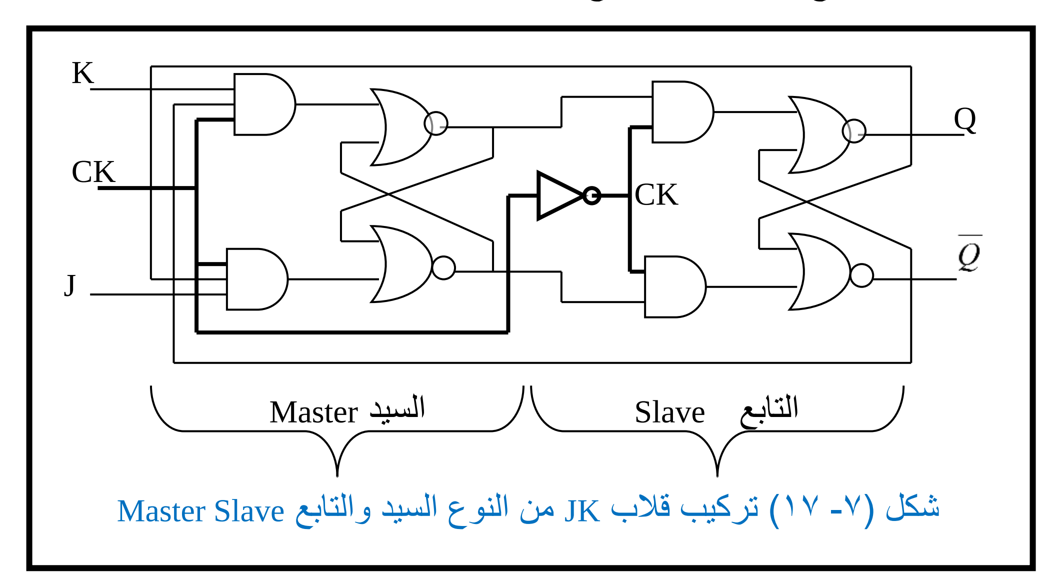
٧-١٣ الشريحة 74ls76 قلابان من النوع JK

هذه الشريحة تحتوى قلابان من النوع JK لا يعتمد أى منهما على الآخر فيما عدا طرفى القدرة Vcc على الطرف ٥ وطرف الأرضى على الطرف ١٣ للشريحة فهما مشتركان لكل من القلابين. كل من القلابين حساس للحافة النازلة

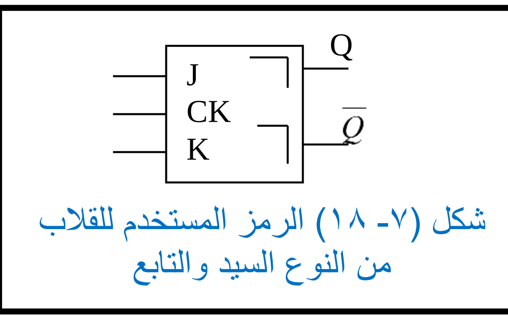
لنبضات الساعة. الشريحة لها طرف تصفير $\overline{CLR}$ وطرف وضع $\overline{PRE}$، وكل منهما منخفض الفعالية، أى ينشط عندما يكون صفر. شكل (٧- ١٦) يبين الرسم المنطقى لهذه الشريحة.

٧-١٤ قلاب السيد والعبد Master Slave Flip Flop

بالرغم من أن هذا النوع من القلابات تم استبداله بالقلابات الحساسة للحافة (سواء الصاعدة أو النازلة) إلا أنه يستحق أن نلقى عليه نظرة لأنه مازال يصنع وسوف تجده فى الكثير من الأجهزة القديمة. نفهم من ذلك أن الهدف من هذا القلاب كان بغرض الحصول على قلاب حساس لأحد حواف نبضات التزامن edge triggered، لذلك فإن جدول الحقيقة له سيكون هو نفسه جدول الحقيقة لأى قلاب حساس للحافة، الاختلاف فقط هو فى تركيب كل منهما. شكل (٧- ١٧) يبين تركيب قلاب JK من نوع السيد والعبد، وجدول ٧-٣ يبين جدول الحقيقة لهذا القلاب. كما نرى من شكل (٧- ١٧) فإن هذا القلاب يتكون من وحدتين من القلابات RS موصلتين على التتابع. الوحدة الأولى تسمى السيد master والوحدة الثانية تسمى العبد أو التابع slave. خرج المرحلة الأولى موصل كدخل للمرحلة الثانية. نبضات التزامن الداخلة لمرحلة العبد تكون عكس نبضات التزامن الداخلة لمرحلة السيد. هناك تغذية مرتدة من الخرجين Q و $\overline{Q}$ لمرحلة العبد إلى دخل المرحلة الأولى (السيد) للحصول على أداء القلاب JK. دخل المرحلة الأولى هو الدخل JK للقلاب كله. كذلك فإن خرج المرحلة الثانية يمثل خرج القلاب كله كما فى شكل (٧- ١٧).



شكل (٧- ١٧) تركيب قلاب JK من النوع السيد والتابع Master Slave



شكل (٧- ١٨) الرمز المستخدم للقلاب من النوع السيد والتابع

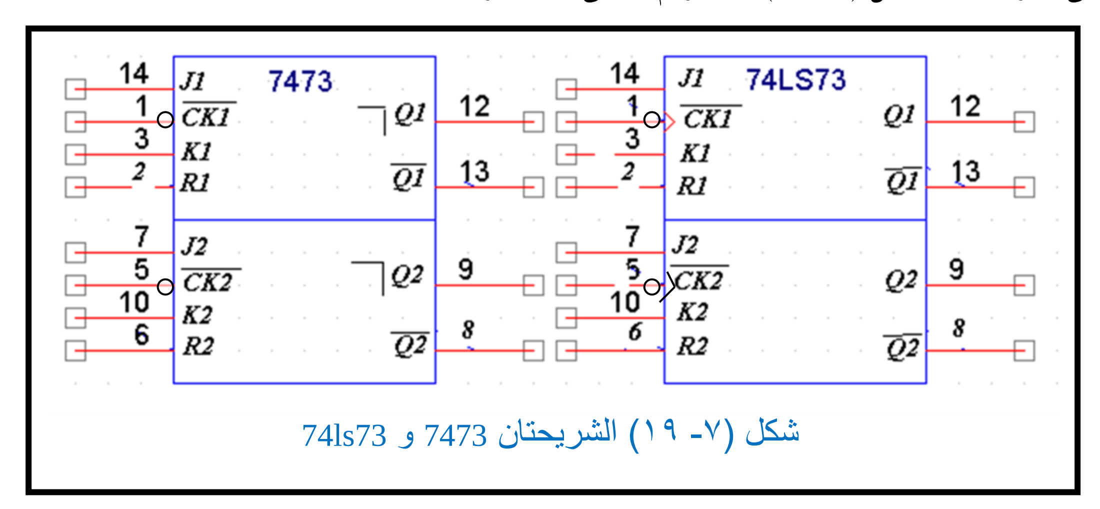
J	K	CK	Q(n+1)	تعليق
0	0		Q(n)	لا تغيير
1	0		1	
0	1		0	
1	1		$\overline{Q(n)}$	عكس الخرج السابق

جدول ٧-٣ جدول الحقيقة للقلاب JKمن النوع السيد والتابع

الجديد فى هذا القلاب أنه ليس حساسا للحافة، ولكن خرجه النهائى بعد مرحلة التابع يتغير عند الحافة النازلة لنبضة التزامن. عند إعطاء نبضة تزامن على الطرف CK عند دخل المرحلة الأولى (مرحلة السيد) ومع الحافة الصاعدة لها يتغير خرج هذه المرحلة. لاحظ أن نبضة التزامن يتم عكسها قبل الدخول للمرحلة الثانية، لذلك فإن خرج هذه المرحلة لن يتغير لأن الإشارة هناك فى هذه اللحظة تكون نازلة من الواحد إلى الصفر. عند الحافة النازلة لنبضة التزامن ونتيجة العكس تصعد الإشارة من صفر إلى واحد عند الدخل CK للمرحلة الثانية، ولذلك فإن خرج هذه المرحلة سيتغير تبعا للإشارة الموجودة على خرج المرحلة الأولى. بمعنى آخر، فإن الخرج Q يتغير عند الحافة النازلة لنبضة التزامن الأساسية وليس عند الحافة الصاعدة كما كان مفروضا فى حالة القلاب العادى. شكل (٧- ١٨) يبين الرمز المستخدم لهذا النوع من القلابات، وجدول ٧-٣ يبين جدول الحقيقة له. الجديد فى هذا الرمز هو وجود النبضة النازلة عند خرجى القلاب للدلالة على أن التغيير يتم عند الحافة النازلة لنبضة التزامن.

٧-١٥ الشريحة 7473 قلابان JK من نوع السيد والتابع

هذه الشريحة تحتوى قلابان JK من نوع السيد والتابع حيث مع الحافة الصاعدة لنبضات الساعة يتغير خرج مرحلة السيد، وعند الحافة النازلة يتغير مرحلة التابع. لابد أن تكون الإشارة على الطرفين J و K ثابتة فى أثناء استمرار الإشارة CK=1 وإلا فإنه من الممكن أن يحدث عدم استقرار لخرج الدائرة. هذه الشريحة لها طرف واحد للتصفير الغير تزامنى للخرج $\overline{CLR}$ وهذا الطرف منخفض الفعالية. الشريحة 74ls73 هى نفسها الشريحة 7473 سوى أنها ليست من نوع السيد والتابع ولكنها حساسة للحافة النازلة لنبضات الساعة. القدرة Vcc لهذه الشريحة على الطرف ٤ وأما الأرضى GND فعلى الطرف ١١. شكل (٧- ١٩) يبين الرسم المنطقى لهذه الشريحة.

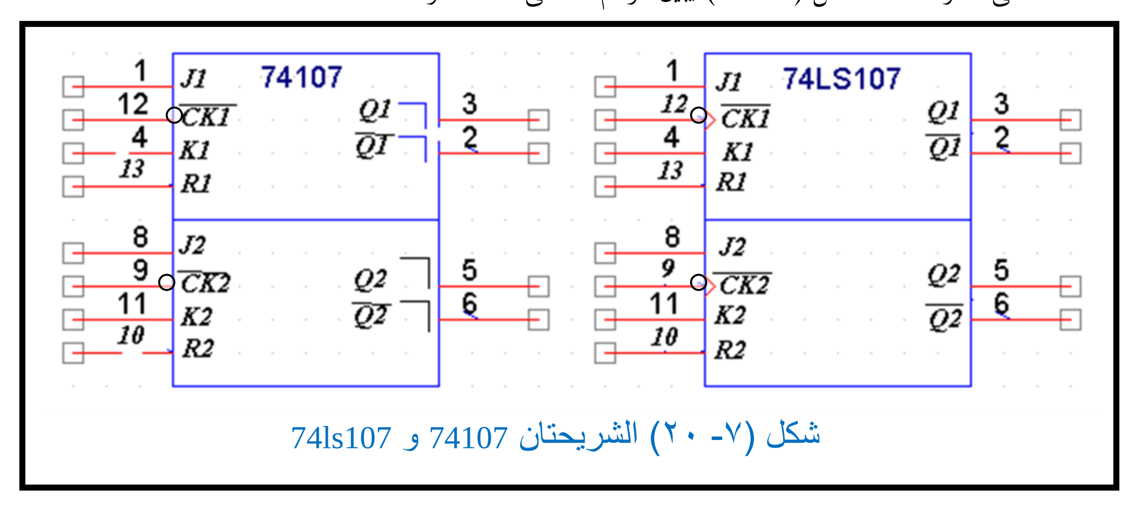


شكل (٧- ١٩) الشريحتان 7473 و 74ls73

٧-١٦ الشريحة 74107 قلابان JK من نوع السيد والتابع

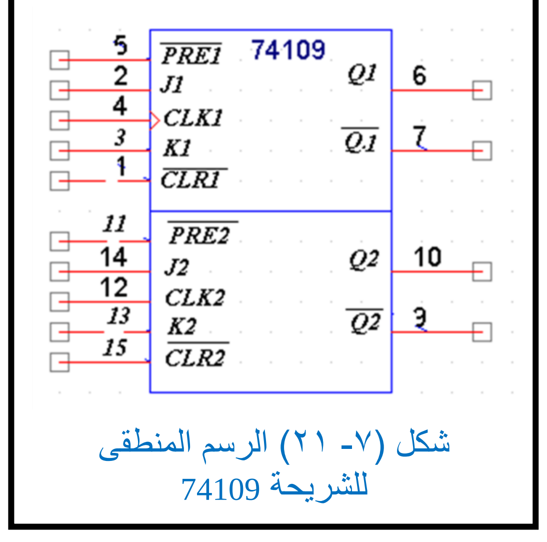
هذه الشريحة تحتوى قلابان JK من نوع السيد والتابع حيث مع الحافة الصاعدة لنبضات الساعة يتغير خرج مرحلة السيد، وعند الحافة النازلة يتغير مرحلة التابع. لابد أن تكون الإشارة على الطرفين J و K ثابتة فى أثناء استمرار الإشارة CK=1 وإلا فإنه من الممكن أن يحدث عدم استقرار لخرج الدائرة. هذه الشريحة لها طرف واحد للتصفير الغير تزامنى للخرج

$\overline{CLR}$ وهذا الطرف منخفض الفعالية. الشريحة 74ls107 هى نفسها الشريحة 74107 سوى أنها ليست من نوع السيد والتابع ولكنها حساسة للحافة النازلة لنبضات الساعة. القدرة Vcc لهذه الشريحة على الطرف ١٤ وأما الأرضى GND فعلى الطرف ٧. شكل (٧– ٢٠) يبين الرسم المنطقى لهذه الشريحة.



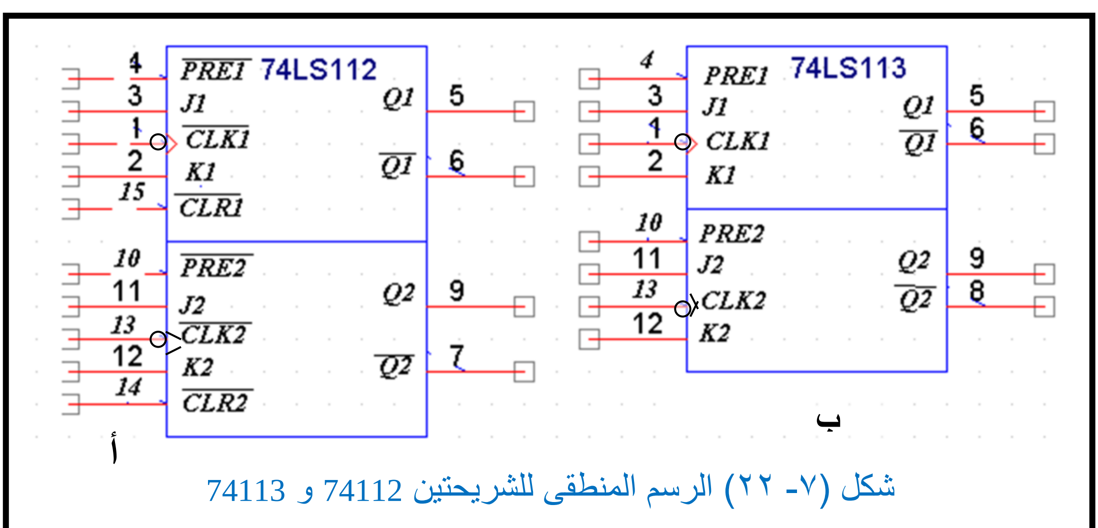
شكل (٧- ٢٠) الشريحتان 74107 و 74ls107

٧–١٧ الشريحة 74109 قلابان JK حساس للحافة الصاعدة



شكل (٧- ٢١) الرسم المنطقى للشريحة 74109

هذه الشريحة تحتو ى على قلابين JK كل منهما حساس للحافة الصاعدة لنبضات التزامن. كما تحتوى دخلا للتصفير الغير متزامن $\overline{CLR}$ وآخر لجعل الخرج واحد $\overline{PRE}$ بغير تزامن أيضا مع الساعة. شكل (٧– ٢١) يبين الرسم المنطقى لهذه الشريحة . طرف القدرة Vcc هو الطرف ١٦ وأما الأرضى GND فهو الطرف ٨.



شكل (٧- ٢٢) الرسم المنطقى للشريحتين 74112 و 74113

٧-١٨ الشريحة 74112 قلابان JK حساس للحافة النازلة

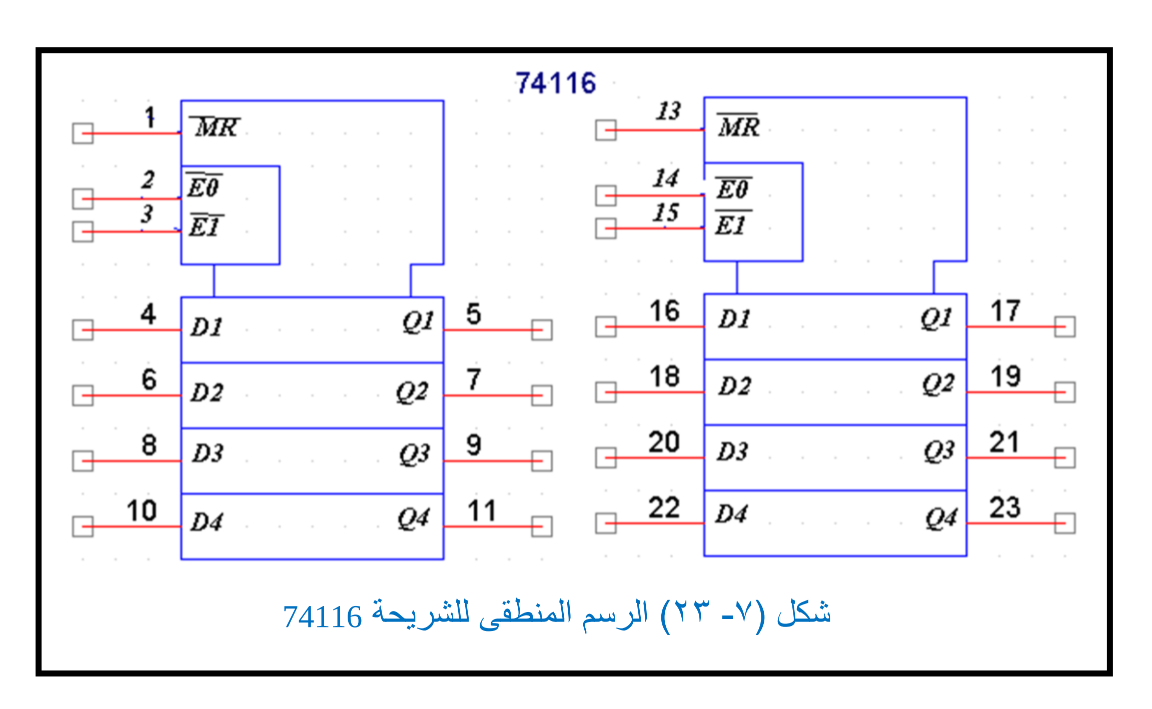
هذه الشريحة تحتوى على قلابين JK كل منهما حساس للحافة النازلة لنبضات التزامن. كما تحتوى دخلا للتصفير الغير متزامن $\overline{CLR}$ وآخر لجعل الخرج واحد $\overline{PRE}$ بغير تزامن أيضا مع الساعة. شكل (٧- ٢٢أ) يبين الرسم المنطقى لهذه الشريحة. طرف القدرة Vcc هو الطرف ١٦ وأما الأرضى GND فهو الطرف ٨.

٧-١٩ الشريحة 74113 قلابان JK حساس للحافة النازلة

هذه الشريحة تحتوى على قلابين JK كل منهما حساس للحافة النازلة لنبضات التزامن. كما تحتوى دخلا لجعل الخرج واحد $\overline{PRE}$ بغير تزامن مع الساعة. شكل (٧- ٢٢ب) يبين الرسم المنطقى لهذه الشريحة. طرف القدرة Vcc هو الطرف ١٤ وأما طرف الأرضى GND فهو الطرف ٧.

٧-٢٠ الشريحة 74116 ماسكان ذو ٤ بت لكل منهما

تحتوى هذه الشريحة على ماسكان كل منهما ٤ بت، وكل منهما لا يعتمد على الآخر على الإطلاق. كل ماسك له طرفا تنشيط $\overline{E0}$ و $\overline{E1}$، وكل منهما منخفض الفعالية. أى أنه عندما يكون كل من طرفا التنشيط يساوى صفر فإن الإشارة الموجودة على المداخل D تنتقل إلى الخرج المقابل Q. أى أن الخرج Q يتبع الدخل D طالما أن طرفى التنشيط كل منهما يساوى صفر، لذلك يطلق على هذه الشريحة بأنها شفافة transparent. كل ماسك له طرف تصفير منخفض الفعالية $\overline{MR}$ يجعل كل مخارج الماسك أصفارا. شكل (٧- ٢٣) يبين الرسم المنطقى لهذه الشريحة. طرف القدرة Vcc لهذه الشريحة هو الطرف ٢٤ وطرف الأرضى GND هو الطرف ١٢. الشريحة لها ٢٤ طرف.



شكل (٧- ٢٣) الرسم المنطقى للشريحة 74116

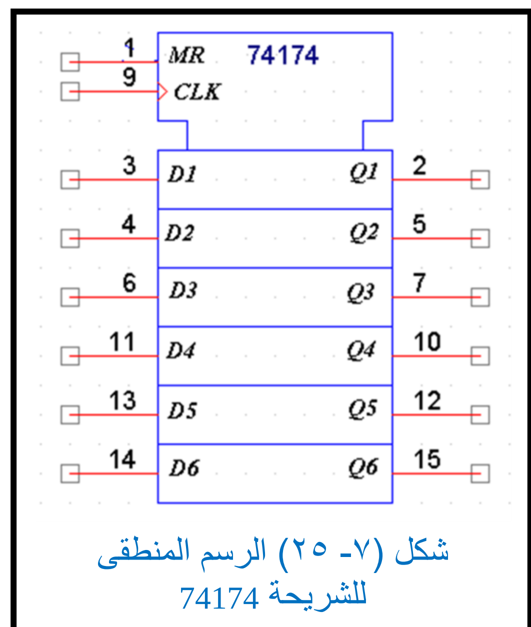
٧-٢١ الشريحة 74173 أربع قلابات من النوع D خرجها من خلال بوابات ثلاثية المنطق

تتكون هذه الشريحة من ٤ قلابات من النوع D ينتقل دخلها إلى خرجها مع الحافة الصاعدة لنبضة التزامن CLK، بشرط أن يكون طرفى التنشيط $\overline{E0}$ و $\overline{E1}$ كل منهما يساوى صفر حيث أنهما منخفضى الفعالية. عندما يكون أى واحد من هذين الخطين يساوى واحد فإنه يلغى تأثير نبضات التزامن، وبذلك يمنع أى تغيير فى الخرج. الخرج Q لكل قلاب ينتقل إلى طرف الشريحة من خلال بوابة ثلاثية المنطق. كل البوابات ثلاثية المنطق الأربعة لها خط تحكم واحد وهذا الخط ينشط من خلال بوابة NOR داخل الشريحة لها دخلين هما الطرفان $\overline{OE0}$ و $\overline{OE1}$ وكل منهما منخفض الفعالية، أى أنه لكى يظهر الخرج على أطراف الشريحة لابد أن يكون كل من $\overline{OE0}$ و $\overline{OE1}$ يساوى صفر. عندما يكون أى واحد من هذين الطرفين يساوى واحد تصبح كل المخارج فى حالة المقاومة العالية. الشريحة لها طرف تصفير غير توافقى عالى الفعالية وهو الطرف MR الذى يجعل كل الخروج تساوى صفر إذا كان هذا الطرف يساوى واحد. شكل (٧- ٢٤) يبين الخرج المنطقى للشريحة. الشريحة لها ١٦ طرف، الطرف ١٦ هو طرف القدرة Vcc بينما الطرف ٨ هو طرف الأرضى GND. لاحظ رمز المثلث على الخرج ليدل على أن المخارج ثلاثية المنطق.

شكل (٧- ٢٤) الرسم المنطقى للشريحة 74173

٧-٢٢ الشريحة 74174 ستة قلابات من النوع D

تحتوى هذه الشريحة على ستة ماسكات من النوع D لها نفس طرف نبضات التزامن حيث ينتقل دخل كل منها إلى الخرج Q مع الحافة الصاعدة لنبضة التزامن. الشريحة لها طرف تصفير منخفض الفعالية $\overline{MR}$ يجعل كل المخارج أصفارا عندما يكون هذا الطرف يساوى صفر. الشريحة لها ١٦ طرف، الطرف ١٦ يمثل القدرة Vcc والطرف ٨ يمثل الأرضى GND. شكل (٧- ٢٥) يبين الرسم المنطقى للشريحة.



شكل (٧- ٢٥) الرسم المنطقى للشريحة 74174

٧–٢٣ الشريحة 74175 أربع قلابات من النوع D

تحتوى هذه الشريحة على أربع ماسكات من النوع D لها طرف تزامن واحد حساس للحافة الصاعدة عند انتقال الإشارة عليه من صفر إلى واحد يتم تسجيل الدخل على الخرج. كل ماسك له المخرجين Q و $\overline{Q}$. الشريحة لها طرف تصفير عام $\overline{MR}$ منخفض الفعالية يجعل جميع المخارج أصفار عندما يكون صفر. الشريحة لها ١٦ طرف، الطرف ١٦ يمثل القدرة Vcc والطرف ٨ يمثل الأرضى GND. شكل (٧- ٢٦) يبين الرسم المنطقى للشريحة.

شكل (٧- ٢٦) الرسم المنطقى للشريحة 74175

٧–٢٤ الشريحة 74273 ثمان قلابات من النوع D

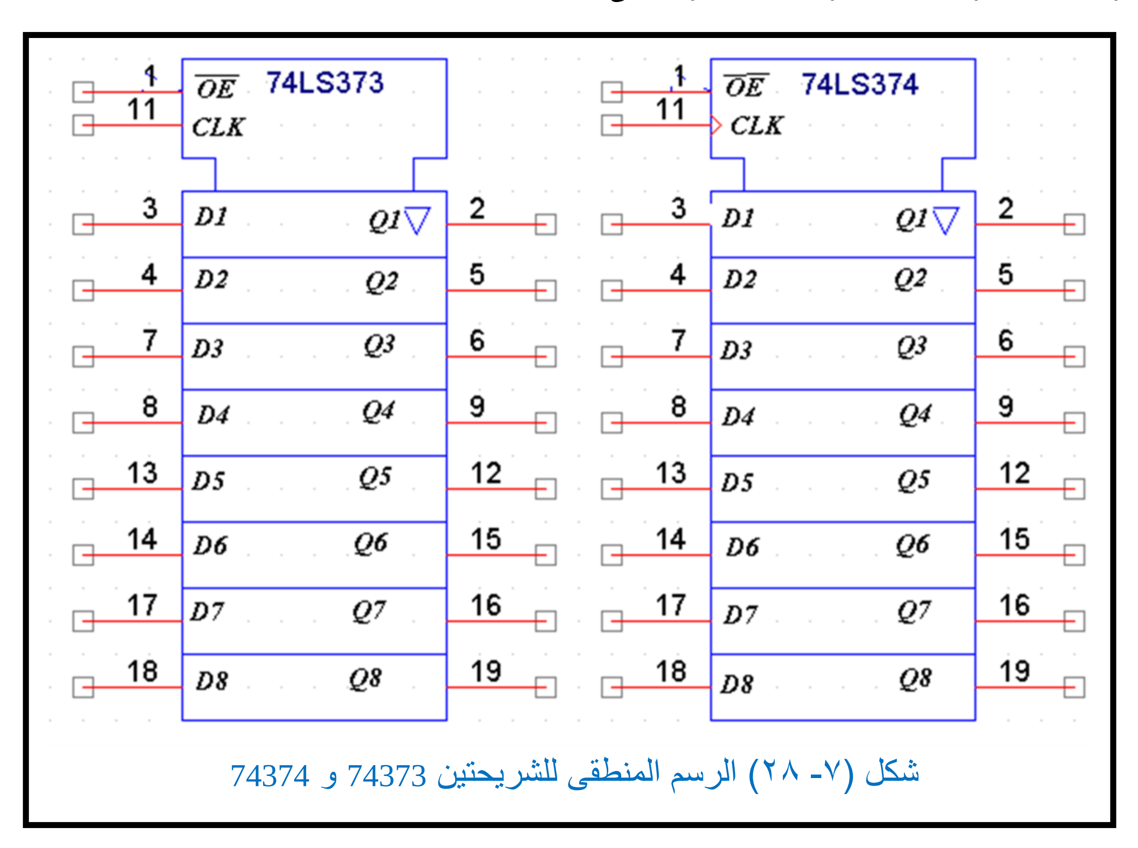
تحتوى هذه الشريحة على ثمان قلابات من النوع D تنتقل الإشارة الموجودة عليها إلى الخرج المقابل لكل منها مع الحافة الصاعدة لطرف التزامن CLK. الشريحة لها طرف تصفير $\overline{MR}$ منخفض الفعالية يجعل كل المخارج أصفار عندما يكون صفرا. الشريحة لها ٢٠ طرف ، الطرف رقم ٢٠ هو طرف القدرة Vcc، والطرف ١٠ هو طرف الأرضى GND. شكل (٧- ٢٧) يبين الرسم المنطقى لهذه الشريحة.

شكل (٧- ٢٧) الرسم المنطقى للشريحة 74273

٧–٢٥ الشريحة 74373 و 74374 ثمان قلابات من النوع D خرجها من خلال بوابات ثلاثية المنطق

تحتوى هذه الشرائح على ثمان قلابات من النوع D التى ينتقل دخلها إلى خرجها مع الحافة الصاعدة لنبضات التزامن CLK فى حالة الشريحة 74374. نبضات التزامن CLK فى حالة الشريحة 74373 ليست حساسة لأى من الحافتين ولكنها حساسة لمستوى النبضة، أى أن الخرج يساوى الدخل طالما أن هذا الطرف يساوى واحد، لذلك يقال أن هذه الشريحة شفافة transparent. خرج هذه القلابات يتصل بأطراف الشريحة من خلال ثمان بوابات ثلاثية المنطق طرف التنشيط لها هو الطرف $\overline{OE}$ المنخفض الفعالية فى كل من الشريحتين. عندما يكون هذا الطرف صفر ينتقل خرج القلابات إلى أطراف الشريحة وعندما يكون واحد تكون جميع

المخارج فى حالة المقاومة العالية. شكل (٧- ٢٨) يبين الرسم المنطقى للشريحتين. كل من الشريحتين لها ٢٠ طرف، والطرف ٢٠ هو القدرة Vcc والطرف ١٠ هو الأرضى GND.



شكل (٧- ٢٨) الرسم المنطقى للشريحتين 74373 و 74374

٧-٢٦ بعض الخواص المهمة للقلابات

٧-٢٦-١ زمن الانتشار أو زمن العبور Propagation delay time

زمن الانتشار هو الفترة الزمنية بين وضع الدخل للقلاب وتغير خرجه إلى قيمة ثابتة بناء على هذا الدخل. هناك أكثر من صورة لهذا الزمن على حسب شكل نبضة التزامن وكيفية تغير الخرج بناء عليها. شكل (٧- ٢٩) يبين هذه الصور، وهى كالتالى:

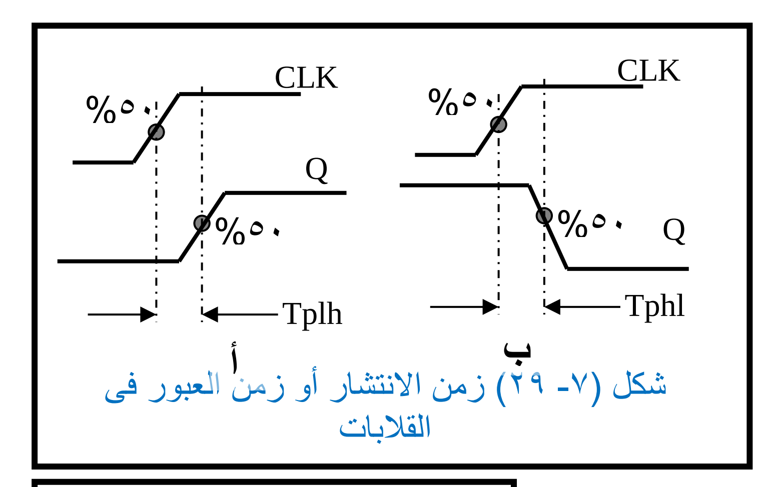
١- الزمن Tplh وهو الفترة الزمنية من منتصف الحافة المؤثرة لنبضة التزامن (الصاعدة أو النازلة) إلى أن يصعد الخرج من صفر إلى ٥٠% من قيمة الجهد المنطقى واحد أو القيمة العظمى. أنظر شكل (٧- ٢٩أ).

٢- الزمن Tphl وهو الفترة الزمنية من منتصف الحافة المؤثرة لنبضة التزامن (الصاعدة أو النازلة) إلى أن ينزل الخرج من واحد (أو القيمة العظمى) إلى ٥٠% من قيمة الجهد المنطقى صفر أو القيمة الصغرى. أنظر شكل (٧- ٢٩ب).

يمكن تعريف هذا الزمن فى حالة تغير الخرج نتيجة الدخول الغير توافقية على أطراف التصفير $\overline{CLR}$ أو أطراف جعل الخرج يساوى واحد $\overline{PRE}$.

٧-٢٦-٢ زمن الاستقرار Set up time

زمن الاستقرار ts هو الفترة الزمنية التى يجب أن تثبت عليها الدخول المنطقية (T أو D أو K أو J أو S أو R) قبل تطبيق الحافة المؤثرة لنبضة التزامن حتى يثبت الخرج على قيمته الجديدة. أى أن الدخول المنطقية إذا تغيرت أو لم تستقر حتى يمر هذا الزمن، فإن قيمة الخرج لن تكون ثابتة أو محددة. شكل (٧- ٣٠) يبين هذا الزمن. تذكر جيدا أن هناك فرق بين زمن الاستقرار وزمن العبور.



شكل (٧- ٢٩) زمن الانتشار أو زمن العبور فى القلابات

T أو D أو K أو J أو S أو R

CLK

ts

شكل (٧- ٣٠) زمن الاستقرار ts فى القلابات

٧-٢٦-٣ زمن المسك Hold time

زمن المسك th هو الزمن الذى يجب أن يظل الدخل (R أو S أو J أو K أو D أو T) مستقرا فيه بعد تطبيق الحافة المؤثرة لنبضة التزامن، وإلا فإن الخرج لن يستقر. شكل (٧- ٣١) يبين تمثيلا لهذا الزمن.

T أو D أو K أو J أو S أو R

CLK

th

شكل (٧- ٣١) زمن الاستقرار th فى القلابات

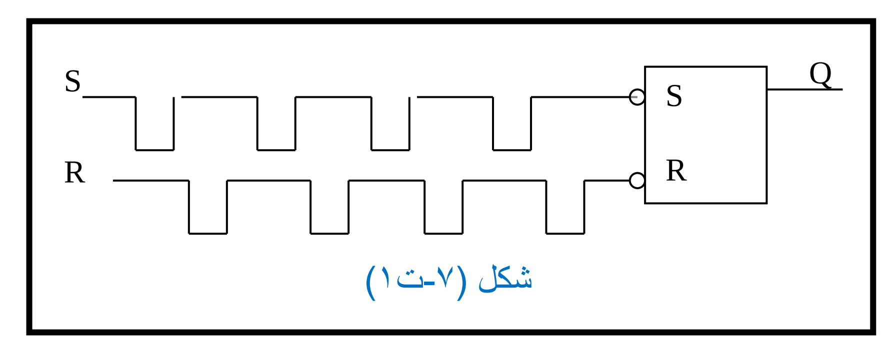
٧-٢٦-٤ أقصى قيمة لتردد الساعة Maximum clock frequency

أقصى قيمة لتردد الساعة أو تردد نبضات التزامن fmax هى أعلى تردد يمكن تطبيقه لتشغيل القلاب قبل أن يفشل القلاب فى العمل أو متابعة الدخل.

٧-٢٧ تطبيقات القلابات

من أهم التطبيقات التى تستخدم القلابات مسجلات الإزاحة والعدادات الثنائية، ولقد تم تخصيص فصل كامل لشرح كل منها، ولذلك سنرجىء الكلام عن تطبيقات القلابات حتى ندرس هذين الفصلين حيث عندها سنقدر دور القلابات فى الكثير من الأجهزة والتطبيقات الرقمية .

٧–٢٨ تمارين



شكل (٧-ت١)

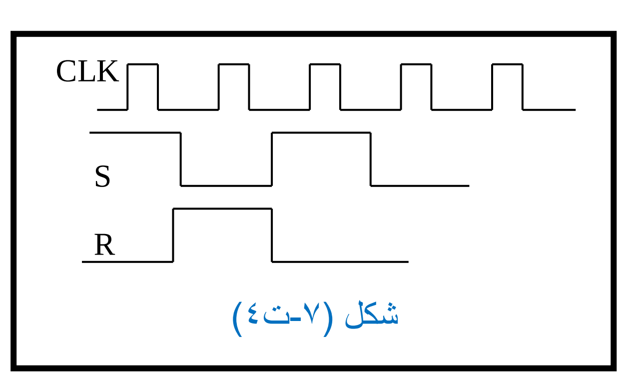
١- شكل (٧-ت١) يبين شكل الإشارة المطبقة على كل من الدخلين R و S لماسك من النوع RS المبين فى نفس الشكل. ارسم شكل الإشارة على خرج الماسك Q إذا كانت هذه الدخول كلها منخفضة الفعالية؟

S
CLK
R
S Q
CLK
R

شكل (٧-ت٢)

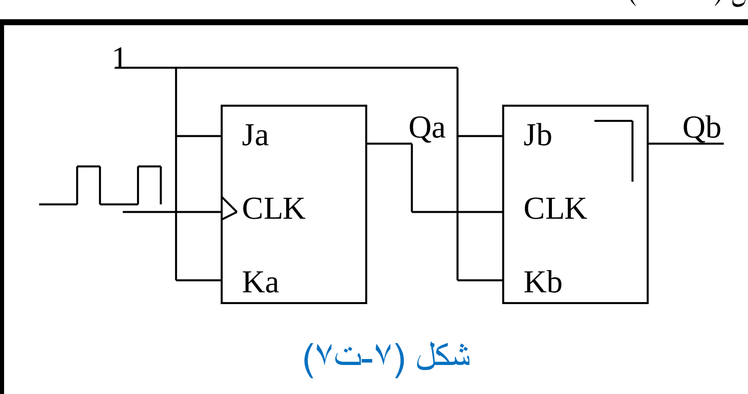
٢- ارسم شكل الإشارة على الخرج Q لماسك RS محكوم بنبضات تزامن CLK إذا كانت الإشارة الموجودة على الدخول كما هو مبين فى شكل (٧-ت٢).

٣- أعد السؤال ٢ إذا كان الماسك من النوع D بدلا من RS ؟



شكل (٧-ت٤)

٤- قلابان من النوع RS أحدهما حساس للحافة الصاعدة والآخر حساس للحافة النازلة. تم إدخال الإشارات الموجودة فى شكل (٧-ت٤) على كل منهما على حده، ارسم خرج كل قلاب على حدة واذكر الفرق بين كل منهما؟



شكل (٧-ت٧)

٥- أعد السؤال الرابع لقلابان من النوع D بدلا من RS؟

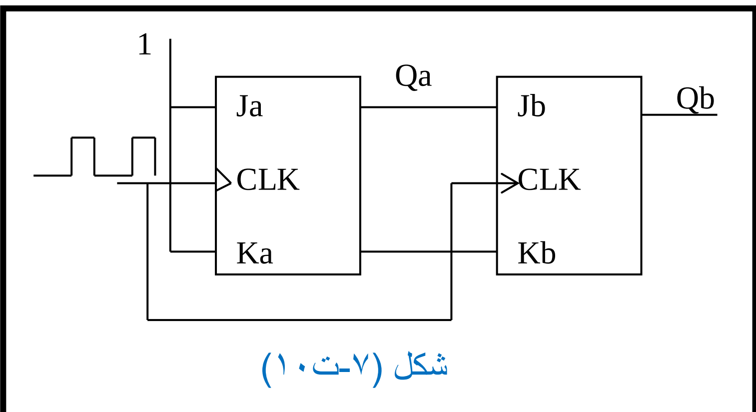
٦- أعد السؤال الرابع لقلابان من النوع JK بدلا من RS؟

٧- ارسم شكل الخرج Qb للدائرة الموجودة فى شكل (٧-ت٧)؟

٨- حاول الحصول على كتالوجات كل القلابات والماسكات التى جاء ذكرها فى هذا الفصل واكتب قيمة كل مما يأتى لكل قلاب أو ماسك: زمن الاستقرار، زمن المسك، زمن العبور أو الانتشار، الفيمة العظمى لتردد الساعة؟

٩- أحد القلابات ينص الكتالوج الخاص بها على أن أقل زمن تكون فيه نبضة الساعة منخفضة هو ٣٠ نانوثانية وأقل زمن تكون فيه النبضة مرتفعة هو ٣٧ نانوثانية، ما هو أقصى تردد لنبضات الساعة يمكن أن يعمل عنده هذا القلاب؟

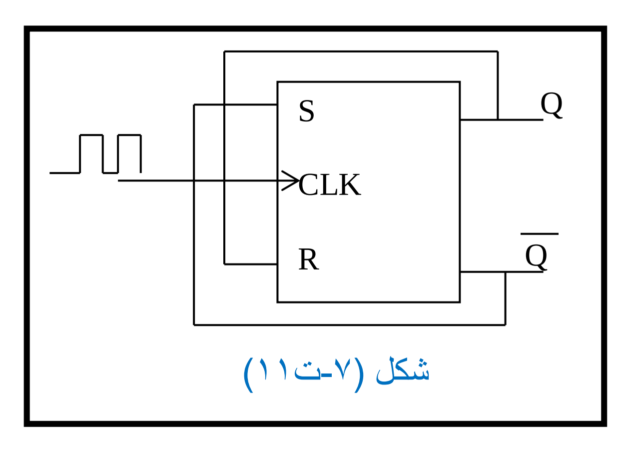
١٠-للدائرة الموجودة فى شكل (٧-ت١٠) ما هو أعظم تردد يمكن أن تعمل عنده هذه الدائرة إذا كان زمن العبور لكل قلاب هو ٢٠ نانوثانية، وزمن الاستقرار ٢٥ نانوثانية وزمن المسك ٢٥ نانوثانية أيضا؟



شكل (٧-ت١٠)

١١-ارسم خرج القلاب RS الموجود فى شكل (٧-ت١١)؟

١٢-للدائرة الموجودة فى شكل (٧- ١٠) ارسم شكل الخرج لكل من القلابين لمدة ١٠ نبضات تزامن ؟ ارسم ذلك بالتوافق مع نبضات التزامن.



شكل (٧-ت١١)

الفصل الثامن

٨

العدادات الرقمية

Digital Counters

٨–١ مقدمة

العداد الرقمى عبارة عن مجموعة من القلابات الموصلة مع بعضها بطريقة معينة يمكن بها أن تعد النبضات الداخلة إليها. على حسب طريقة توصيل كل قلاب مع القلاب التالى له يتحدد نوع العداد كما سنرى فى هذا الفصل. سنرى أيضا كيف نصمم عدادا يعد تصاعديا أو آخر يعد تنازليا، أو عن طريق خط تحكم يمكن للعداد أن يعد تصاعديا أو تنازليا.

٨–٢ العدادات التموجية أو غير التوافقية

Ripple (Asynchronous) Counters

فى هذا النوع من العدادات يتم توصيل خرج كل قلاب Q كنبضات تزامن للقلاب التالى له، ونبضات الساعة للمرحلة الأولى تكون هى النبضات المراد عدها كما فى شكل (٨– ١) الذى يبين ٣ قلابات كلها من النوع الحساس للحافة النازلة وكلها موصلة لتعمل كقلاب من النوع T عن طريق توصيل الدخلين J و K لكل قلاب بالواحد. لذلك فإن خرج كل قلاب سيغير من حالته مع كل حافة نازلة لنبضات التزامن. خرج كل قلاب تم استخدامه كنبضات تزامن للمرحلة التالية كما فى الشكل. شكل (٨– ٢) يبين الخرج على كل مرحلة من مراحل العداد مع نبضات التزامن حيث نرى منه كيف أن مع كل نبضة نجد أن الخرج يمثل القيمة الرقمية لهذه النبضة. فى البداية كان خرج جميع المراحل أصفار. بعد أول نبضة كان خرج العداد 001 بعد النبضة الثانية كان الخرج 010، وهكذا بعد النبضة السابعة يكون الخرج 111 وبعد النبضة الثامنة يصفر العداد نفسه ويبدأ العد من جديد. لاحظ أن القيمة العظمى للعداد هى الرقم ٧، وعدد حالات خرج العداد هى ٨ حالات تبدأ من الحالة

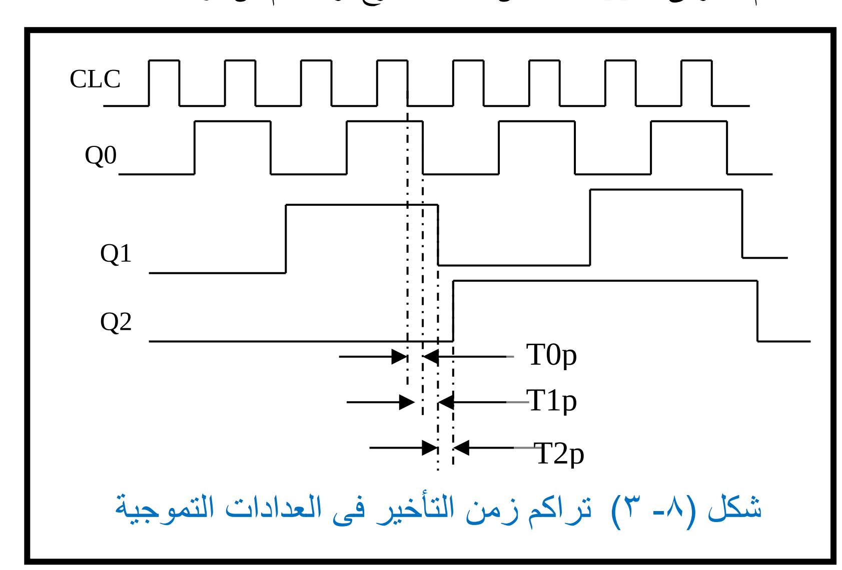
شكل (٨- ١) عداد تموجى من ٣ مراحل

	Q2	Q1	Q0
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1
8	0	0	0

جدول ٨-١ الخرج لعداد من ٣ مراحل

شكل (٨- ٢) الخرج الزمنى للعداد

000 وحتى الحالة 111 كما هو مبين فى الجدول ٨-١. من ذلك نرى أن عدد حالات الخرج لأى عداد سيكون 2^n حيث n هى عدد مراحل العداد أو عدد القلابات التى يتكون منها. من عيوب العدادات التموجية أن أزمنة التأخير تتراكم من مرحلة لأخرى، لذلك أطلق عليها اسم التموجى ripple لأن زمن التأخير يتموج أو يتراكم من مرحلة للثانية.



شكل (٨- ٣) تراكم زمن التأخير فى العدادات التموجية

شكل (٨- ٣) يبين كيف أن زمن التأخير للمرحلة الأخيرة سيساوى 3Tp حيث أن Tp هو زمن تأخير المرحلة الواحدة و 3 هو عدد المراحل. زمن التأخير هذا بالطبع كما نرى سيضع حدا لأكبر تردد يمكن أن يعمل عنده مثل هذا العداد، أو بمعنى آخر أكبر تردد لنبضات التزامن التى يعدها هذا العداد. تخيل مثلا أن زمن التأخير للمرحلة الواحدة هو ١٠ نانوثانية، وأن لدينا عدادا من عشرة مراحل. فى هذه الحالة سيكون مقدار التأخير لكل المراحل هو ١٠×١٠=١٠٠ نانوثانية. معنى ذلك أن أكبر تردد لنبضات الساعة (وبالتالى سرعة العداد) يجب ألا تتعدى:

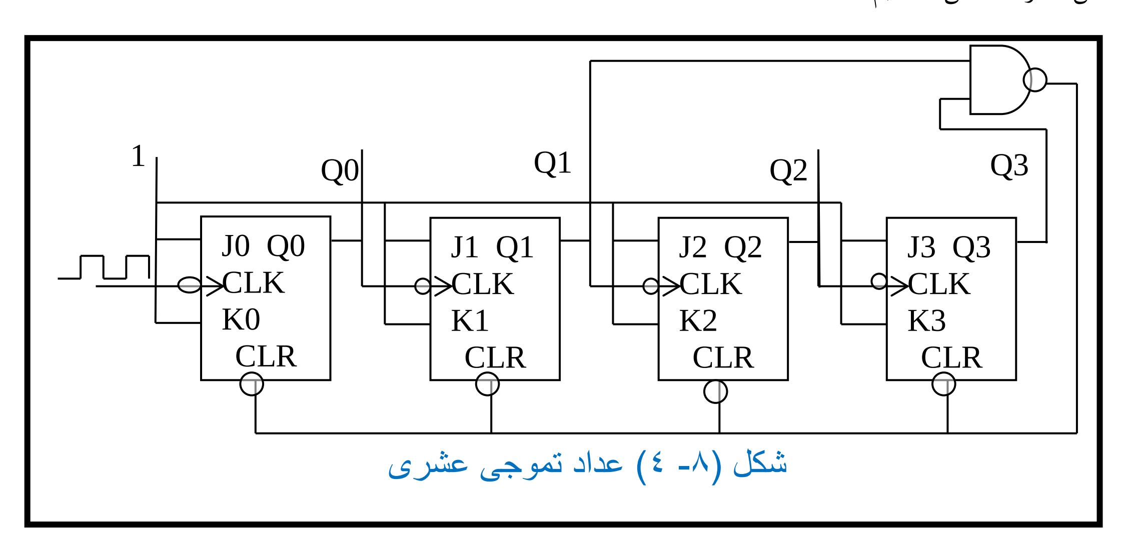
$$Fmax=\frac{1}{100x10^{-9}}=10 \text{ mega Hertz} \qquad (١-٨)$$

ومن جهة أخرى سنجد أن ذلك سيضع حدا على عدد مراحل العداد التى يمكن استخدامها مع أى تردد معين.

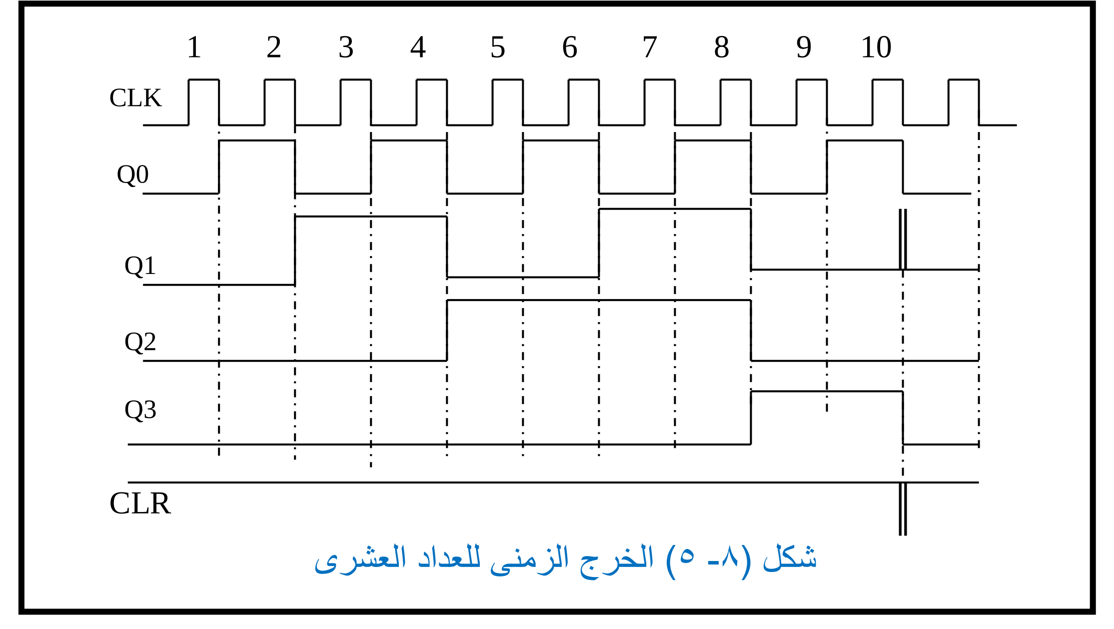
٨-٣ عدادات تموجية لأى قاعدة

لقد رأينا أن العداد السابق لابد أن يمر بكل الحالات الممكنة للخرج، لذلك فإن عدد حالاته أو نظام عده هو 2^n حيث n هى عدد مراحل العداد. يمكن تصميم العداد ليعد لأى عدد من الحالات مثل عداد يعد من صفر إلى ١٨ مثلا، أو عداد يعد من صفر إلى مائة، أو إلى أى رقم ليس من قوى الرقم ٢. أشهر هذه العدادات هو العداد العشرى الذى يعد من صفر إلى ٩، أى أنه له ١٠ حالات. سنرى فى هذا الجزء كيفية تصميم العداد العشرى. النظرية هنا هى أننا نستخدم عدد من المراحل يعطى هذا العدد من الحالات المطلوبة أو أكثر. ثم بعد ذلك نستخدم محلل شفرة ينشط عند الحالة عشرة (1010) فيعطى إشارة تصفر جميع مراحل العداد وتجعله يبدأ العد من الصفر مرة أخرى. شكل (٨- ٤) يبين هذا العداد. نلاحظ من هذا الشكل أن العداد مكون من ٤ مراحل لأن ٣ مراحل تعطى ٨ حالات فقط، لذلك لابد من استخدام ٤ مراحل. بعد ذلك استخدمنا بوابة ناند (محلل شفرة) دخليها هما كل من Q1 و Q3 حيث كل منهما يكون واحد عند العدة العاشرة (1010) فقط. خرج بوابة الناند يذهب ليصفر جميع القلابات من طرف التصفير CLR الخاص بكل منها، حيث عندها يبدأ العداد من الصفر مرة أخرى. شكل (٨- ٥) يبين المخطط التزامنى لخرج جميع مراحل العداد. لاحظ وجود النتوء أو النبضة القصيرة جدا glitch التى ظهرت على الخرج Q1 عند العدة العاشرة. هذا النتوء يظهر لأن

الخرج Q1 عند هذه اللحظة يصعد للواحد أولا وبعد مرور زمن قصير جدا يعود للصفر مرة ثانية. هذا الزمن هو زمن الانتشار خلال بوابة الناند ثم زمن الانتشار فى القلاب خلال الطرف CLR وكل ذلك يقدر بعدد صغير من النانوثانية. لذلك فإن عرض هذا النتوء يكون صغيرا جدا ومن الصعب رؤيته إلا بمبين ذبذبات oscilloscope عالى التردد أو محلل منطقى Logic analyzer. بالطبع فإن هذا النتوء يعتبر عيبا لأنه قد يسبب بعض المشاكل فى الكثير من الدوائر الرقمية. بنفس الطريقة يمكن تصميم أى عداد لأى قاعدة.



شكل (٨- ٤) عداد تموجى عشرى



شكل (٨- ٥) الخرج الزمنى للعداد العشرى

من الملاحظات المهمة للعدادات أن خرج كل مرحلة يعتبر قاسم لتردد المرحلة السابقة بمقدار ٢. فالخرج Q0 له تردد نصف تردد نبضات التزامن المدخلة. والخرج Q1 له تردد نصف تردد الخرج Q0 وبالتالى ربع تردد نبضات التزامن، وهكذا حاول متابعة ذلك على مخططات التزامن لأى عداد. بالنسبة للعداد العشرى سنجد أن خرج المرحلة الرابعة Q3 يعتبر عشر تردد نبضات التزامن، أى يقسم تردد الإشارة المدخلة على عشرة.

٨–٤ العداد التوافقى

Synchronous Counter

كلمة توافقى هنا نقصد بها أن كل القلابات فى العداد تغير من حالتها بالتوافق مع نفس نبضات التزامن. لذلك فإن طرف التزامن لكل القلابات يكون موصلا على نفس المصدر. لذلك فإننا سنرى أن هذا النوع من القلابات يكون أسرع من العدادات التموجية التى درسناها فى الجزء السابق. لتصميم هذه العدادات نتبع نفس طريقة تصميم الدوائر التوافقية، حيث سنفرض جدول الحقيقة للعداد المطلوب، ونحدد قيم الدخلين J و K لكل قلاب ولكل حالة. ثم من هذه الحالات نحصل على المعادلة المنطقية لكل دخل منها فى أبسط صورها.

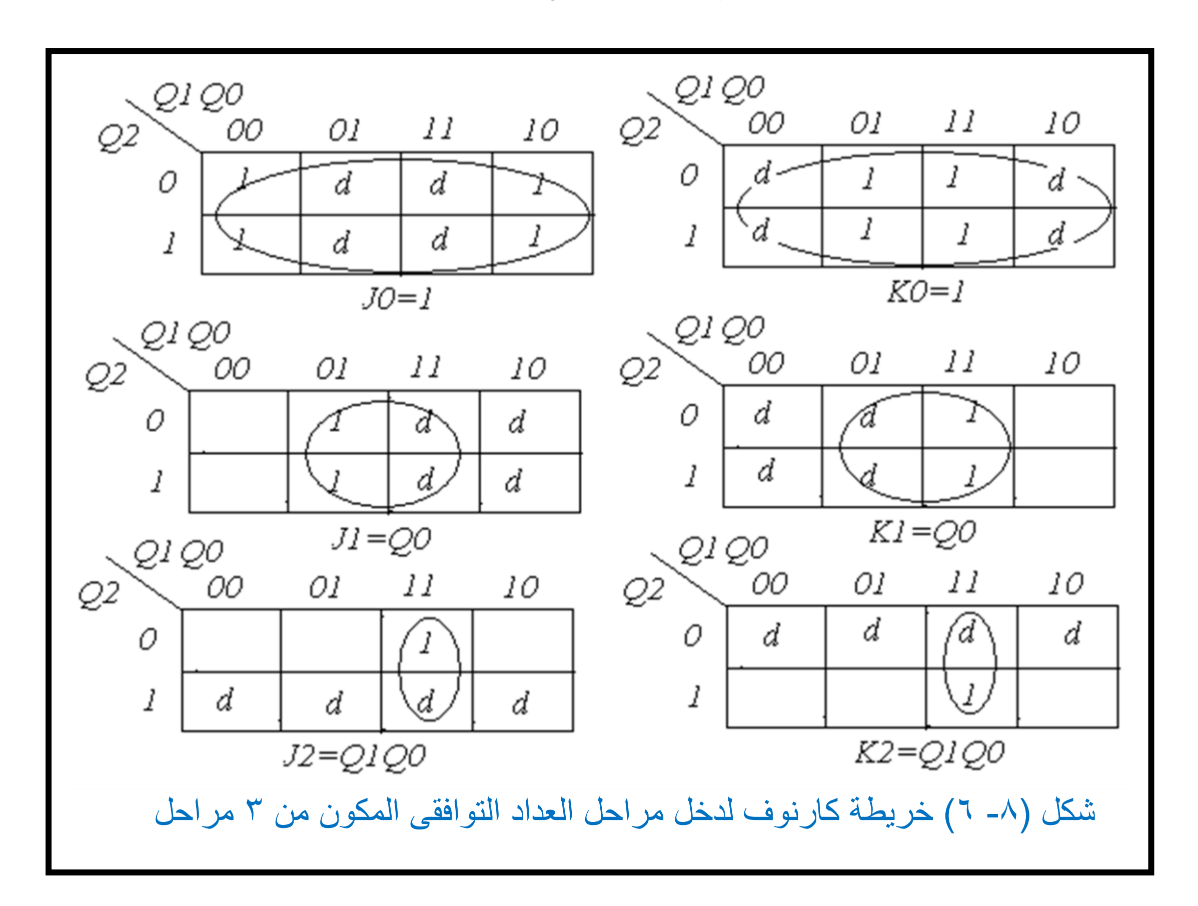
الحالة الحالية			الحالة التالية			الدخل المطلوب					
Q2	Q1	Q0	Q2	Q1	Q0	J2	K2	J1	K1	J0	K0
0	0	0	0	0	1	0	d	0	d	1	d
0	0	1	0	1	0	0	d	1	d	d	1
0	1	0	0	1	1	0	d	d	0	1	d
0	1	1	1	0	0	1	d	d	1	d	1
1	0	0	1	0	1	d	0	0	d	1	d
1	0	1	1	1	0	d	0	1	d	d	1
1	1	0	1	1	1	d	0	d	0	1	d
1	1	1	0	0	0	d	1	d	1	d	1

جدول ٨-٢ جدول الحقيقة لعداد توافقى من ٣ مراحل

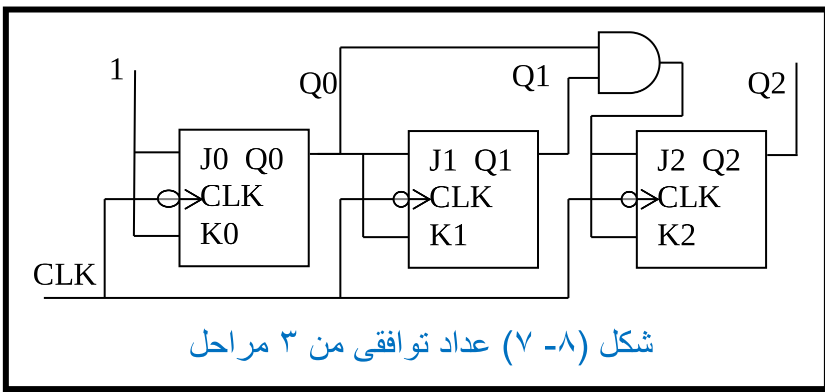
كمثال على ذلك سنصمم عداد توتفقى من ٣ مراحل. جدول ٨–٢ يبين جدول الحقيقة لهذا العداد. حاول دراسة كل حالات هذا الجدول. من جدول ٨–٢ تم عمل خريطة كارنوف لكل دخل من دخول القلابات كما فى شكل (٨–٦). الحرف d فى هذا الجدول يعنى do not care أى لا يهم أن تكون هذه الخلية أو هذا المتغير واحد أو صفر فلن تؤثر على النتيجة. فمثلا لكى نغير الخرج Q0 من صفر إلى واحد فإنه يلزم أن تكون J0=1 و K0=0 وهذا هو وضع setting أو جعل الخرج يساوى واحد كما درسنا من خواص القلاب JK. يمكن أيضا تغيير الخرج Q0 من صفر إلى واحد بجعل كل من J0=1 و K0=1 حيث سيحدث انقلاب للخرج من صفر إلى واحد. نلاحظ من ذلك أنه لتغيير الخرج Q0 من صفر إلى واحد فلابد أن تكون J0=1 وأما K0 فلا يهم أن تكون صفر أو واحد ولذلك نعطيها الحرف d. الخلايا التى يكون فيها الحرف d فى خريطة كارنوف تكون مفيدة جدا فى عملية التبسيط حيث فى هذه الحالة فإننا نضع d بالقيمة التى تساعدنا فى الحصول على تبسيط أكثر. فإذا كانت الخلية التى تحتوى على الحرف d مجاورة لخلية أو خلايا بها واحايد (كما فى خريطة J0 و K0 فى شكل (٨– ٦)) فإننا نضع d=1 حتى نأخذه مع الخلايا المجاورة فنحصل على تبسيط أكثر. فى خريطة J0 و K0 وضعنا كل الأحرف d=1 فحصلنا على أكبر تبسيط وهو J0=K0=1. بينما فى حالة J2 و K2 فقد وضعنا خلية واحدة فقط من الخلايا d=1 وباقى الخلايا وضعناها أصفارا حتى لا تكلفنا كميات أخرى وتعقد المعادلة فى هذه الحالة ولا تبسطها.

شكل (٨– ٧) يبين الدائرة الكاملة للعداد التوافقى المكون من ٣ مراحل. لو اتبعنا نفس طريقة التصميم للعدادات المكونة من ٤ و ٥ وأى عدد من المراحل سنجد أن عملية التصميم سهلة ومتكررة حيث سنجد أن كل من الدخلين J و K

لأى مرحلة يوصلان على خرج بوابة آند دخليها هما خرج المرحلة السابقة لهذه المرحلة وخرج الآند السابقة كما فى شكل (٨-٨) الذى يبين الدائرة الكاملة لعداد توافقى من خمسة مراحل.



شكل (٨- ٦) خريطة كارنوف لدخل مراحل العداد التوافقى المكون من ٣ مراحل

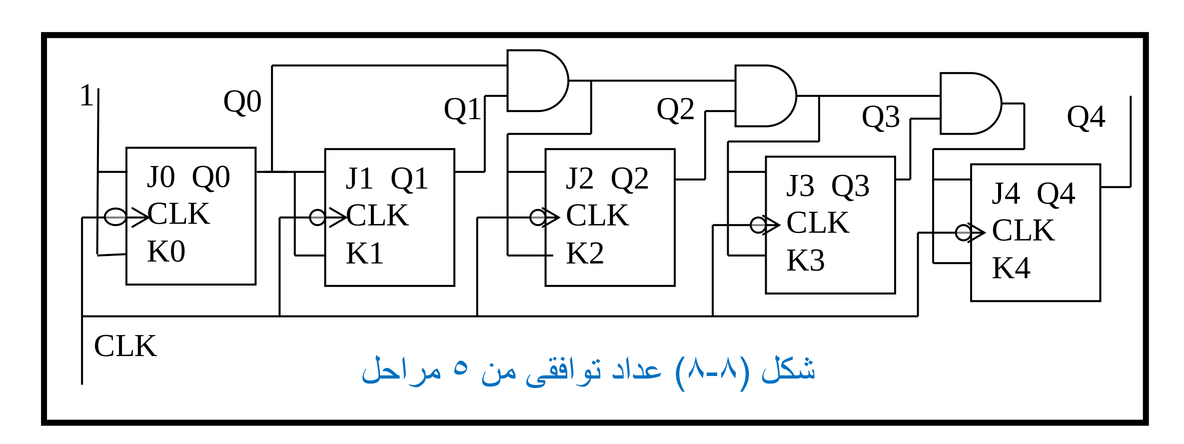


شكل (٨- ٧) عداد توافقى من ٣ مراحل

إن أكبر زمن تأخير يمكن أن يحدث من هذا العداد هو عندما يكون خرجه هو 01111 حيث فى هذه الحالة سيكون خرج جميع بوابات الآند يساوى صفر نتيجة وجود صفر على Q0، وبعد إعطاء النبضة التالية فإن Q0 تصبح واحد وهذا الواحد سينتشر فى كل بوابات الآند حتى يصل لآخر بوابة بعد ذلك يمكن إعطاء النبضة التالية ليقلب العداد إلى الصفر مرة ثانية. أى أن أكبر زمن تأخير يمكن أن يعطى بالمعادلة التالية لعداد مكون من n من المراحل.

$$T = (n-2)Ta + Tff. \qquad (٨-٢)$$

حيث Ta هو زمن التأخير لبوابة آند، و Tff هو زمن التأخير لقلاب واحد. لاحظ أن زمن التأخير لبوابة آند أقل بكثير من زمن التأخير للقلاب. لاحظ أيضا أن زمن التأخير للعداد التموجى كان nTff وهذا أكبر بكثير من نظيره فى العداد التوافقى كما فى المعادلة (٨- ٢).



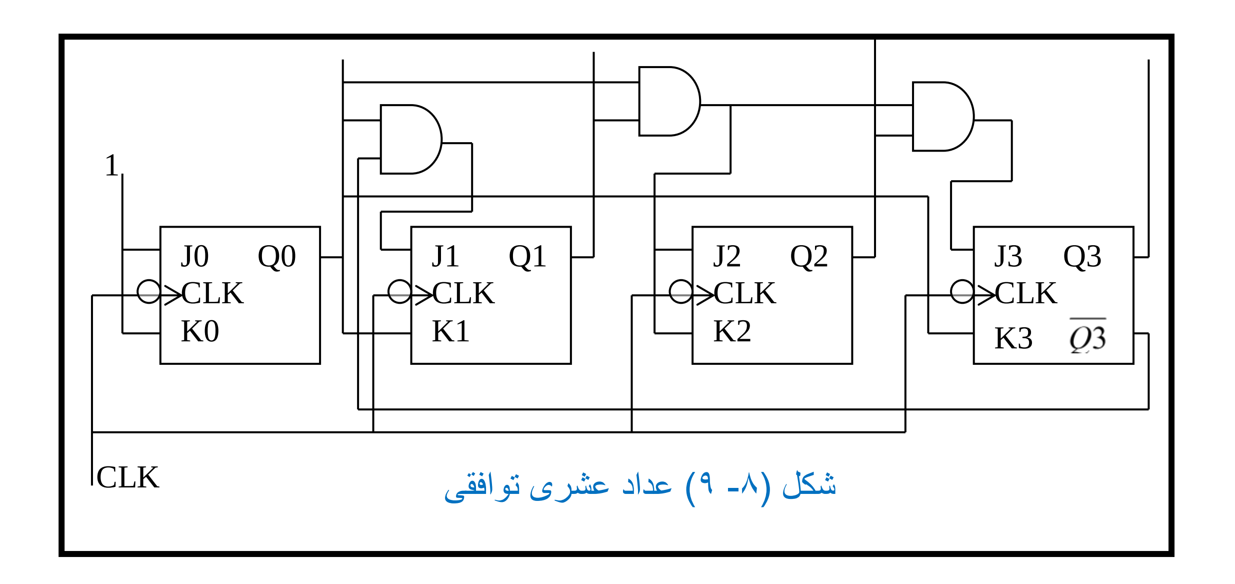
شكل (٨-٨) عداد توافقى من ٥ مراحل

بنفس الطريقة يمكن تصميم عداد توافقى لأى قاعدة. نضع جدول الحقيقة أو جدول التتابعات المطلوبة، ومنه نحصل على خريطة كارنوف لكل J و K لجميع المراحل، ثم نحصل على المعادلات المنطقية المبسطة من هذه الخرائط. ثم نبنى الدوائر المنطقية تبعا لهذه المعادلات. كمثال على ذلك فإن جدول ٨-٣ يبين جدول التتابعات للعداد العشرى، وشكل (٨- ٩) يبين الدائرة المنطقية الناتجة بعد عمليات التبسيط باستخدام خرائط كارنوف التى أعطت المعادلات المنطقية المبسطة التالية:

$J0=K0=1,\ J1=\overline{Q3}\,Q0,\quad K1=Q0,\quad J2=K2=Q1Q0,\quad J3=Q2Q1Q0,\quad K3=Q$

	Q3	Q2	Q1	Q0	Q3	Q2	Q1	Q0	J3	K3	J2	K2	J1	K1	J0	K0
0	0	0	0	0	0	0	0	1	0	d	0	d	0	d	1	d
1	0	0	0	1	0	0	1	0	0	d	0	d	1	d	d	1
2	0	0	1	0	0	0	1	1	0	d	0	d	d	0	1	d
3	0	0	1	1	0	1	0	0	0	d	1	d	d	1	d	1
4	0	1	0	0	0	1	0	1	0	d	d	0	0	d	1	d
5	0	1	0	1	0	1	1	0	0	d	d	0	1	d	d	1
6	0	1	1	0	0	1	1	1	0	d	d	0	d	0	1	d
7	0	1	1	1	1	0	0	0	1	d	d	1	d	1	d	1
8	1	0	0	0	1	0	0	1	d	0	0	d	0	d	1	d
9	1	0	0	1	0	0	0	0	d	1	0	d	0	d	d	1
10	1	0	1	0	d	d	d	d	d	d	d	d	d	d	d	d
11	1	0	1	1	d	d	d	d	d	d	d	d	d	d	d	d
12	1	1	0	0	d	d	d	d	d	d	d	d	d	d	d	d
13	1	1	0	1	d	d	d	d	d	d	d	d	d	d	d	d
14	1	1	1	0	d	d	d	d	d	d	d	d	d	d	d	d
15	1	1	1	1	d	d	d	d	d	d	d	d	d	d	d	d

جدول ٨-٣ جدول الحقيقة لعداد عشرى توافقى



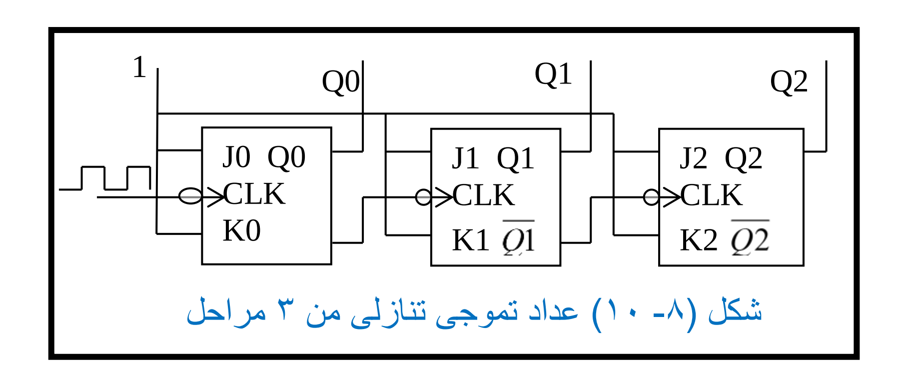
شكل (٨- ٩) عداد عشرى توافقى

٨-٥ العدادات التنازلية Down Counters

	Q2	Q1	Q0
0	0	0	0
1	1	1	1
2	1	1	0
3	1	0	1
4	1	0	0
5	0	1	1
6	0	1	0
7	0	0	1
8	0	0	0

جدول ٨-٤خرج عداد تموجى تنازلى من ٣ مراحل

بتعديل بسيط فى العداد التموجى التصاعدى يمكن أن نحصل على عداد تنازلى. العداد التنازلى هو الذى يعد ابتداء من أعلى قيمة له متجها إلى أقل قيمة وهى الصفر. شكل (٨- ١٠) يبين دائرة لعداد من هذا النوع مكون من ثلاث مراحل. كل ما تم عمله فى هذه الدائرة أننا جعلنا الخرج المعكوس لكل مرحلة $\overline{Q}$ هو المستخدم كنبضات تزامن للمرحلة التالية. مع فرض أن جميع المراحل كانت أصفارا فى البداية، فإنه مع أول نبضة تزامن للمرحلة الأولى يتغير خرجها Q0 من صفر إلى واحد وبالتالى فإن خرجها المعكوس $\overline{Q0}$ يتغير من واحد إلى الصفر، وهذا يسبب تغير خرج المرحلة الثانية Q1 من صفر إلى الواحد، وبالتالى خرجها المعكوس $\overline{Q1}$ يتغير هو التالى من واحد إلى الصفر، وهكذا فإنه مع أول نبضة تزامن ينقلب خرج جميع المراحل من صفر إلى واحد. بعد ذلك يستمر العداد فى عملية العد التنازلى كما فى جدول ٨-٤ الذى يبين حالات هذا العداد.

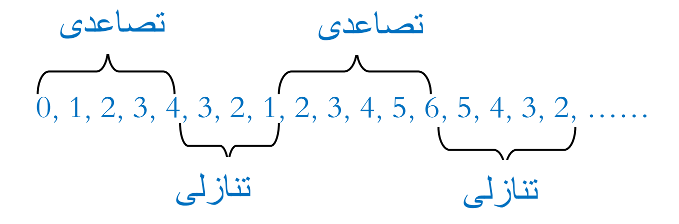


شكل (٨- ١٠) عداد تموجى تنازلى من ٣ مراحل

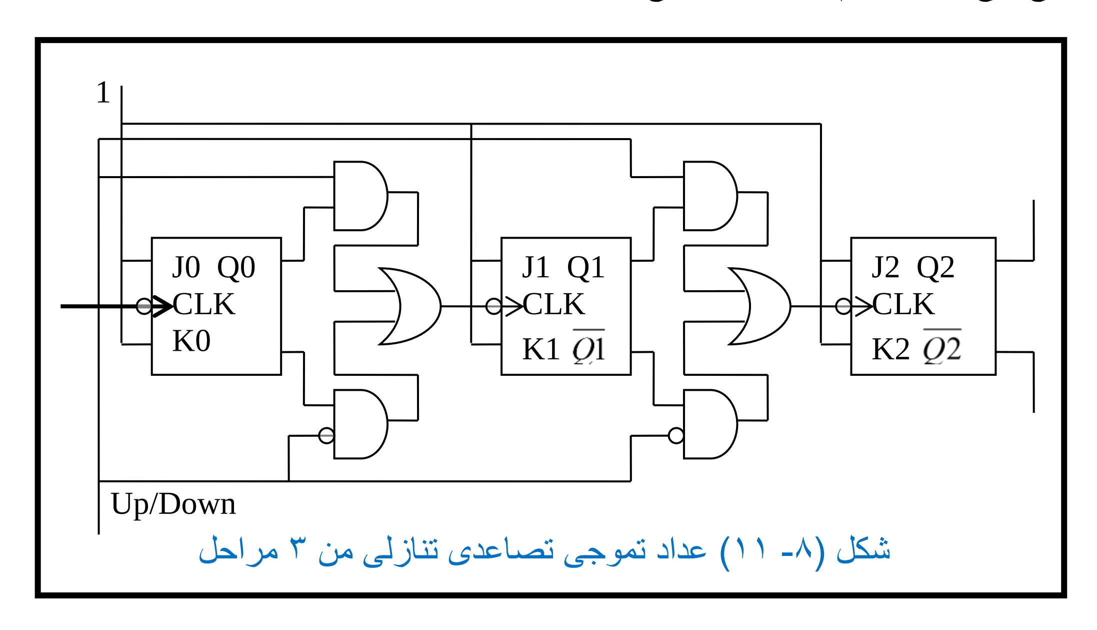
٨-٦ العدادات التصاعدية التنازلية

Up/Down Counter

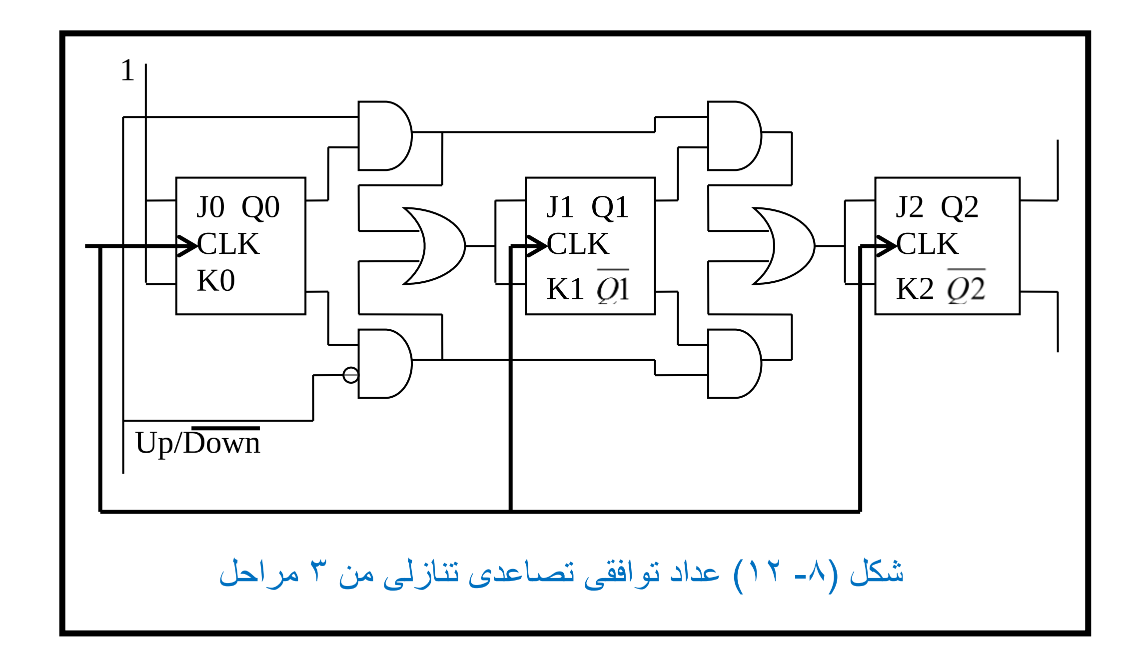
هذا العداد لديه المقدرة على أن يعد فى كلا الاتجاهين، التصاعدى أو التنازلى. لذلك فأحيانا يطلق عليه ثنائى الاتجاه. عملية الانتقال من اتجاه معين للعد إلى الاتجاه الآخر تتم عن طريق خط تحكم بحيث عندما يكون هذا الخط يساوى واحد فإن العداد يعد تصاعديا، وعندما يكون خط التحكم صفرا فإن العداد يعد تنازليا. عملية التحول من اتجاه لآخر يمكن أن تتم عند أى لحظة، أى أنه ليس بالضرورة أن يستمر العداد فى اتجاه معين حتى يصل إلى نهايته حتى يسمح بتغيير الاتجاه. لذلك يمكن كتابة تتابعات الدخل كما يلى:



واضح أنه لكى يعمل العداد فى الاتجاه التصاعدى فعلينا بإمرار خرج أى مرحلة سابقة كنبضات تزامن للمرحلة التالية، ولكى يعمل كعداد تنازلى فعلينا بإمرار معكوس خرج كل مرحلة كنبضات تزامن للمرحلة التالية. شكل (٨- ١١) يبين دائرة عداد تصاعدى تنازلى من النوع التموجى مكونة من ثلاث مراحل. شكل (٨- ١٢) يبين دائرة عداد تصاعدى تنازلى من النوع التوافقى ومكونة من ثلاث مراحل أيضا ويمكن تعميمها لأى عدد من المراحل. حاول تتبع هذه الدائرة واستنتاج جميع حالاتها وارسم المخطط الزمنى لخرج كل مرحلة من مراحل هذا العداد.



شكل (٨- ١١) عداد تموجى تصاعدى تنازلى من ٣ مراحل



شكل (٨- ١٢) عداد توافقى تصاعدى تنازلى من ٣ مراحل

٨-٧ الشريحة 7490 عداد عشرى تموجى

تتكون هذه الشريحة من ٤ قلابات من النوع السيد والتابع موصلة داخليا فى جزأين. الجزء الأول عبارة عن عداد ثنائى (أى قاسم على ٢)، والجزء الثانى عبارة عن عداد خماسى (أى قاسم على ٥). كل جزء له مدخل خاص بنبضات الساعة. الدخل CLK0 هو طرف التزامن الخاص بالعداد الثنائى، والطرف CLK1 هو طرف التزامن الخاص بالعداد الخماسى. بتوصيل الجزأين مع بعضهما تحصل على عداد عشرى (أى قاسم على ١٠). الجزء الخماسى فى العداد موصلا توصيلا تموجيا ويغير حالته على الحافة النازلة لنبضات الساعة. هناك طرفى تصفير MR1 و MR2 بحيث يتم تصفير كل مراحل العداد عندما يكون كل من هذين الطرفين يساوى واحد فى نفس الوقت لأن الدخلين يدخلان على بوابة آند موجودة داخل الشريحة. هناك أيضا الطرفان MS1 و MS2 اللذان يجعلان الخرج يساوى تسعة (آخر حالة فى العداد) عندما يكون كل من الخطين يساوى واحد أيضا فى نفس الوقت لأن الدخلين يدخلان على بوابة آند داخل الشريحة. الشريحة لها ٤ أطراف للخرج تظهر عليها حالات العداد. الطرفان ١٣ و ٤ فى الشريحة غير موصلان Not Connected, NC أى لا يحملان أى إشارة سواء كدخل أو خرج من الشريحة. الشريحة لها ١٤ طرف، الطرف ٥ هو طرف القدرة Vcc والطرف ١٠ هو الأرضى GND. التردد الأقصى لهذا العداد هو ٣٠ ميجاهرتز. فى حالة الشريحة 74ls90 فإن هذا التردد يصل إلى ٤٢ ميجاهرتز. تيار مصدر القدرة لهذه الشريحة يساوى

شكل (٨- ١٣) الرسم المنطقى للشريحة 7490

٣٠ ميللى أمبير و ٩ ميللى أمبير للشريحة 74ls90. شكل (٨- ١٣) يبين الرسم المنطقى لهذه الشريحة وجدول ٨-٥ يوضح جدول الحقيقة لها. الإشارة X فى جدول الحقيقة تعنى لا يهم أن يكون هذا الطرف واحد أو صفر.

خطوط التحكم				الخرج			
MR1	MR2	MS1	MS2	Q0	Q1	Q2	Q3
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
L	X	L	X	Count			
X	L	X	L	Count			
L	X	X	L	Count			
H	L	L	X	Count			

جدول ٨-٥ جدول الحقيقة للشريحة 7490

٨-٨ الشريحة 7492 عداد تموجى قاسم على ١٢

تتكون هذه الشريحة من ٤ قلابات من النوع السيد والتابع موصلة داخليا فى جزأين. الجزء الأول عبارة عن عداد ثنائى (أى قاسم على ٢)، والجزء الثانى عبارة عن عداد سداسى (أى قاسم على ٦). كل جزء له مدخل خاص بنبضات الساعة. الدخل CLK0 هو طرف التزامن الخاص بالعداد الثنائى، والطرف CLK1 هو طرف التزامن الخاص بالعداد السداسى. بتوصيل الجزأين مع بعضهما تحصل على عداد يعد إلى ١٢ (أى قاسم على ١٢). العداد موصل توصيلا تموجيا ويغير حالته على الحافة النازلة لنبضات الساعة. هناك طرفى تصفير MR1 و MR2 بحيث يتم تصفير كل مراحل العداد عندما يكون كل من هذين الطرفين يساوى واحد فى نفس الوقت لأن الدخلين يدخلان على بوابة آند داخل الشريحة. الشريحة لها ٤ أطراف للخرج تظهر عليها حالات العداد. الأطراف ٢ و ٣ و ٤ و ١٣ فى الشريحة غير موصلة Not Connected, NC أى لا تحمل أى إشارة سواء كدخل أو خرج من الشريحة. الشريحة لها ١٤

شكل (٨- ١٤) الرسم المنطقى للشريحة 7492

خطوط التحكم		الخرج			
MR1	MR2	Q0	Q1	Q2	Q3
H	H	L	L	L	L
L	H	Count			
H	L	Count			
L	L	Count			

جدول ٨-٦ جدول حقيقة الشريحة 7492

طرف، الطرف ٥ هو طرف القدرة Vcc والطرف ١٠ هو الأرضى GND. التردد الأقصى لهذا العداد هو ٢٨ ميجاهرتز. فى حالة الشريحة 74ls90 فإن هذا التردد يصل إلى ٤٢ ميجاهرتز. تيار القدرة لهذه الشريحة يساوى ٢٨ ميللى أمبير و ٩ ميللى أمبير فى حالة الشريحة 74ls90. شكل (٨– ١٤) يبين الرسم المنطقى لهذه الشريحة وجدول ٨–٦ يوضح جدول الحقيقة لها.

٨–٩ الشريحة 7493 عداد تموجى ٤ مراحل

تتكون هذه الشريحة من ٤ قلابات من النوع السيد والتابع موصلة داخليا فى جزأين. الجزء الأول عبارة عن عداد ثنائى (أى قاسم على ٢)، والجزء الثانى عبارة عن عداد ثمانى (قاسم على ٨). كل جزء له مدخل خاص بنبضات الساعة. الدخل CLK0 هو طرف التزامن الخاص بالعداد الثنائى، والطرف CLK1 هو طرف التزامن الخاص بالعداد الثمانى. بتوصيل الجزأين مع بعضهما تحصل على عداد ستعشرى (قاسم على ١٦). الجزء الثمانى فى العداد موصلا توصيلا تموجيا ويغير حالته على الحافة النازلة لنبضات الساعة. هناك طرفى تصفير MR1 و MR2 بحيث يتم تصفير كل مراحل العداد عندما يكون كل من هذين الطرفين يساوى واحد فى نفس الوقت لأن الدخلين يدخلان على بوابة آند موجودة داخل الشريحة. الشريحة لها ٤ أطراف للخرج تظهر عليها حالات العداد. الأطراف ٤ و ٦ و ٧ و ١٣ فى الشريحة غير موصلان Not Connected, NC أى لا يحملان أى إشارة سواء كدخل أو خرج من الشريحة. الشريحة لها ١٤ طرف، الطرف ٥ هو طرف القدرة Vcc والطرف ١٠ هو الأرضى GND. أقصى تردد لهذا العداد هو ٤٠ ميجاهرتز. فى حالة الشريحة 74ls90 فإن هذا التردد يصل إلى ٤٢ ميجاهرتز. تيار القدرة لهذه الشريحة يساوى ٢٨ ميللى أمبير و ٩ ميللى أمبير فى حالة الشريحة 74ls90. شكل (٨– ١٥) يبين الرسم المنطقى لهذه الشريحة وجدول ٨–٧ يوضح جدول الحقيقة لها. لاحظ التشابه بين محتويات الشرائح الثلاثة السابقة.

شكل (٨- ١٥) الرسم المنطقى للشريحة 7493

خطوط التحكم		الخرج			
MR1	MR2	Q0	Q1	Q2	Q3
H	H	L	L	L	L
L	H	Count			
H	L	Count			
L	L	Count			

جدول ٨-٧ جدول حقيقة الشريحة 7493

٨-١٠ الشرائح 74160 و 74162 عداد توافقي عشري

هذه الشرائح تتكون من ٤ قلابات موصلة داخليا لتكون عداد عشرى (قاسم على ١٠) توافقى، والشريحتان متماثلتان تماما. يمكن تحميل العداد بأى قيمة ابتدائية يبدأ العد من عندها مع أول نبضة تزامن بعد تحميل هذه القيمة بتنشيط الطرف $\overline{PE}$ بجعله يساوى صفر. عند تنشيط هذا الطرف فإن القيمة الموجودة على المداخل D0 إلى D3 تنتقل إلى الخرج المقابل حيث تبدأ عملية العد من هذه القيمة. يجب أن يكون كل من الطرفين CET و CEP يساوى واحد فى نفس الوقت حتى يعمل العداد فى الوضع الطبيعى. الخرج يتغير مع الحافة الصاعدة لنبضات التزامن CLK.

شكل (٨- ١٦) الرسم المنطقى للشريحة 74160

عند تنشيط طرف التصفير $\overline{MR}$ بجعله يساوى صفر فإن جميع المخارج تصبح أصفارا وذلك بعد أول نبضة تزامن قادمة. الطرف TC يصبح واحد لمدة نبضة تزامن واحدة قبل آخر حالة للعداد وهى الرقم ٩ (1001) حيث

	خطوط دخل وتحكم						الخرج	
	$\overline{MR}$	CLK	CEP	CET	$\overline{PE}$	Dn	Qn	TC
تصفير	L	↑	X	X	X	X	L	L
تحميل	H	↑	X	X	L	Dn	Dn	L
عد	H	↑	H	H	L	X	عد	H(9)
لا تعمل	H	X	L X	X L	H	X	لا تغيير	لا تغيير

جدول ٨-٨ طريقة تشغيل الشريحة 74160

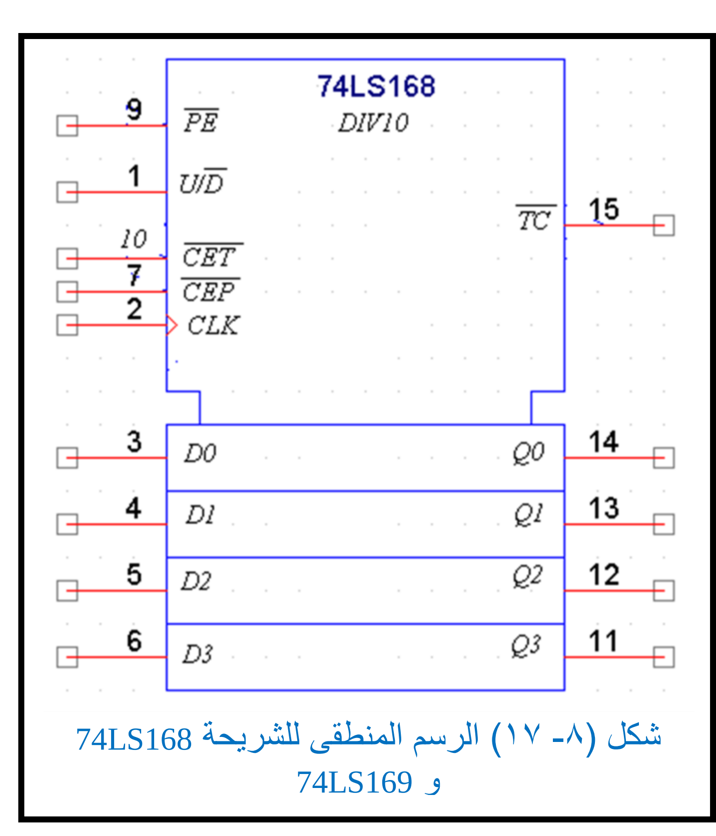
تستخدم هذه النبضة على الطرف TC كنبضات لتوصيل مراحل أخرى للحصول على عدادات أكبر. الشريحة لها ١٦ طرف، طرف القدرة Vcc هو الطرف ١٦ والأرضى هو الطرف ٨. شكل (٨- ١٦) يبين الرسم المنطقى للشريحة وجدول ٨-٨ يوضح طريقة التشغيل. أقصى تردد هو ٣٢ ميجاهرتز، وتيار القدرة يساوى ٦١ ميللى أمبير.

٨-١١ الشرائح 74161 و 74163 عدادات توافقية من ٤ مراحل

هذه الشرائح متماثلة تماما مع الشرائح السابقة 74160 و 74162 سوى أن الأربع قلابات موصلة داخليا لتعد حتى ١٥ وليس حتى ٩ كما فى العداد السابق. لذلك فإن طرف الخرج TC سيعطى نبضة هنا عند العدة الأخيرة ١٥ وليس

العدة ٩ وهذا هو الاختلاف الوحيد بين العدادين. الشرائح 74161 و 74163 متماثلة تماما من حيث الأطراف أيضا مع الشرائح السابقة، لذلك فلا حاجة لإعادة شرح هذه الشرائح.

٨-١٢ الشرائح 74LS168 و 74LS169 عدادات توافقية تصاعدية/تنازلية



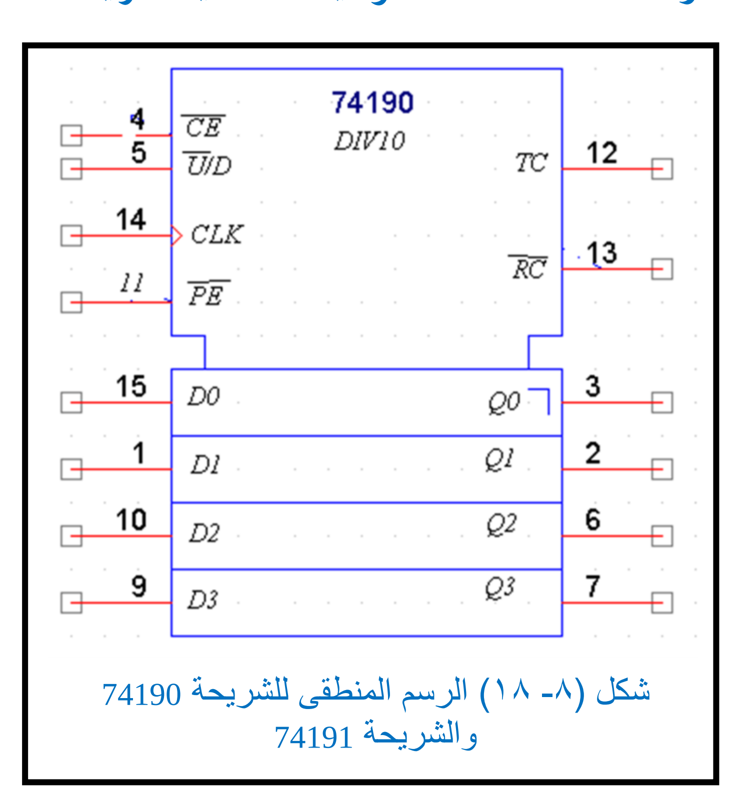
شكل (٨- ١٧) الرسم المنطقى للشريحة 74LS168 و 74LS169

الشريحة 74168 تحتوى ٤ قلابات موصلة داخليا لتعمل كعداد عشرى (قاسم على ١٠) توافقى، مع إمكانية العد التصاعدى أو التنازلى على حسب حالة الطرف $\overline{D}$ U/، فإذا كان هذا الطرف يساوى واحد فإن العداد يعد تصاعديا، وإذا وضع بصفر فالعداد يعد تنازليا. العداد من النوع التوافقى ويعمل عند الحافة الصاعدة لنبضات التزامن. يمكن تحميل العداد بأى قيمة ابتدائية يبدأ العد من عندها من خلال أطراف الدخل D0 حتى D3 ثم وضع الطرف $\overline{PE}$ بصفر، حيث عندما يصبح هذا الطرف صفر فإن الإشارة الموجودة على المداخل تنتقل إلى خرج العداد مع أول نبضة تزامن قادمة حيث يبدأ العداد عملية العد من هذه القيمة. الطرف $\overline{TC}$ يكون دائما بواحد إلا حينما يصل العداد إلى الحالة النهائية (الرقم ٩) حيث يصبح هذا الطرف صفر لمدة نبضة تزامن واحدة ثم يرجع واحد. تستخدم هذه النبضة كنبضات تزامن لمراحل تالية يمكن توصيلها على التوالى للحصول على عدادات أكبر. الطرفان $\overline{CEP}$ و $\overline{CET}$ لابد أن يكون كل منهما صفرا حتى يعمل العداد فى الوضع الطبيعى. الشريحة لها ١٦ طرف ، الطرف رقم ١٦ هو طرف القدرة Vcc والطرف رقم ٨ هو طرف الأرضى. أقصى تردد هو ٣٢ ميجاهرتز، وهناك الإصدار 74168A تردده هو ٧٠ ميجاهرتز. شكل (٨-١٧) يبين الرسم المنطقى لهذه الشريحة، وجدول ٨-٩ يبين طريقة التشغيل. الشريحة 74169 متماثلة تماما مع الشريحة 74168 فى كل شيء سوى أنها موصلة داخليا لتعد من صفر حتى ١٥ وعلى ذلك فالطرف $\overline{TC}$ سيعطى النبضة عند العدة ١٥ وليس العدة ٩ كما سبق، والأطراف متطابقة أيضا ولذلك فلا ضرورة لإعادة شرحها مرة ثانية.

	خطوط دخل وتحكم						الخرج	
	$U/\overline{D}$	CLK	$\overline{CEP}$	$\overline{CET}$	$\overline{PE}$	Dn	Qn	TC
تحميل	X	↑	X	X	L	Dn	Dn	H
عد	H L	↑	L L	L L	H H	X X	تصاعدى تنازلى	L(9,15)
لا تعمل	X	↑	H X	X H	H	X	لا تغيير	لا تغيير

جدول ٨-٩ طريقة تشغيل الشريح 741LS168 و 74LS169

٨-١٣ الشريحة 74190 و 74191 عدادات توفقية تصاعدية/تنازلية



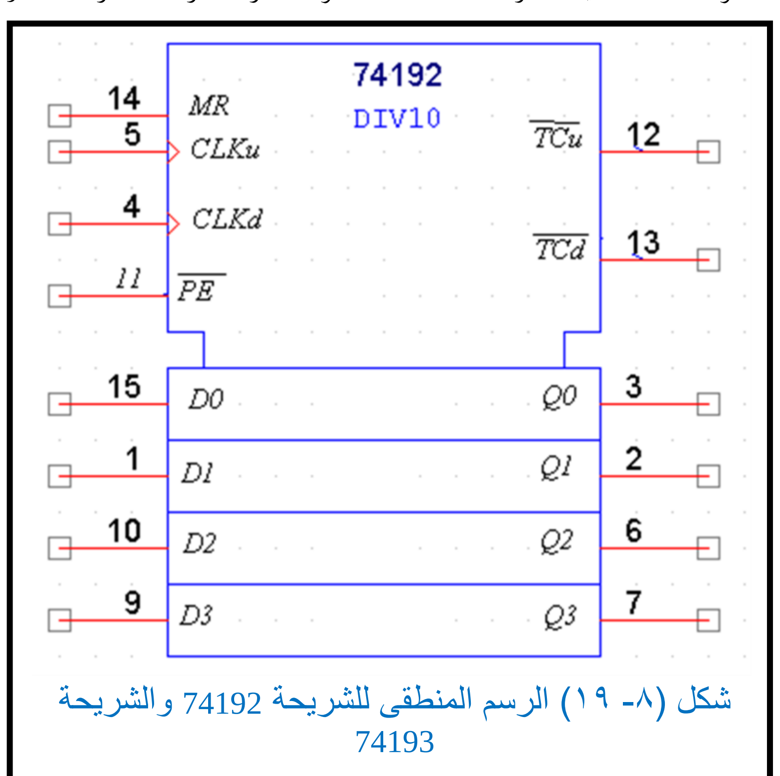
شكل (٨- ١٨) الرسم المنطقى للشريحة 74190 والشريحة 74191

الشريحة 74190 عبارة عن عداد توافقى عشرى يعد تصاعدى أو تنازلى باستخدام طرف التحكم $\overline{U}$/D، حيث عندما يكون هذا الطرف واحد فإن العداد يعد تنازلى، وإذا كان صفر فإن العداد يعد تصاعدى. يمكن بدأ العداد من أى قيمة عن طريق وضع هذه القيمة على المداخل المتوازية D0 حتى D3 وبمجرد وضع الخط $\overline{PE}$ يساوى صفر يبدأ العداد عملية العد من هذه القيمة. العداد يغير من حالته مع الحافة الصاعدة لنبضات التزامن. لكى تعمل الشريحة فى عملية العد الطبيعى لابد أن يكون الطرف $\overline{CE}$ تساوى صفر، بينما إذا كان هذا الطرف واحد فإن العداد يتجمد عند آخر وضع وصل إليه ولا يعمل. الطرف TC يكون دائما بصفر إلا إذا وصل العداد لقيمته النهائية (٩) فى حالة العد التصاعدى أو إلى القيمة صفر فى حالة العد التنازلى، حيث عندها يصبح واحد لبيان أن العداد قد وصلت قيمته إلى قيمة طرفية (عظمى أو صغرى). يجب عدم استخدام هذا الطرف كنبضات تزامن لمراحل تالية لأنه يحتوى نتوءات تسبب مشاكل مع الدوائر التالية. لذلك فقد وفرت الشريحة الطرف $\overline{RC}$ الذى يمكن استخدامه لهذا الغرض. الشريحة لها ١٦ طرفا، الطرف رقم ١٦ هو طرف القدرة Vcc بينما الطرف رقم ٨ هو الأرضى. سرعة الشريحة ٢٥ ميجاهرتز وتيار القدرة لها ٦٥ ميللى أمبير. شكل (٨- ١٨) يبين الرسم المنطقى لهذا العداد. الشريحة 74191 هى

نفسها الشريحة 74190 سوى أنها تعد حتى ١٥ وهى متطابقة معها فى الأطراف تماما مع مراعاة أن الطرف TC فى هذه الحالة يصبح واحد عند العدة ١٥ أو العدة صفر حسب اتجاه العد.

٨-١٤ الشرائح 74192 و 74193 عدادات تصاعدية/تنازلية

الشريحة 74192 عبارة عن عداد عشرى تصاعدى تنازلى من النوع التوافقى مثل الشريحة 74190 سوى أن لها طرف مخصوص CLKu لنبضات التزامن فى حالة العد التصاعدى، وطرف مخصوص آخر CLKd تدخل عليه نبضات التزامن فى حالة العد التنازلى. خرج العداد يغير حالته عند الحافة الصاعدة لنبضات التزامن سواء فى حالة العد التصاعدى أو التنازلى. عند العد التصاعدى يجب أن يكون الطرف CLKd يساوى واحد، بينما عند العد التنازلى يجب أن يكون الطرف CLKu يساوى واحد، وإلا فإن عملية العد ستكون غير منتظمة. يمكن أيضا بدأ عملية العد من أى قيمة يمكن تحميلها من على الأطراف D0 إلى D3 وذلك عند تنشيط الطرف $\overline{PE}$ بجعله يساوى صفر. الشريحة لها طرف تصفير MR يجعل جميع المخارج تساوى أصفارا عندما يكون هذا الطرف يساوى واحد. الطرف $\overline{TCu}$ يكون واحد دائما وعندما تصل الشريحة إلى الرقم ٩ فى حالة العد التصاعدى فإنه يصبح صفرا، بينما الطرف $\overline{TCd}$ فيكون واحد دائما إلى أن تصل قيمة العداد إلى الصفر فى حالة العد التنازلى فإنه يصبح صفرا تستخدم هذه الأطراف لتوصيل أكثر من مرحلة من هذه الشرائح للحصول على عداد أكبر. الشريحة لها ١٦ طرفا، الطرف رقم ١٦ هو طرف القدرة Vcc بينما الطرف رقم ٨ هو الأرضى. سرعة الشريحة ٣٢ ميجاهرتز وتيار القدرة لها ٦٥ ميللى أمبير. شكل (٨- ١٩) يبين الرسم المنطقى لهذا العداد. الشريحة 74193 هى نفسها الشريحة 74192 سوى أنها تعد حتى ١٥ وهى متطابقة معها فى الأطراف تماما مع مراعاة الحدود التى تتغير عندها الخطين $\overline{TCu}$ و $\overline{TCd}$.



شكل (٨- ١٩) الرسم المنطقى للشريحة 74192 والشريحة 74193

٨–١٥ الشريحة 74LS197 عداد تموجى ٤ مراحل

تتكون هذه الشريحة من ٤ قلابات موصلة توصيلا تموجيا على جزأين. الجزء الأول عبارة عن عداد ثنائى (قاسم على ٢) والعداد الثانى عبارة عن عداد ثمانى (أى قاسم على ٨). كل جزء له طرف نبضات التزامن الخاص به، وكلا الجزأين يغير حالته عند الحافة النازلة للنبضات. CLK0 هو طرف التزامن للعداد الثنائى، والطرف CLK1 هو طرف التزامن للعداد الثنائى. الشريحة لها طرف تصفير $\overline{MR}$ منخفض الفعالية الذى عندما يكون صفر، فإن جميع مخارج العداد تصبح أصفارا. أيضا يمكن بدأ العداد من أى قيمة يتم إدخالها من على أطراف الدخل D0 حتى D3 وذلك عند تنشيط طرف التحميل $\overline{PE}$ المنخفض الفعالية. الشريحة لها ١٤ طرفا، الطرف رقم ١٤ هو طرف القدرة Vcc بينما الطرف رقم ٧ هو الأرضى. سرعة الشريحة ٤٠ ميجاهرتز وتيار القدرة لها ١٦ ميللى أمبير. شكل (٨–٢٠) يبين الرسم المنطقى لهذا العداد، وجدول ٨–١٠ يبين طريقة تشغيله.

شكل (٨- ٢٠) الرسم المنطقى للشريحة 74LS197

	الدخل				الخرج
	$\overline{MR}$	$\overline{PE}$	CLK	Dn	Qn
تصفير	L	X	X	X	L
تحميل	H	L	X	L	L
	H	L	X	H	H
عد	H	H	↓	X	عد

جدول ٨-١٠ تشغيل العداد 74LS197

٨–١٦ الشريحة 74LS290 عداد عشرى تموجى

يتكون هذا العداد من ٤ مراحل مقسمة على جزأين، الأول قاسم على ٢ والثانى قاسم على ٥ وكل من الجزأين موصل توصيلا تموجيا باستخدام قلابات من نوع السيد والتابع. كل جزء له طرف التزامن الخاص به حيث يتم تغيير الخرج مع الحافة النازلة لهذه النبضات. هناك طرفان لتصفير الخرج MR1 و MR2 وكل منهما عالى الفعالية ولابد أن يكون كل منهما يساوى واحد فى نفس الوقت حتى يتم تصفير العداد لأنهما موصلان من خلال بوابة آند داخل الشريحة. هناك أيضا الطرفان MS1 و MS2 حيث عندما يكون كل منهما يساوى واحد فى نفس الوقت يتم وضع الخرج فى الحالة النهائية ٩ (1001). كلا الدخلين موصل من خلال بوابة آند داخل الشريحة أيضا. يمكن توصيل الجزأين للحصول على عداد عشرى. الشريحة لها ١٤ طرف، الطرف رقم ١٤ هو طرف القدرة Vcc بينما الطرف رقم ٧ هو الأرضى والطرفان

٢ و ٦ غير مستخدمين أو غير موصلين Not connected, NC. سرعة الشريحة ٤٢ ميجاهرتز وتيار القدرة لها ٩ ميللى أمبير. شكل (٨- ٢١) يبين الرسم المنطقى لهذا العداد، وجدول ٨-١١ يبين طريقة تشغيله.

٨-١٧ الشريحة 74LS293 عداد ثنائى تموجى ٤ مراحل

يتكون هذا العداد من ٤ مراحل مقسمة على جزأين ، الأول قاسم على ٢ والثانى قاسم على ٨ وكل من الجزأين موصل توصيلا تموجيا باستخدام قلابات من نوع السيد والتابع. كل جزء له طرف التزامن الخاص به حيث يتم تغيير الخرج مع الحافة النازلة لهذه النبضات. هناك طرفان لتصفير الخرج MR1 و MR2 وكل منهما عالى الفعالية ولابد أن يكون كل منهما يساوى واحد فى نفس الوقت حتى يتم تصفير العداد لأنهما موصلان من خلال بوابة آند داخل الشريحة. الشريحة لها ١٤ طرفا، الطرف رقم ١٤ هو طرف القدرة Vcc بينما الطرف رقم ٧ هو الأرضى والأطراف ١ و ٢ و ٣ و ٦ غير موصوة أو غير مستخدمه Not connected, NC. سرعة الشريحة ٤٢ ميجاهرتز وتيار القدرة لها ٩ ميللى أمبير. شكل (٨- ٢٢) يبين الرسم المنطقى لهذا العداد، وجدول ٨-١٢ يبين طريقة تشغيله.

شكل (٨- ٢١) للشريحة 74LS290

الدخل				الخرج			
MR1	MR2	MS1	MS2	Q3	Q2	Q1	Q0
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
L	X	L	X	عداد			
X	L	X	L				
L	X	X	L				
X	L	L	X				

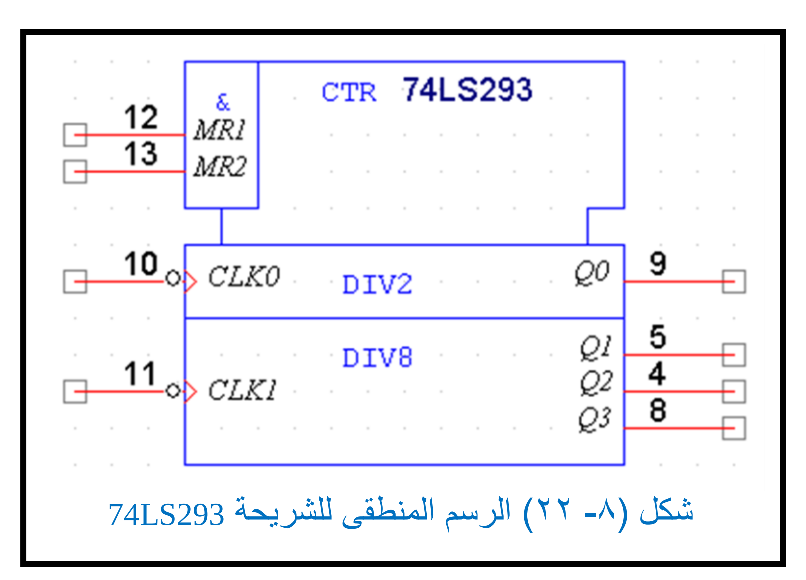
جدول ٨-١١ تشغيل العداد 74LS290

الدخل		الخرج			
MR1	MR2	Q3	Q2	Q1	Q0
H	H	L	L	L	L
H	L	عداد			
L	H				
L	L				

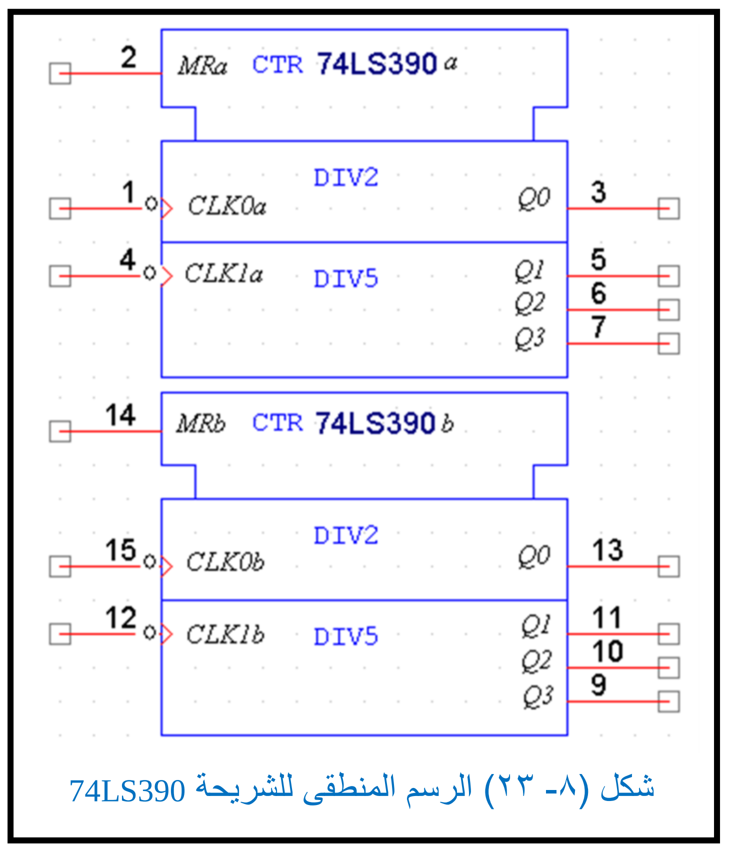
جدول ٨-١٢ تشغيل العداد 74LS293

٨–١٨ الشريحة 74LS390 عدادان عشريان تموجيان

تحتوى هذه الشريحة على عدادين كل منهما مكون من جزأين، الأول مرحلة واحدة قاسم على ٢، والثانى ٣ مراحل موصلة كعداد خماسى (قاسم على ٥). أى أن هذه الشريحة تحتوى ٤ أجزاء، اثنان كل منهما مرحلة واحدة تعمل كعداد ثنائى، واثنان كل منهما ٣ مراحل موصلة كعداد خماسى. لذلك فإنه يمكن توصيل أجزاء هذه الشريحة للحصول قاسم (عداد) على: ٢ و ٤ و ٥ و ١٠ و ٢٠ و ٢٥ و ٥٠ و ١٠٠. كل جزء من أجزاء الشريحة له طرف خاص بنبضات التزامن حيث يغير كل عداد من حالته مع الحافة النازلة للنبضات. كل عداد فى الشريحة له طرف تصفير MR خاص به يصفر جميع المخارج الخاصة بهذا العداد عندما يكون واحد. الشريحة لها ١٦ طرف، الطرف رقم ١٦ هو طرف القدرة Vcc بينما الطرف رقم ٨ هو الأرضى. سرعة الشريحة ٥٥ ميجاهرتز وتيار القدرة لها ١٥ مللى أمبير. شكل (٨– ٢٣) يبين الرسم المنطقى لهذا العداد.



شكل (٨- ٢٢) الرسم المنطقى للشريحة 74LS293



شكل (٨- ٢٣) الرسم المنطقى للشريحة 74LS390

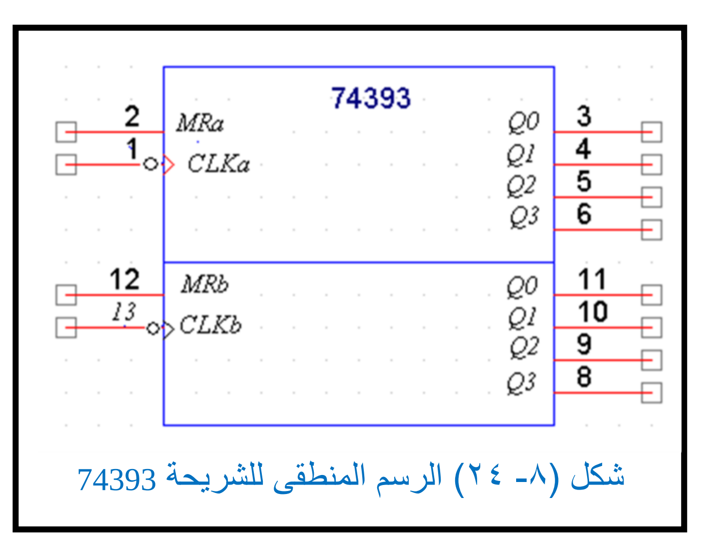
٨–١٩ الشريحة 74LS393 عدادان ثنائيان تموجيان كل منهما ٤ مراحل

تتكون هذه الشريحة من عدادان كل منهما مكون من ٤ مراحل موصلة داخليا كعداد تموجى ثنائى ستعشرى (قاسم على ١٦). كل عداد له طرف تزامن خاص به، وكل عداد يغير حالته مع الحافة النازلة لنبضات التزامن. كل عداد أيضا له طرف تصفير عالى الفعالية خاص به يصفر جميع مخارجه عندما يكون واحد. الشريحة لها ١٤ طرفا، الطرف رقم ١٤ هو

طرف القدرة Vcc بينما الطرف رقم ٧ هو الأرضى. سرعة الشريحة ٣٥ ميجاهرتز وتيار القدرة لها ١٥ ميللى أمبير. شكل (٨- ٢٤) يبين الرسم المنطقى لهذا العداد.

٨- ٢٠ تطبيقات العدادات

٨-٢٠-١ الساعة الرقمية



شكل (٨- ٢٤) الرسم المنطقى للشريحة 74393

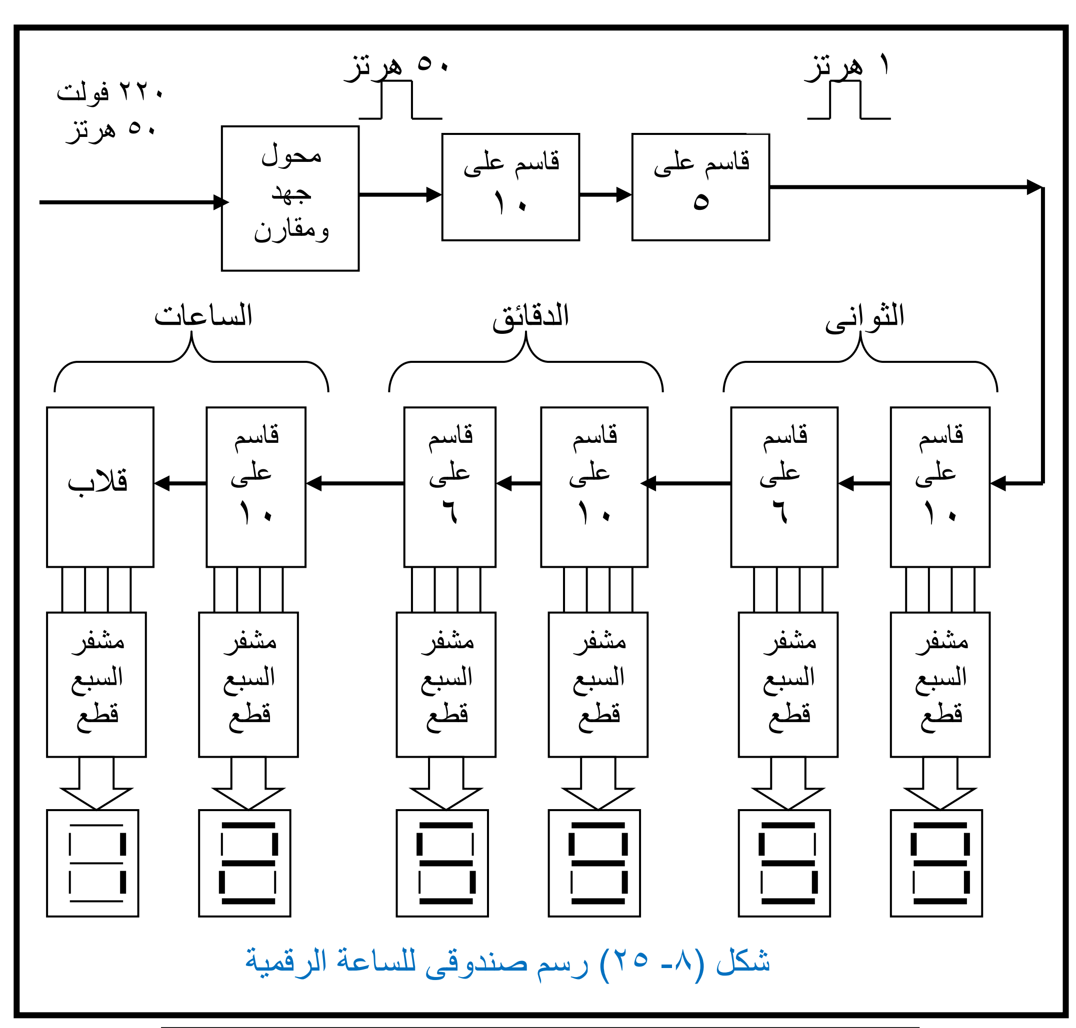
من أشهر تطبيقات العدادات الساعة الرقمية. تتركز فكرة الساعة الرقمية على وجود نبضات ترددها ا هرتز (١ نبضة فى الثانية). هناك أكثر من طريقة يمكن بها الحصول على هذه النبضات. أول هذه الطرق هو عن طريق استخدام مذبذب بتردد عالى جدا ١٠ ميجاهرتز مثلا ثم نمرر إشارة هذا المذبذب على عدة مراحل للقسمة على ١٠ مثلا حتى يصل التردد إلى ١ هرتز حيث يمكن استخدامه كدخل للساعة. الهدف من وجود مذبذب بتردد عالى ثم إجراء عمليات القسمة هو الحصول على دقة عالية للساعة لأنه من الصعب جدا تصميم مذبذب بالمكونات الإلكترونية العادية بدقة معقولة. الطريقة الثانية للحصول على نبضات بتردد ١ هرتز بدقة جيدة جدا هو عن طريق استخدام إشارة من خط القدرة المنزلى ذو التردد ٥٠ هرتز أو ٦٠ هرتز فى بعض البلدان. سنحتاج فى البداية لمحول ٢٢٠ إلى ٥ فولت ثم مقارن (أحد إصدارات مكبر العمليات) لتحويل الموجة الجيبية إلى مربعة بمقدار حوالى ٥ فولت. بعد ذلك نقوم بقسمة تردد هذه الموجة على ٥٠ أو ٦٠ باستخدام أحد شرائح العدادات التى شرحناها. بذلك نكون قد حصلنا على إشارة مربعة بتردد ١ هرتز ومقدار ٥ فولت جاهزة للاستخدام لتشغيل الساعة. شكل (٨- ٢٥) يبين رسما صندوقيا كاملا لمحتويات الساعة فى حالة الحصول على نبضات التزامن بالطريقة الثانية، أى من إشارة خط القدرة المنزلى. لاحظ وجود ٤ مراحل فى هذا الشكل وهى كالتالى:

١- مرحلة تهيئة الإشارة للحصول على إشارة ذات تردد ١ هرتز باستخدام قاسم على ٥٠ الذى يتكون من مرحلتين، مرحلة قسمة على ١٠ (عداد عشرى) ومرحلة قسمة على ٥. ونحن نرشح استخدام الشريحة ٧٤١٦٠ للاستخدام كعداد عشرى كما فى شكل (٨- ٢٦) ، وهى نفسها أيضا باستخدام مشفر للرقم ٥ يصفر الشريحة عند الرقم ٥ كما فى شكل (٨- ٢٧) الذى يبين تشفير الرقم ٦ باستخدام بوابة ناند تم توصيل خرجها لعمل تصفير للعداد من الطرف MR المنخفض الفعالية.

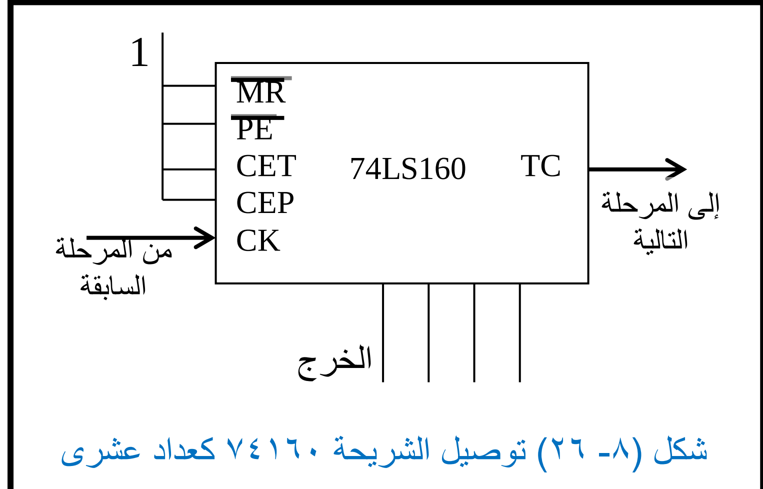
٢- يتم إدخال الإشارة ذات التردد ١ هرتز على قاسم على ٦٠ مكون من مرحلتين من الشريحة ٧٤١٦٠. المرحلة الأولى قاسم على ١٠ كما فى شكل (٨- ٢٦) وخرجها يمثل آحاد الثوانى، والمرحلة الثانية قاسم على ٦ كما فى شكل (٨- ٢٧) وخرجها يمثل عشرات الثوانى.

٣- يتم تكرار الخطوة ٢ للحصول على عداد الدقائق كما فى شكلى (٨- ٢٦و ٨- ٢٧).

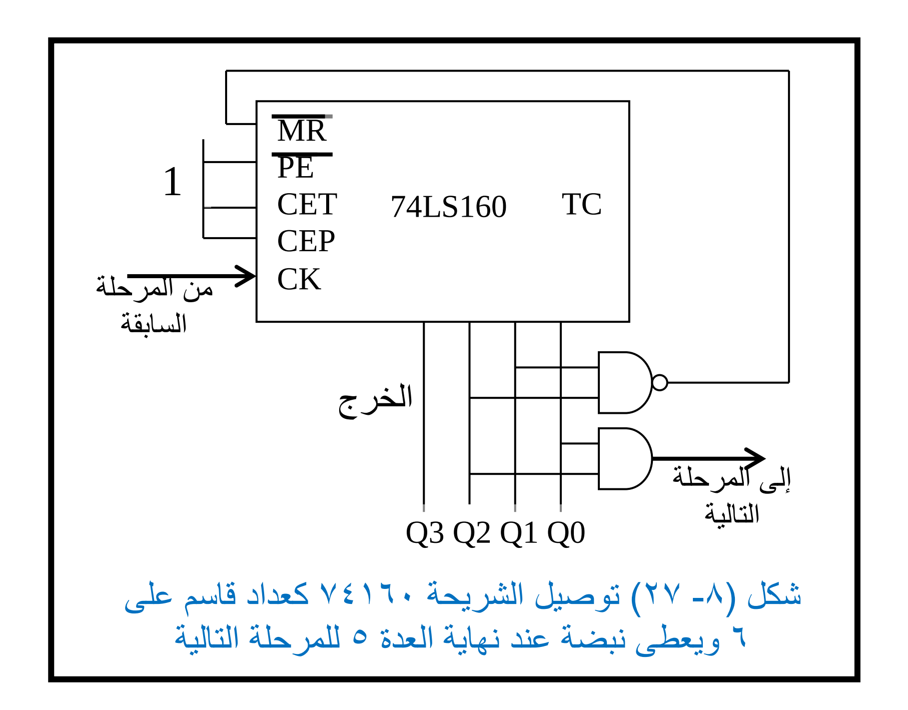
٤- بالنسبة لمرحلة عداد الساعات فإنها تتكون من عداد عشرى كما فى شكل (٨- ٢٦) لخانة الآحاد. خانة العشرات فى الساعات عبارة عن قلاب فقط لأنه فى هذه المرحلة مطلوب العد حتى الساعة ١٢ وبعدها يقلب إلى الساعة واحدة. شكل (٨- ٢٨) يوضح كيفية توصيل الشريحة ٧٤١٦٠ والقلاب للحصول على مرحلة الساعات.



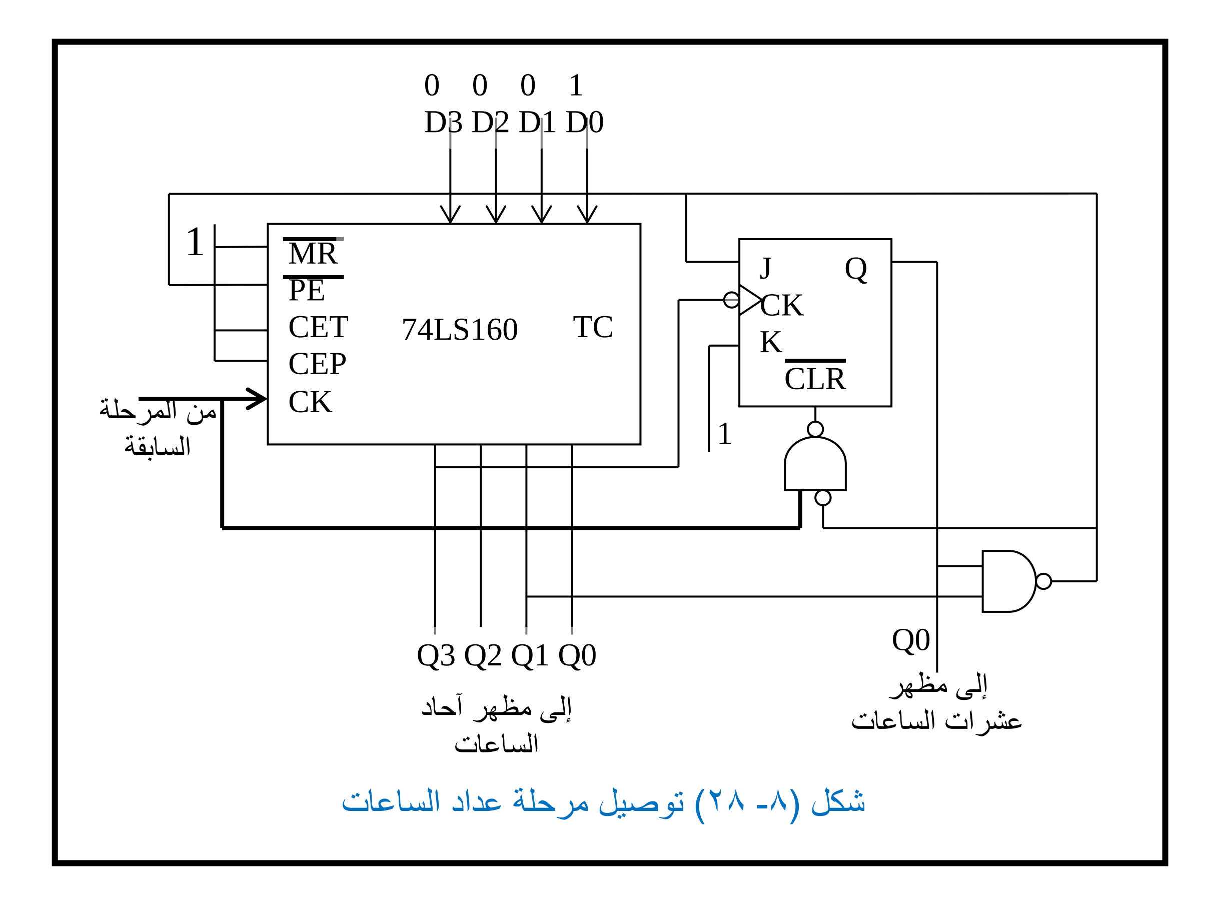
شكل (٨- ٢٥) رسم صندوقى للساعة الرقمية



شكل (٨- ٢٦) توصيل الشريحة ٧٤١٦٠ كعداد عشرى



شكل (٨- ٢٧) توصيل الشريحة ٧٤١٦٠ كعداد قاسم على ٦ ويعطى نبضة عند نهاية العدة ٥ للمرحلة التالية

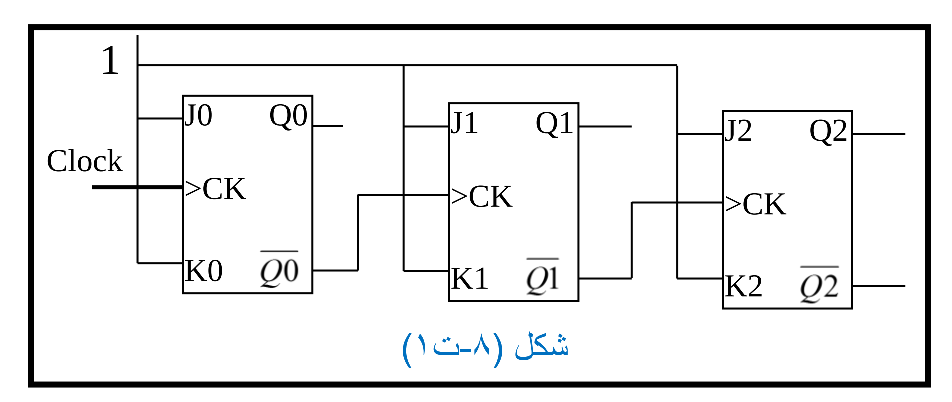


شكل (٨- ٢٨) توصيل مرحلة عداد الساعات

٨-٢١ تمارين

١- ارسم المخطط الزمنى للعداد التم وجى الموضح فى شكل (٨-ت١).

٢- افترض أن زمن الانتشار لكل قلاب فى تمرين ١ يساوى ٨ نانوثانية، احسب زمن الانتشار الكلى للعداد، وأقصى تردد يعمل عنده هذا العداد.



شكل (٨-ت١)

٣- صمم عداد بالقاعدة التالية (عدد الحالات): ٩ و ١١ و ١٣ و ١٤ و ٢٥ و ٥٠. العدادات من النوع التموجى.

٤- اقترح شرائح حقيقية للاستخدام فى تمرين ٣.

٥- أعد التمرين رقم ٢ إذا كان العداد من النوع التوافقى.

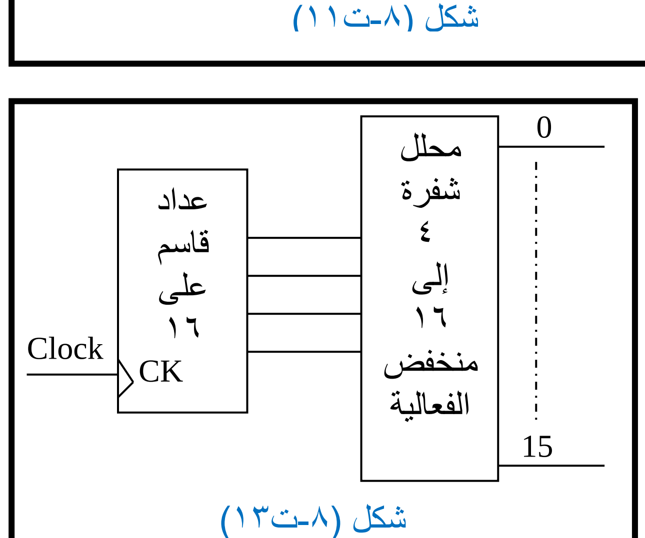
٦- صمم عداد توفقى من سبعة مراحل وارسم المخطط الزمنى لجميع مراحله.

٧- أعد التمرين رقم ٣ ولكن على عدادات من النوع التوافقى.

٨- استخدم نفس طريقة تصميم العدادات التوافقية فى تصميم عداد للتابع التالى: 00 ثم 10 ثم 11 ثم 00 وهكذا إلى مالانهاية. استخدم قلابات JK.

٩- أعد التمرين ٨ ولكن للتابع التالى: 0 ثم 9 ثم 1 ثم 8 ثم 2 ثم 7 ثم 3 ثم 6 ثم 4 ثم 5 ثم 0 وهكذا إلى مالا نهاية.

شكل (٨-ت١١)



شكل (٨-ت١٣)

١٠-صمم عداد تصاعدى تنازلى من النوع التموجى مكون من ٤ مراحل. ارسم المخطط الزمنى على كل المخارج وعلى خط التحكم U/D أثناء مرور العداد بالتتابع التالى:

0, 1, 2, 3, 4, 5, 4, 3, 2, 3, 4, 5, 6, 7, 8, 9, 8, 7, 6, 5, 4, 3, 2, 3, 4, 5, 4, 3, 2, 1

١١-حدد التتابع الناتج من العداد الموضح فى شكل (٨-ت١١).

١٢-صمم عداد ثنائى يعد حتى ١٠٠٠٠ ، وآخر يعد حتى ١٠٠٠٠٠. استخدم شرائح عدادات حقيقية.

١٣-شكل (٨-ت١٣) يبين عداد قاسم على ١٦ موصلا على محلل شفرة. اكتب جدول الحقيقة لمحلل الشفرة عند كل حالة من حالات العداد.

١٤-صمم عداد يعد حتى ١٠٠٠ مستخدما الشريحة ٧٤١٦٠.

١٥-عدل التصميم السابق حتى يمكن للعداد أن يعد حتى ٣٠٠٠٠.

١٦-صمم دائرة تستشعر وجود زمن معين فى الساعة الرقمية فى شكل (٨- ٢٥) واستخدم هذه الإشارة لضرب جرس تنبيه.

١٧-صمم عداد لساحة انتظار سيارات بحيث يبين العداد عدد السيارات الموجودة فى الساحة عند أى لحظة. استخدم عداد تصاعدى تنازلى بحيث مع دخول سيارة يزداد العداد بواحد ومع خروج سيارة ينقص بمقدار واحد.

١٨-استخدم نفس الفكرة فى تمرين ١٥ لإظهار عدد الأشخاص فى حجرة معينة، واستخدم ذلك لإضاءة الحجرة طالما أن بها شخص أو أكثر، واطفاء النور بالحجرة عندما يصل عدد الأشخاص إلى الصفر.

١٩-اشرح كيف تستخدم الدائرة الموضحة فى شكل (٨-ت١٣) لعمل نظام إضاءة يضىء تتابع من اللمبات من اليمين إلى اليسار ثم يبدأ مرة ثانية من اليمين لليسار وهكذا يتكرر ذلك إلى مالانهية.

٢٠-أعد التمرين السابق بحيث تتم الإضاءة من اليمين لليسار ثم من اليسار لليمين مرة أخرى وذلك إلى مالانهاية.

الفصل التاسع

٩

مسجلات الإزاحة

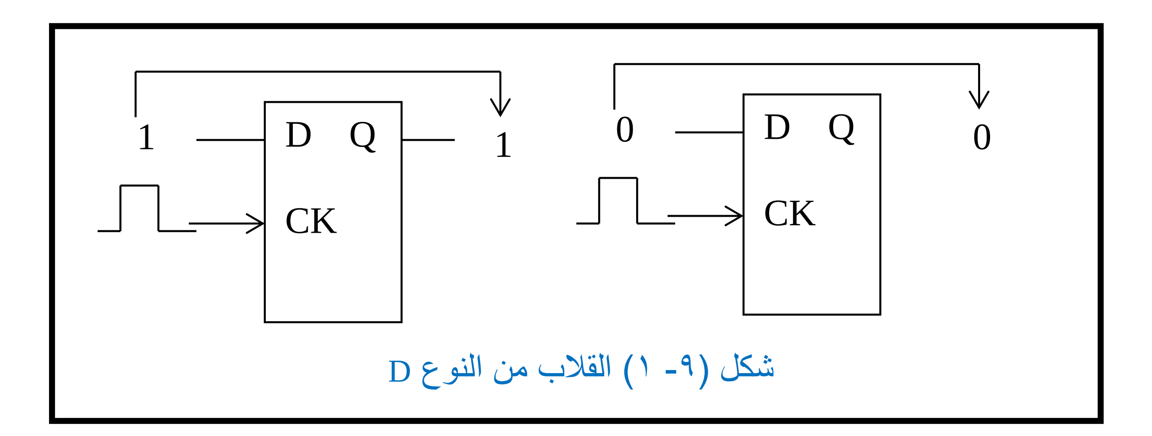
Shift Registers

٩–١ مقدمة

مسجلات الإزاحة shift registers من المكونات الإلكترونية الكثيرة الاستخدام فى الكثير من التطبيقات الرقمية. يستخدم مسجل الإزاحة فى تسجيل البيانات الرقمية حيث يمكن إجراء بعض العمليات على محتويات هذا المسجل. من هذه العمليات مثلا، إزاحة البيانات من اليمين إلى اليسار أو العكس، أو دوران البيانات من اليمين لليسار أيضا أو العكس. يمكن إدخال البيانات على المسجل على التوازى وإخراجها على التوالى، أو إدخالها على التوالى ثم إخراجها على التوازى. كل هذه العمليات سنرى فى هذا الفصل كيفية تحقيقها.

٩–٢ وحدة بناء مسجل الإزاحة

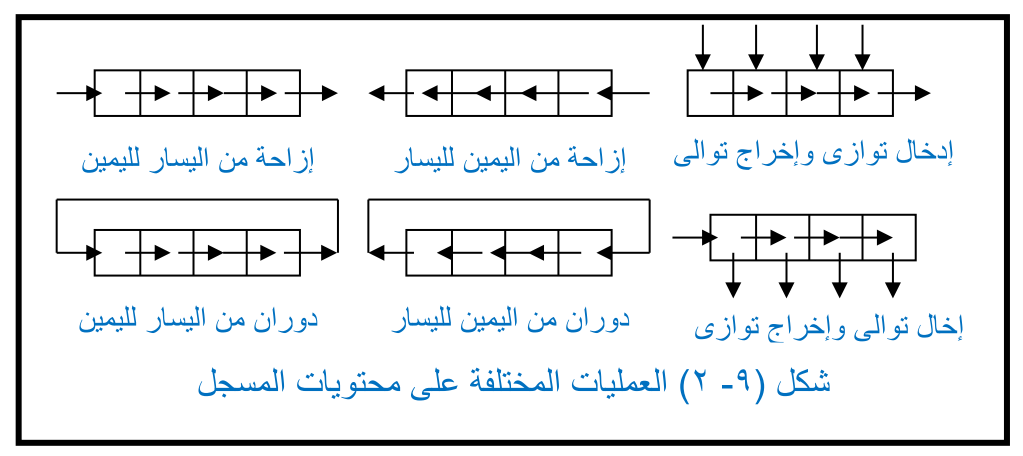
وحدة بناء مسجل الإزاحة هى القلاب من النوع D. هذا القلاب له دخل واحد اسمه D، والدخل الآخر هو طرف التزامن CK كما رأينا فى الفصل السابع. هذا القلاب له خرج Q وعكسه $\overline{Q}$. الإشارة الموجودة على الدخل D تنتقل إلى الخرج Q بعد إعطاء نبضة على طرف التزامن CK، ومن هنا كانت التسمية D اختصارا لكلمة تأخير delay. شكل (٩– ١) يبين قلاب من النوع D وكيفية تسجيل الدخل على الخرج على سبيل التذكرة.



شكل (٩- ١) القلاب من النوع D

٩– ٣ العمليات المختلفة على محتويات مسجل الإزاحة

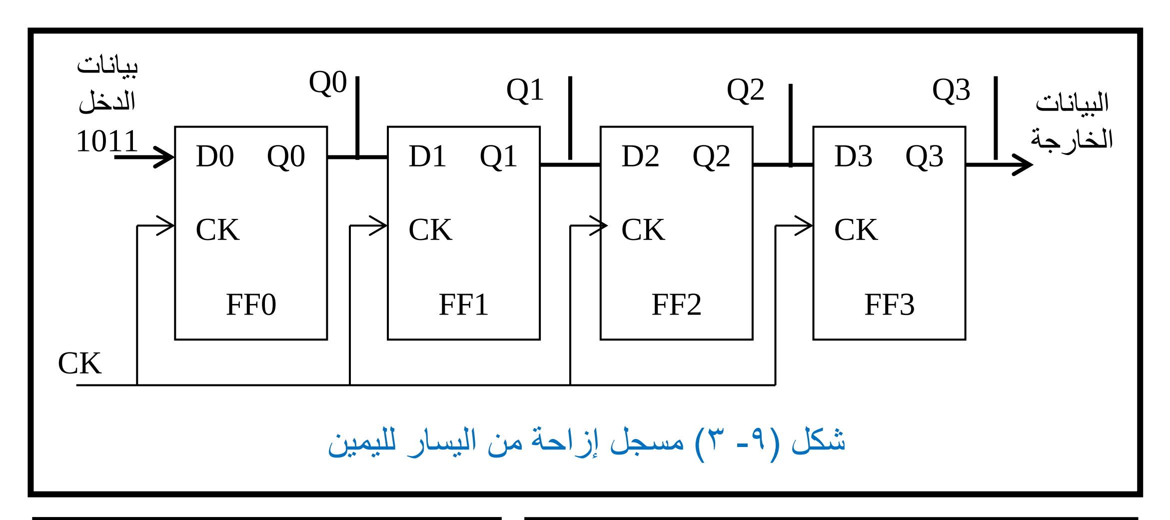
كما ذكرنا فإنه هناك الكثير من العمليات التى يمكن إجراؤها على محتويات مسجل الإزاحة. شكل (٩– ٢) يبين رسما تخطيطيا لهذه العمليات .



شكل (٩- ٢) العمليات المختلفة على محتويات المسجل

٩- ٤ الإدخال والإخراج المتتالى للبيانات
Serial In Serial Out

شكل (٩- ٣) يبين طريقة توصيل ٤ قلابات من النوع D لتعمل كمسجل إزاحة يمكن إزاحة محتوياته من اليسار لليمين مع كل نبضة على طرف التزامن CK. يتم إدخال البيانات من أقصى يسار المسجل وإخراجها على التوالى من أقصى يمين المسجل. جدول ٩-١ يبين محتويات كل قلاب مع كل نبضة من نبضات التزامن بفرض أن المسجل قد تم تصفيره فى البداية، والبيانات المراد إدخالها إلى المسجل هى 1011. لاحظ من الجدول أنه بعد ٤ نبضات تم إدخال كل البيانات فى المسجل.



شكل (٩- ٣) مسجل إزاحة من اليسار لليمين

CK	D0	Q0	Q1	Q2	Q3
0	0	0	0	0	0
1	1	1	0	0	0
2	1	1	1	0	0
3	0	0	1	1	0
4	1	1	0	1	1

جدول ٩-١ بعد ٤ نبضات تزامن تم تسجيل الدخل 1011 على خرج المسجل

CK	D0	Q0	Q1	Q2	Q3
4	1	1	0	1	1
5	0	0	1	0	1
6	0	0	0	1	0
7	0	0	0	0	1
8	0	0	0	0	0

جدول ٩-٢ استمرار الإزاحة حتى تم تصفير المسجل مرة أخرى

CK
D0
Q0
Q1
Q2
Q3

شكل (٩- ٤) خروج المسجل مع الزمن

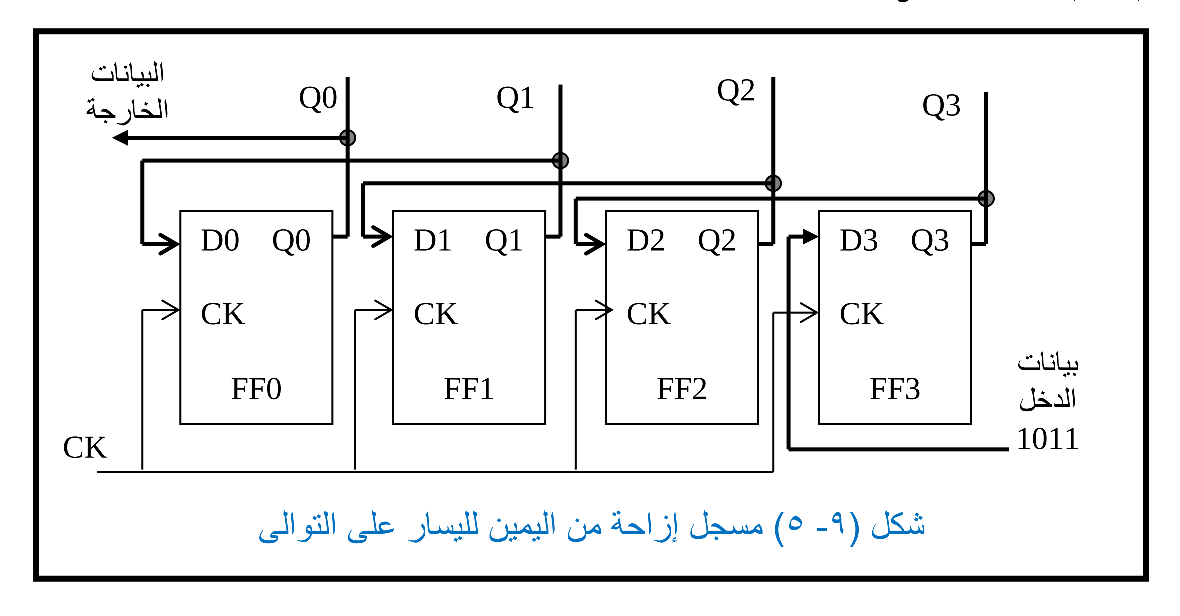
فى جدول ٩-٢ تم وضع صفر على الدخل D0 وإعطاء نبضات تزامن حيث نلاحظ أنه بعد ٤ نبضات خرجت كل البيانات الموجودة داخل المسجل من الخرج Q3 وتم تصفير المسجل مرة أخرى. شكل (٩- ٤) يبين تغير الخرج على كل قلاب من قلابات المسجل الموجود فى شكل (٩- ٣) مع الزمن عند وضع دخل معين على الدخل D3 وإعطاء نبضات على طرف التزامن CK ، تتبع هذا الشكل وحاول فهمه.

٩– ٥ إدخال البيانات على التوالى وإخراجها على التوازى
Serial In Parallel Out

فى شكل (٩– ٣) تم إدخال البيانات على التوالى من اليسار. بعد أى عدد من نبضات التزامن يمكن قراءة الخرج من على كل الخروج Q0 Q1 Q2 Q3 مرة واحدة على التوازى. بذلك نكون قد أدخلنا البيانات على التوالى من ناحية اليسار وقرأناها مرة واحدة على التوازى.

٩– ٦ الإزاحة على التوالى من اليمين لليسار
Serial Right To Left Shift

بإعادة ترتيب التوصيلات بين القلابات فى شكل (٩– ٣) يمكن إدخال البيانات من ناحية اليمين وإزاحتها من اليمين لليسار مع كل نبضة تزامن. لاحظ أنه فى هذه الحالة تم توصيل خرج كل قلاب كدخل للقلاب الذى على يساره. شكل (٩– ٥) يبين هذا المسجل.



شكل (٩- ٥) مسجل إزاحة من اليمين لليسار على التوالى

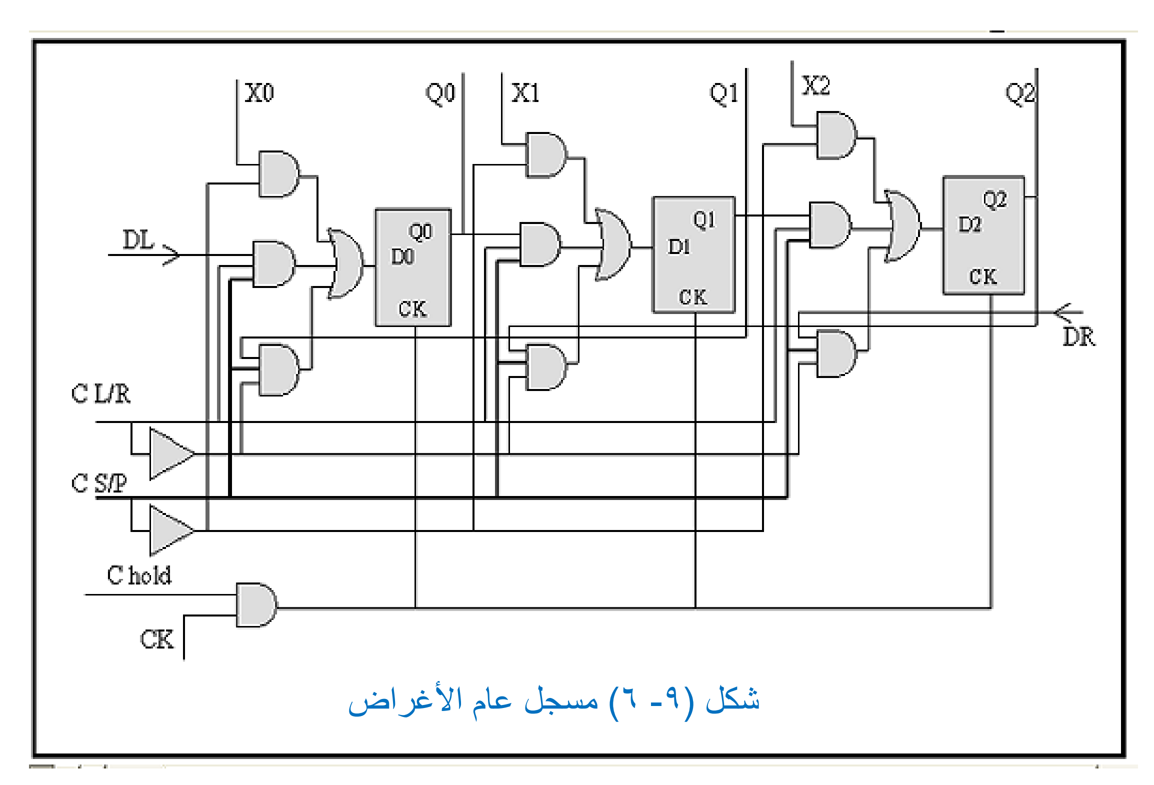
أكتب محتويات المسجل الموجود فى شكل (٩– ٥) مع كل نبضة تزامن لإدخال البيانات 1011 فى جدولين كما فى الجدولين ٩–١ و ٩–٢. ارسم شكل الإشارة على كل خرج مع الزمن فى حالة الإزاحة من اليمين لليسار كما فى شكل (٩– ٤).

٩– ٧ مسجل الإزاحة عام الأغراض

سنقدم فى هذا الجزء مسجلا عام الأغراض يمكن له عمل جميع أنواع الإزاحة المتتالية من اليمين لليسار أو العكس، كما يمكن له إدخال البيانات على التوالى وإخراجها على التوازى، أو إدخال البيانات على التوازى وإخراجها على التوالى. كل

هذه العمليات تتم من خلال خطوط تحكم يمكن بها اختيار العملية المطلوبة. شكل (٩- ٦) يبين هذا المسجل. حاول أن تتبع كل العمليات السابقة على هذا المسجل.

فى شكل (٩- ٦) بوضع خط التحكم Chold=0 يتم منع نبضات التزامن من المرور إلى أطراف القلابات ويتجمد المسجل على وضعه ولا يتغير خرجه إلى أن يصبح هذا الخط واحد حيث عندها يسمح لنبضات التزامن بالمرور ويعمل المسجل. الخط CS/P يستخدم لاختيار التعامل على التوالى أم على التوازى. بوضع الخط CS/P=1 فإن المسجل يعمل فى الإزاحة على التوالى، ويكون اتجاه الإزاحة على حسب الإشارة الموجودة على الخط CL/R. فإذا كان الخط CL/R=1 فإن الإزاحة تكون من اليسار إلى اليمين، ويتم إدخال البيانات المتتالية من ناحية اليسار (DL). أما إذا كان الخط CL/R=0 فإن الإزاحة تكون من اليمين لليسار ويتم إدخال البيانات من ناحية اليمين على الطرف (DR). أما إذا كان الخط CS/P=0 فإن كل مسارات الإزاحة المتتالية تغلق سواء من اليمين لليسار أو العكس حيث تخمد كل بوابات AND التى تعمل فى هذا الاتجاه، أما البوابات التى تدخل البيانات المتوازية (X0, X1, X2) من خلالها فإنها تنشط فى هذه الحالة وبذلك تدخل هذه البيانات المتوازية مع أول نبضة تزامن. توجد الكثير من الشرائح التى تؤدى جزء من ما يقوم به مثل هذا المسجل العام وشرائح تؤدى كل وظائفه، وسنقدم فيما يلى بعض هذه الشرائح.

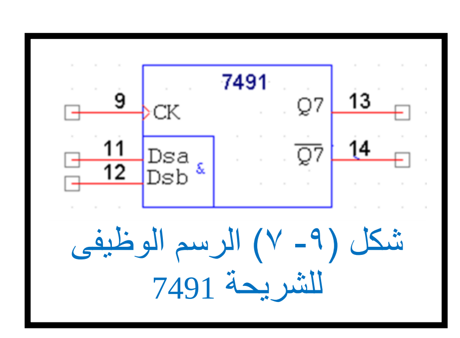


شكل (٩- ٦) مسجل عام الأغراض

٩- ٨ الشريحة 7491 مسجل إزاحة توالى ٨ بت
8 bit serial left to right shift register

الشريحة 7491 عبارة عن مسجل إزاحة توالى ومن اتجاه واحد فقط ذو ٨ بتات. البيانات الداخلة تدخل من أحد طرفى الدخل Dsa أو Dsb اللذان يمثلان طرفى دخل لبوابة AND. لذلك فإنه إذا كان Dsa=Dsb=1 فإنه يتم إدخال ١ إلى المسجل ويمكن إزاحته مع كل نبضة تزامن. أما إذا كان Dsa=Dsb=0 فإنه يتم إدخال صفر إلى المسجل. بوضع أحد الطرفين يساوى واحد، فإن البيانات الداخلة تكون مساوية للبيانات الموجودة على الطرف الآخر. الشريحة تحتوى

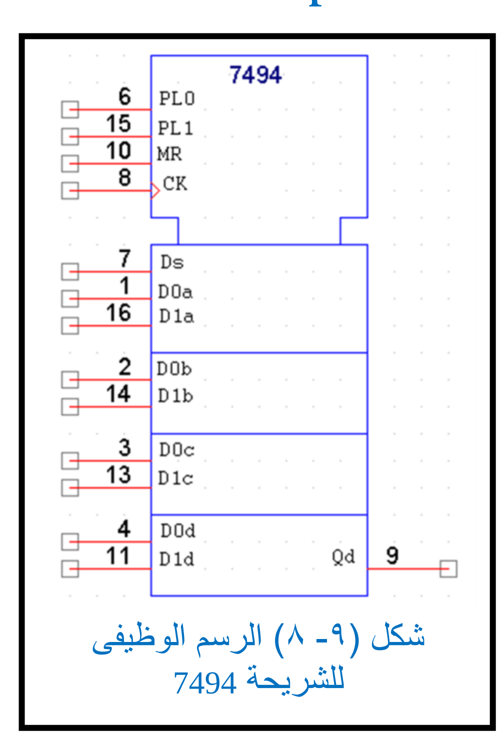
ثمان قلابات، المرحلة الأخيرة فقط هى المتاح خرجها Q7 وعكسه، لذلك فإنه كما يتضح من شكل (٩- ٧) الذى يبين الرسم الطرفى للشريحة فإن معظم الأطراف غير مستخدمة. تيار القدرة لهذه الشريحة مقداره ٣,٥ ميللى أمبير وأقصى تردد لها هو ١٨ ميجاهرتز. تتم إزاحة محتويات المسجل من Q0 إلى Q1 ثم Q2 وهكذا إلى أن تصل البيانات إلى آخر مرحلة حيث نراها على الخرج Q7. تتم هذه الإزاحة مع الحافة الصاعدة لنبضة التزامن، أى عند انتقال الإشارة على هذا الطرف من صفر إلى واحد. هذه الشريحة ليس لها طرف تصفير clear لتصفير الخرج عند الحاجة. الوسيلة الوحيدة لذلك هى إزاحة أصفارا داخل الشريحة من الدخل. طرف القدرة للشريحة هو الطرف ٥ والأرضى هو الطرف ١٠ والشريحة لها ١٤ طرفا.



شكل (٩- ٧) الرسم الوظيفى للشريحة 7491

٩- ٩ الشريحة 7494 مسجل ٤ بت إدخال توازى أو توالى ، إخراج توالى
4 bit parallel in serial out shift register

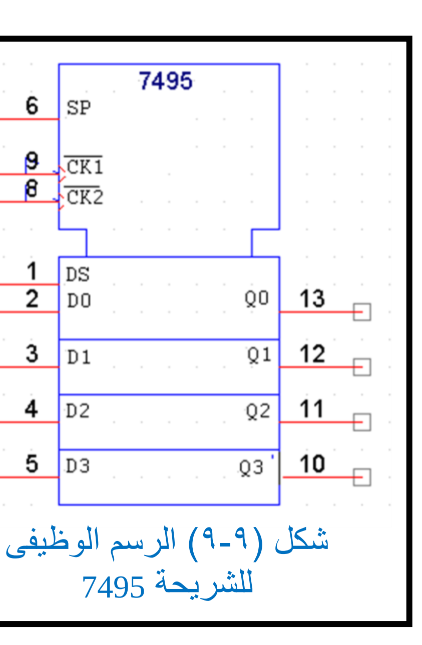
هذه الشريحة عبارة عن مسجل ذو ٤ بت يمكن إدخال البيانات له إما على التوالى من الطرف ٧ (Ds)، أو على التوازى من مجموعة الأطراف الأولى D0a, D0b, D0c, D0d أو من مجموعة الأطراف الثانية D1a, D1b, D1c, D1d. يتم اختيار المجموعة الأولى كدخل للمسجل بوضع الطرف Pl0=1 والطرف Pl1=0 أو المجموعة الثانية كدخل للمسجل بوضع الطرف Pl1=1 والطرف Pl0=0، وذلك يعنى إمكانية إدخال البيانات من واحد من المصدرين D0 أو D1. الشريحة لها طرف تصفير MR عندما يكون واحد يجعل خرج جميع المراحل أصفارا. يتم إزاحة البيانات عند انتقال الإشارة على طرف التزامن CK من الصفر إلى الواحد أى الحافة الصاعدة. تيار مصدر القدرة للشريحة يساوى ٣,٥ ميللى أمبير، وزمن المرور خلالها Propagation delay يساوى ٢٥ نانوثانية. شكل (٩- ٨) يبين الرسم الطرفى لهذه الشريحة. طرف القدرة للشريحة هو الطرف رقم ٥ والأرضى هو الطرف ١٢ والشريحة مكونة من ١٦ طرفا.



شكل (٩- ٨) الرسم الوظيفى للشريحة 7494

٩- ١٠ الشريحة 7495 مسجل ٤ بت إدخال توازى أو توالى، إخراج توالى
4 bit parallel in serial out shift register

هذه الشريحة عبارة عن مسجل ذو ٤ بت يمكن إدخال البيانات له إما على التوالى من الطرف ١ (Ds)، أو على التوازى من مجموعة الأطراف D0, D1, D2, D . يتم اختيار الدخل المتوالى بوضع صفر على خط التحكم ٦ (SP)، واختيار

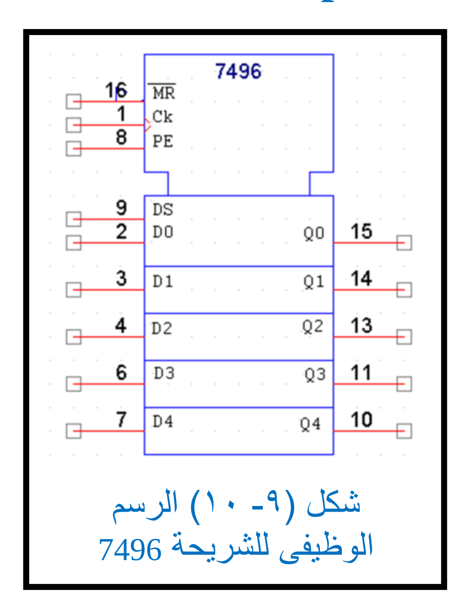


شكل (٩-٩) الرسم الوظيفى للشريحة 7495

الدخل المتوازى بوضع واحد على نفس الطرف. عند وضع البيانات على الدخل المتوازى نضع نبضات التزامن على الطرف CK2 حيث فى هذه الحالة مع أول نبضة تزامن تنتقل البيانات من الدخول D0, D1, D2, D3 إلى الخروج Q0, Q1, Q2, Q3بالترتيب. وعند وضع بيانات متتالية على الطرف DS نضع نبضات التزامن على الطرف CK1 ومع كل نبضة تزامن على هذا الطرف تنتقل البيانات من Q0 إلى Q1 ومن Q1 إلى Q2 وهكذا، أى أنها إزاحة من اليسار لليمين حيث Q0 توجد فى أقصى اليسار. خروج جميع مراحل الشريحة متاحة كأطراف على العكس من الشرائح السابقة، لذلك يمكن عمل إزاحة عكسية من Q3 إلى Q2 ومن Q2 إلى Q1 وهكذا، أى من اليمين لليسار بفرض أن Q3 توجد فى أقصى اليمين، وذلك بتوصيل الخرج Q3 إلى الدخل D2 والخرج Q2 إلى الدخل D1 وهكذا وذلك من خارج الشريحة. فى هذه الحالة يتم إدخال البيانات المتتالية من على الطرف D3. يتم إزاحة البيانات عند انتقال الإشارة على أطراف التزامن CK1 أو CK2 من الواحد إلى الصفر أى عند الحافة الهابطة. تيار مصدر القدرة للشريحة يساوى ٣٩ ميللى أمبير، وأعلى تردد هو ٣٦ ميجاهرتز. شكل (٩-٩) يبين الرسم الوظيفى لها والشريحة لها ١٤ طرفا حيث طرف القدرة هو الطرف ١٤ والأرضى هو الطرف ٧.

٩- ١١ الشريحة 7496 مسجل ٥ بت إدخال توازى أو توالى إخراج توالى أو توازى

5 bit parallel in serial out shift register



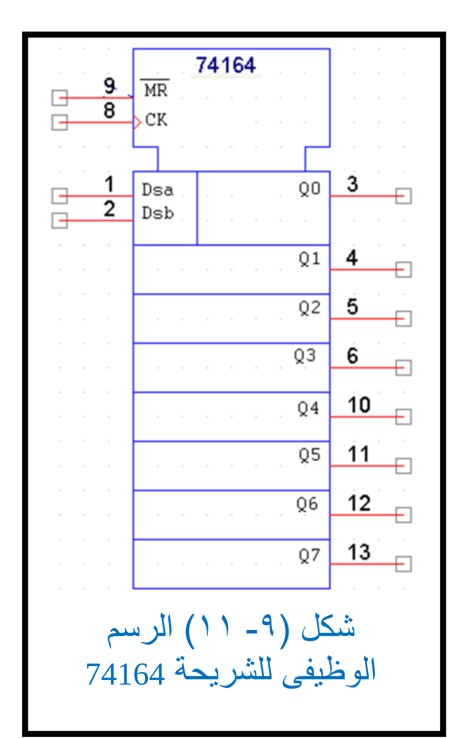
شكل (٩- ١٠) الرسم الوظيفى للشريحة 7496

تتكون هذه الشريحة من ٥ بتات مع إمكانية إدخال البيانات على التوازى من على المداخل D0, D1, D2, D3 بعد تنشيط الطرف PE بوضعه يساوى واحد، أو على التوالى من على المدخل Ds. عند انتقال الإشارة على طرف التزامن CK من صفر إلى واحد تنتقل البيانات من المداخل المتوازية فى حالة نشاط الطرف PE، أو تتم إزاحة البيانات على التوالى من DS إلى Q0 ومن Q0 إلى Q1 ومن Q1 إلى Q2 وهكذا. نتيجة وجود المخارج المتوازية الخمسة للشريحة فإنه يمكن إدخال البيانات على التوازى ثم إزاحتها فى الاتجاه من Q0 إلى Q4، أو إدخال البيانات على التوالى من الطرف DS واستلامها على التوازى من المخارج. الشريحة لها طرف تصفير $\overline{MR}$ الذى يصفر كل المخارج عند وضعه يساوى صفر. تيار القدرة للشريحة يساوى ٤٨ ميللى أمبير، وزمن الانتقال خلالها

يساوى ٢٥ نانوثانية. شكل (٩- ١٠) يبين الرسم الوظيفى للشريحة وطرف القدرة لها هو ٥ والأرضى هو ١٢ والشريحة لها ١٦ طرفا.

٩- ١٢ الشريحة 74164 مسجل ٨ بت إدخال توالى، إخراج توازى

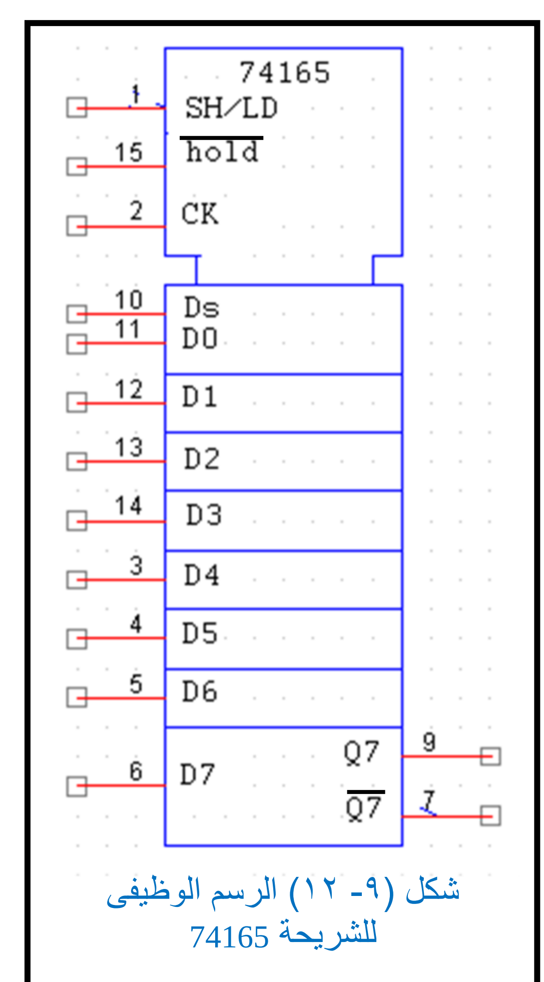
8 bit serial in parallel out shift register



شكل (٩- ١١) الرسم الوظيفى للشريحة 74164

يتكون هذا المسجل من ٨ مراحل، جميع خروجها متاحة على أطراف الشريحة Q0 إلى Q7 كما فى شكل (٩- ١١). هناك طرفان يمكن إدخال البيانات التتابعية من أى واحد منهما وهما الطرفان Dsa و Dsb حيث يستخدم أى واحد منهما كطرف تنشيط للطرف الآخر لأنهما دخلان لبوابة AND.

عند إدخال البيانات التتابعية على الطرف Dsa مثلا فإن الطرف Dsb لابد أن يكون واحد، وإذا تم إدخال البيانات التتابعية على الطرف Dsb فإن الطرف الآخر Dsa لابد أن يكون واحد أيضا. يمكن ربط الطرفين Dsa و Dsb مع بعضهما وإدخال البيانات التتابعية من خلالهما فى نفس الوقت. مع كل انتقال لنبضات التزامن من صفر إلى واحد تتم إزاحة البتات من الدخل التتابعى إلى Q0، ومن Q0 إلى Q1، ومن Q1 إلى Q2 وهكذا إلى Q7. الطرف $\overline{MR}$ طرف تصفير لجميع الخروج حيث عندما يكون هذا الطرف صفر تصفر كل الخروج. تيار القدرة للشريحة يساوى ٣٧ ميللى أمبير، وأكبر تردد لها هو ٣٦ ميجاهرتز. الشريحة لها ١٤ طرفا، الطرف ١٤ هو طرف القدرة والطرف ٧ هو الأرضى.



شكل (٩- ١٢) الرسم الوظيفى للشريحة 74165

٩- ١٣ الشريحة 74165 مسجل ٨ بت إدخال توالى أو توازى ، إخراج توالى
8 bit parallel in/serial in, serial out shift register

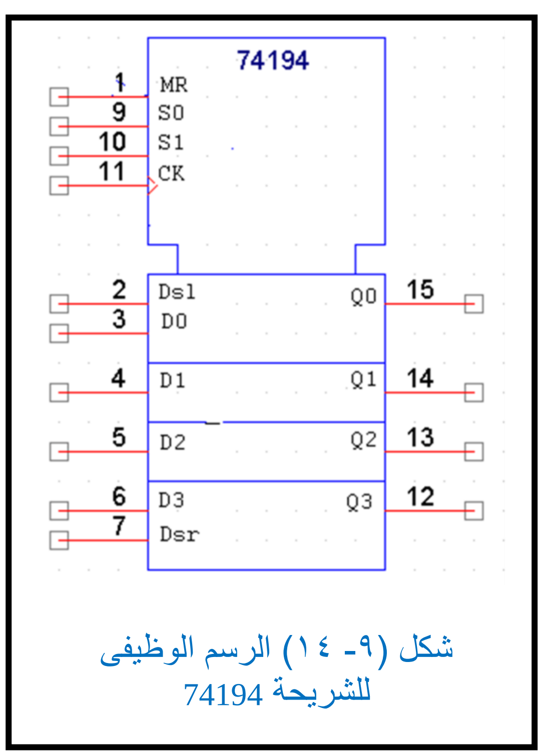
يتكون هذا المسجل من ٨ مراحل يمكن إدخال البيانات له على التوالى من الطرف Ds أو على التوازى من الأطراف D0 إلى D7. الخرج من آخر مرحلة Q7 هو المتاح فقط وعكسه أيضا متاح Q7. الطرف SH/LD عندما يكون صفرا يتم تحميل البيانات المدخلة على الأطراف D0 إلى D7 إلى الخروج المناظرة لها Q0 إلى Q7. عندما يكون الطرف SH/LD=1 فى هذه الحالة يسمح بإزاحة البيانات تتابعيا من الدخل Ds إلى خرج المرحلة الأولى ومنه للمرحلة الثانية وهكذا حتى خرج آخر مرحلة Q7. تتم هذه الإزاحة مع الحافة الصاعدة لطرف التزامن CK بشرط أن يكون الطرف hold يساوى صفر. إذا كان hold=1 فإن نبضات التزامن يتم حجبها ويتم تجميد الشريحة، أى أن خرجها لن يتغير مع أى نبضات تزامن. تيار القدرة للشريحة هو ٤٢ ميللى أمبير، وأقصى تردد لها هو ٢٦ ميجاهرتز. الشريحة لها ١٦ طرفا، القدرة على الطرف ١٦ والأرضى على الطرف ٨ كما فى شكل (٩- ١٢).

٩- ١٤ الشريحة 74166 مسجل ٨ بت إدخال توالى أو توازى، إخراج توالى
8 bit parallel in/serial in, serial out shift register

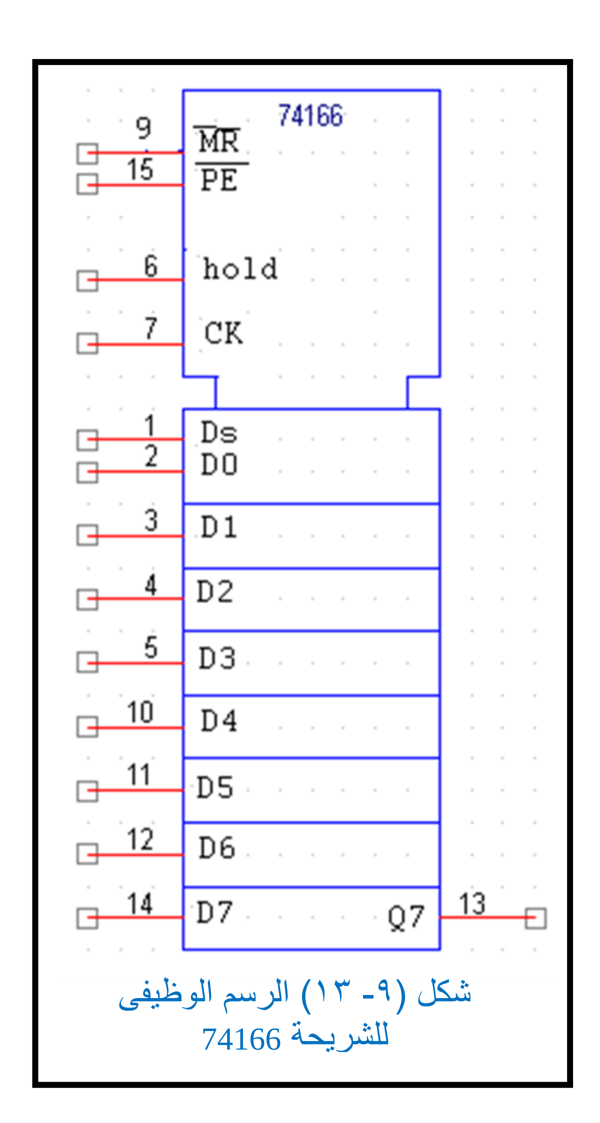
تتكون هذه الشريحة من ٨ مراحل يمكن إدخال البيانات لها على التوالى من على الطرف Ds أو على التوازى من على الأطراف D0 حتى D7. يتم اختيار الإدخال التوالى أو التوازى عن طريق الطرف $\overline{PE}$. عندما يكون الطرف $\overline{PE}$ =0 يتم تنشيط الإدخال التوازى ومع أول نبضة على الطرف CK تنتقل البيانات من الأطراف D إلى أطراف الخرج المناظرة Q. عندما يكون $\overline{PE}$ =1 ينشط طرف الإدخال التوالى وتدخل البيانات من Ds وتزاح إلى Q0 ومنها إلى Q1 ومنها إلى Q2 وهكذا. نبضات التزامن CK منخفضة الفعالية أى نشطة عندما تنتقل من صفر إلى واحد. هناك طرف تجميد للشريحة وهو الطرف hold الذى يحجب نبضات التزامن. الشريحة لها طرف تصفير وهو الطرف $\overline{MR}$ الذى يصفر كل خروج الشريحة عندما يكون صفر. تيار القدرة للشريحة ٩٠ ميللى أمبير، وأقصى تردد لها هو ٣٥ ميجاهرتز. الشريحة مكونة من ١٦ طرفا، الأرضى على الطرف ٨، والقدرة على الطرف ١٦ كما فى شكل (٩- ١٣).

٩-١٥ الشريحة 74194 مسجل متعدد الأغراض ٤ بت ثنائى الاتجاه
4 bit bidirectional universal shift register

تحتوى هذه الشريحة على ٤ مراحل يمكن من خلالهم إجراء كل العمليات التى يمكن طلبها من أى مسجل إزاحة. الشريحة لها خطى تحكم S0 و S1 يمكن بهما التحكم فى طريقة تشغيل الشريحة. بوضع S0=1 و S1=1 فإن البيانات المدخلة على الأطراف D0 حتى D3 تنتقل إلى المخارج Q0 حتى Q3 مع أول نبضة تزامن من صفر إلى واحد على الدخل CK. يمكن إزاحة البيانات تتابعيا ناحية اليمين، أى من Q0 فى اتجاه Q3 بوضع S0=1 و S1=0، فى هذه الحالة يتم وضع البيانات التتابعية المدخلة على الطرف Dsl (الطرف رقم ٢).



شكل (٩- ١٤) الرسم الوظيفى للشريحة 74194



شكل (٩- ١٣) الرسم الوظيفى للشريحة 74166

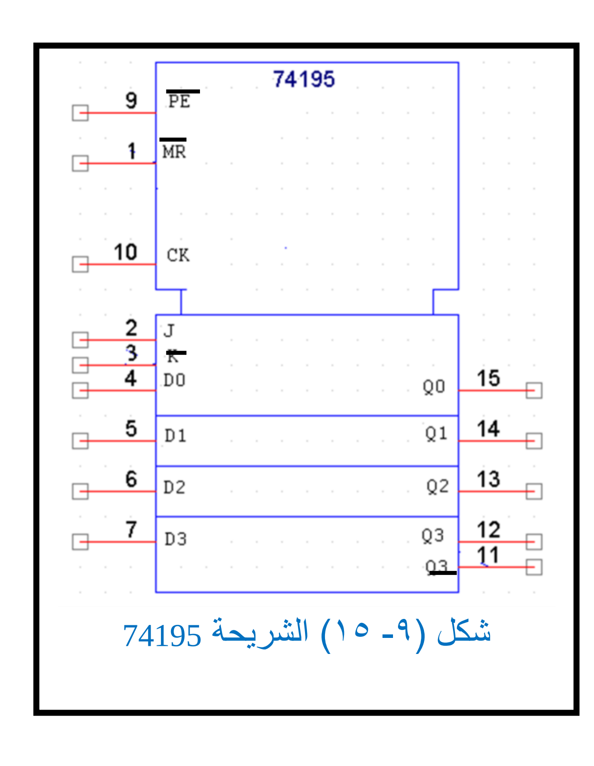
يمكن إزاحة البيانات تتابعيا ناحية اليسار، أى من Q3 فى اتجاه Q0 بوضع S0=0 و S1=1، فى هذه الحالة يتم وضع البيانات التتابعية المدخلة على الطرف Dsr (الطرف رقم ٧). الشريحة لها طرف تصفير $\overline{MR}$ بوضعه يساوى صفر فإن جميع مخارج المسجل يتم تصفيرها. تيار القدرة للشريحة هو ٣٩ ميللى أمبير، وأقصى تردد هو ٣٦ ميجاهرتز. الشريحة مكونة من ١٦ طرفا، الأرضى على الطرف ٨، والقدرة على الطرف ١٦ كما فى شكل (٩- ١٤).

٩-١٦ الشريحة 74195 مسجل ٤ بت ، دخل توازى خرج توالى

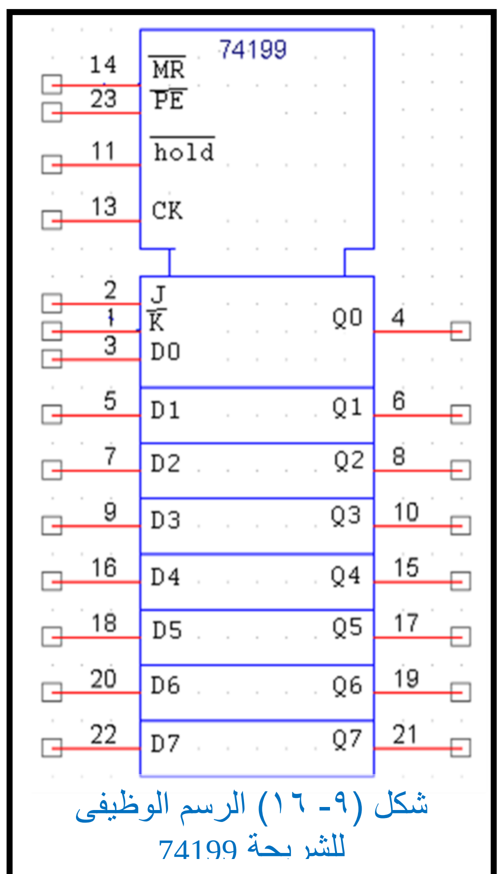
4 bit parallel in serial out shift register

تتكون هذه الشريحة من ٤ مراحل يمكن إدخال البيانات على التوازى لكل منها من خلال اطراف الدخل D0 حتى D3 بشرط أن يكون الطرف $\overline{PE}$ =0 مع إعطاء نبضة تزامن على الطرف CK حيث عندها تنتقل البيانات الموجودة على المداخل D0 حتى D3 إلى المخارج Q0 حتى Q3. عندما يكون $\overline{PE}$ =1 يمكن إجراء الإزاحة من اليسار لليمين، Q0 فى اتجاه Q3، ويتم إدخال البيانات التتابعية من خلال الطرفين J و K بعد توصيلهما ببعضهما. تتم الإزاحة عند انتقال الإشارة على الطرف CK من صفر إلى واحد. هناك طرف التصفير $\overline{MR}$ الذى عندما يكون صفر تصبح كل

المخارج تساوى صفر. تيار القدرة للشريحة هو ٣٩ ميللى أمبير وأقصى تردد هو ٣٩ ميجاهرتز. الشريحة مكونة من ١٦ طرفا، الأرضى على الطرف ٨، والقدرة على الطرف ١٦ كما فى شكل (٩- ١٥).



شكل (٩- ١٥) الشريحة 74195

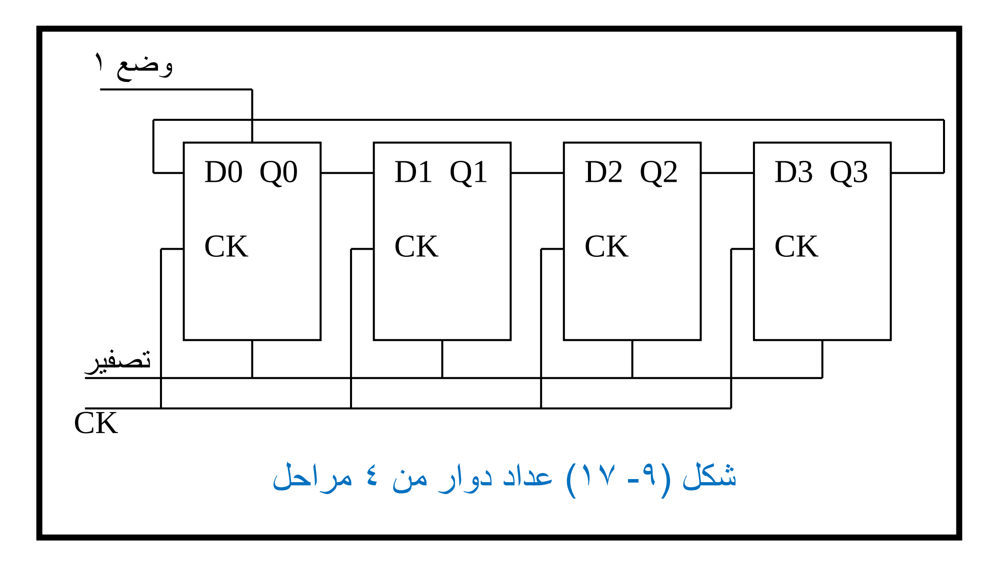


شكل (٩- ١٦) الرسم الوظيفى للشريحة 74199

٩-١٧ الشريحة 74199 مسجل ٨ بت ، دخل توازى خرج توالى
8 bit parallel in serial out shift register

تتكون هذه الشريحة من ٨ مراحل يمكن إدخال البيانات على التوازى لكل منها من خلال اطراف الدخل D0 حتى D7 بشرط أن يكون الطرف $\overline{PE}$ =0 مع إعطاء نبضة تزامن على الطرف CK حيث عندها تنتقل البيانات الموجودة على المداخل D0 حتى D7 إلى المخارج Q0 حتى Q7. عندما يكون $\overline{PE}$ =1 يمكن إجراء الإزاحة من اليسار لليمين، Q0 فى اتجاه Q7، ويتم إدخال البيانات التتابعية من خلال الطرفين J و K بعد توصيلهما ببعضهما. تتم الإزاحة عند انتقال الإشارة على الطرف CK من صفر إلى واحد. هناك طرف التصفير $\overline{MR}$ الذى عندما يكون صفر تصبح كل المخارج تساوى صفر. هناك طرف تجميد للشريحة وهو الطرف hold الذى يحجب نبضات التزامن، وبالتالى يجمد عمل الشريحة ويمنع أى تغيير. تيار القدرة للشريحة هو ٩٠ ميللى أمبير وأقصى تردد هو ٣٥ ميجاهرتز. الشريحة مكونة من ٢٤ طرف، الأرضى على الطرف ١٢، والقدرة على الطرف ٢٤ كما فى شكل (٩- ١٦).

٩–١٨ العدادات الدوارة Ring Counters



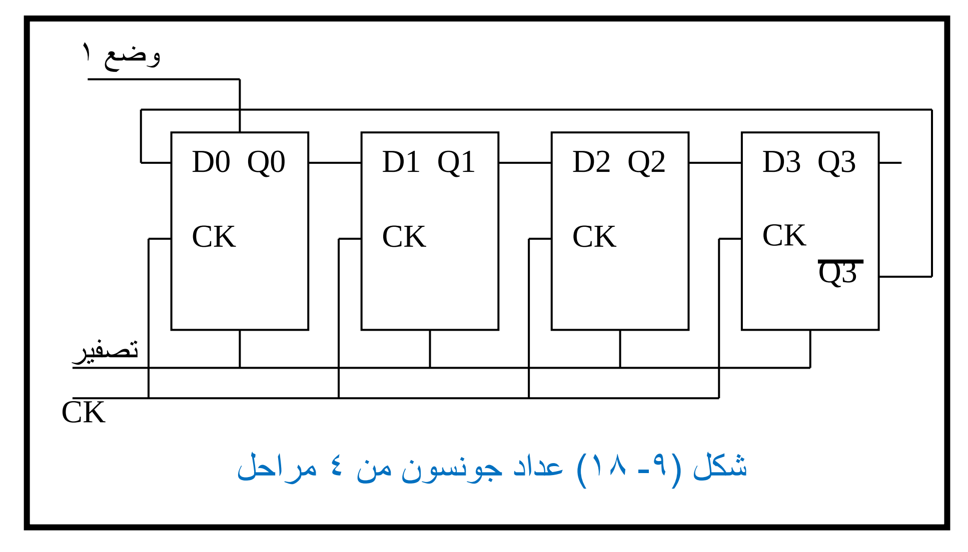
شكل (٩- ١٧) عداد دوار من ٤ مراحل

نبضات التزامن	Q0	Q1	Q2	Q3
0	1	0	0	0
1	0	1	0	0
2	0	0	1	0
3	0	0	0	1

جدول ٩-٣ التتابعات الناتجة مع كل نبضة تزامن من العداد الدوار

العدادات الدوارة عبارة عن مسجل إزاحة تم توصيل خرجه التتابعي من آخر مرحلة إلى دخله التتابعي فى أول مرحلة. مثل هذه الدوائر تسمى عددادات مجازا لأنها تخرج تتابعات أو نماذج معينة كما سنرى، إلا أن هذه التتابعات ليس بالضرورة أن تكون أرقاما متتالية كما فى العددادات المعتادة. شكل (٩– ١٧) يبين دائرة لعداد دوار مكونة من ٤ مراحل وجدول ٩–٣ يبين التتابعات الناتجة عن هذا العداد. لابد قبل تشغيل العداد من تحميله بنموزج من الوحايد والأصفار قبل إطلاق نبضات التزامن باستخدام أطراف وضع الواحد presetting أو أطراف التصفير clear. فى الدائرة الموجودة فى شكل (٩– ١٧) تم وضع أول مرحلة تساوى واحد Q0=1 وباقى المراحل أصفارا، بحيث أنه مع كل نبضة تزامن يزاح هذا الواحد ناحية اليمين بمقدار بت واحدة كما فى جدول ٩–٣. ليس بالضرورة أن يكون النموزج المبدئى هو بت واحدة تساوى واحد والباقى أصفار، ولكن من الممكن أن نبدأ العداد بأى نموزج من الوحايد والأصفار فيما عدا أن تكون كل بتات العداد وحايد أو كل البتات أصفار. عدد التتابعات أو النمازج الناتجة من مثل هذا العداد يساوى عدد المراحل المكون منها العداد، فقد حصلنا على ٤ نمازج من الخرج كما فى جدول ٩–٣ من العداد المكون من ٤ مراحل، أى أن عدد النمازج الناتجة يساوى n حيث n هى عدد المراحل.

يمكن مضاعفة عدد النمازج الناتجة من العداد الدوار بتوصيل الخرج المعكوس $\overline{Q3}$ من آخر مرحلة إلى دخل أول مرحلة كما فى شكل (٩– ١٨). مثل هذا العداد يسمى عداد جونسون ، وجدول ٩–٤ يبين التتابعات الناتجة فى هذه الحالة، حيث نلاحظ وجود ٨ حالات أو نمازج لهذا العداد بدلا من ٤، أى أن عدد النمازج يساوى 2n حيث n هى عدد المراحل.



شكل (٩- ١٨) عداد جونسون من ٤ مراحل

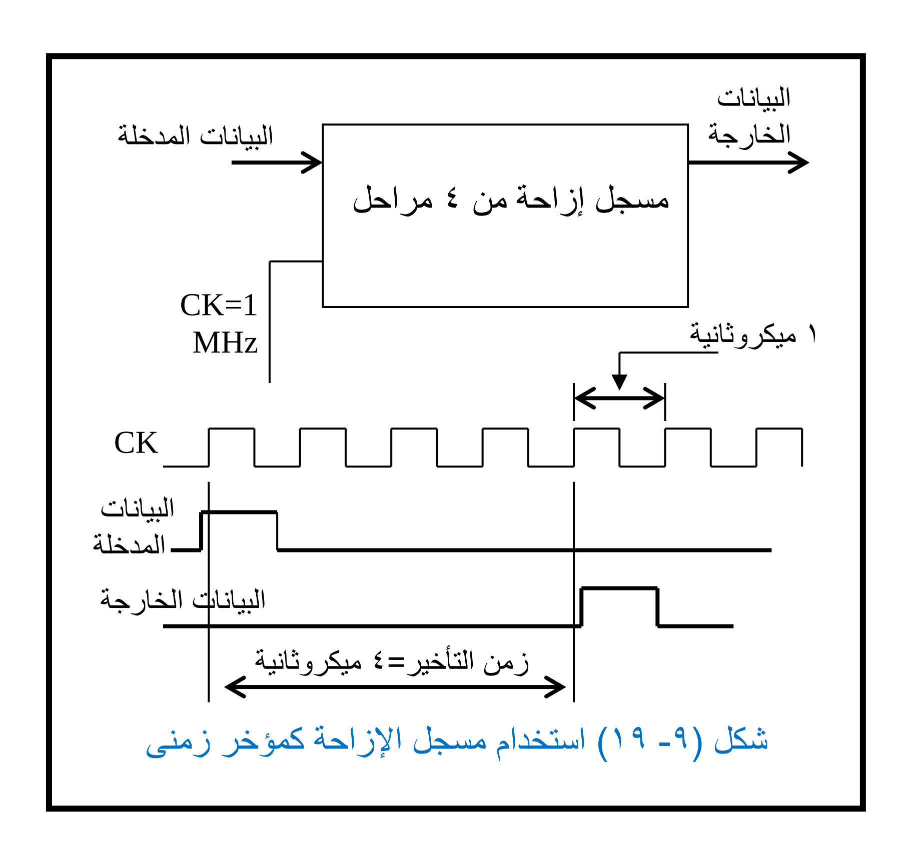
نبضات التزامن	Q0	Q1	Q2	Q3
0	1	0	0	0
1	1	1	0	0
2	1	1	1	0
3	1	1	1	1
4	0	1	1	1
5	0	0	1	1
6	0	0	0	1
7	0	0	0	0

جدول ٩-٤ التتابعات الناتجة مع كل نبضة تزامن من عداد جونسون

٩– ١٩ تطبيقات مسجلات الإزاحة

مؤخر زمنى Time delay

أى مسجل دخله توالى وخرجه توالى يمكن إدخال البيانات المتتالية على دخله ثم استقبال هذه البيانات على خرجه فى آخر مرحلة بعد زمن تأخير مقداره عدد مراحل هذا المسجل مضروبا فى زمن كل نبضة من نبضات التزامن. شكل (٩–١٩) يبين رسما توضيحيا لذلك حيث نلاحظ من هذا الشكل أننا حصلنا على البيانات المدخلة بعد زمن تأخير مقداره ٤ ميكروثانية لأن عدد مراحل المسجل هو ٤ مراحل وزمن نبضة التزامن هو ١ ميكروثانية فقط.



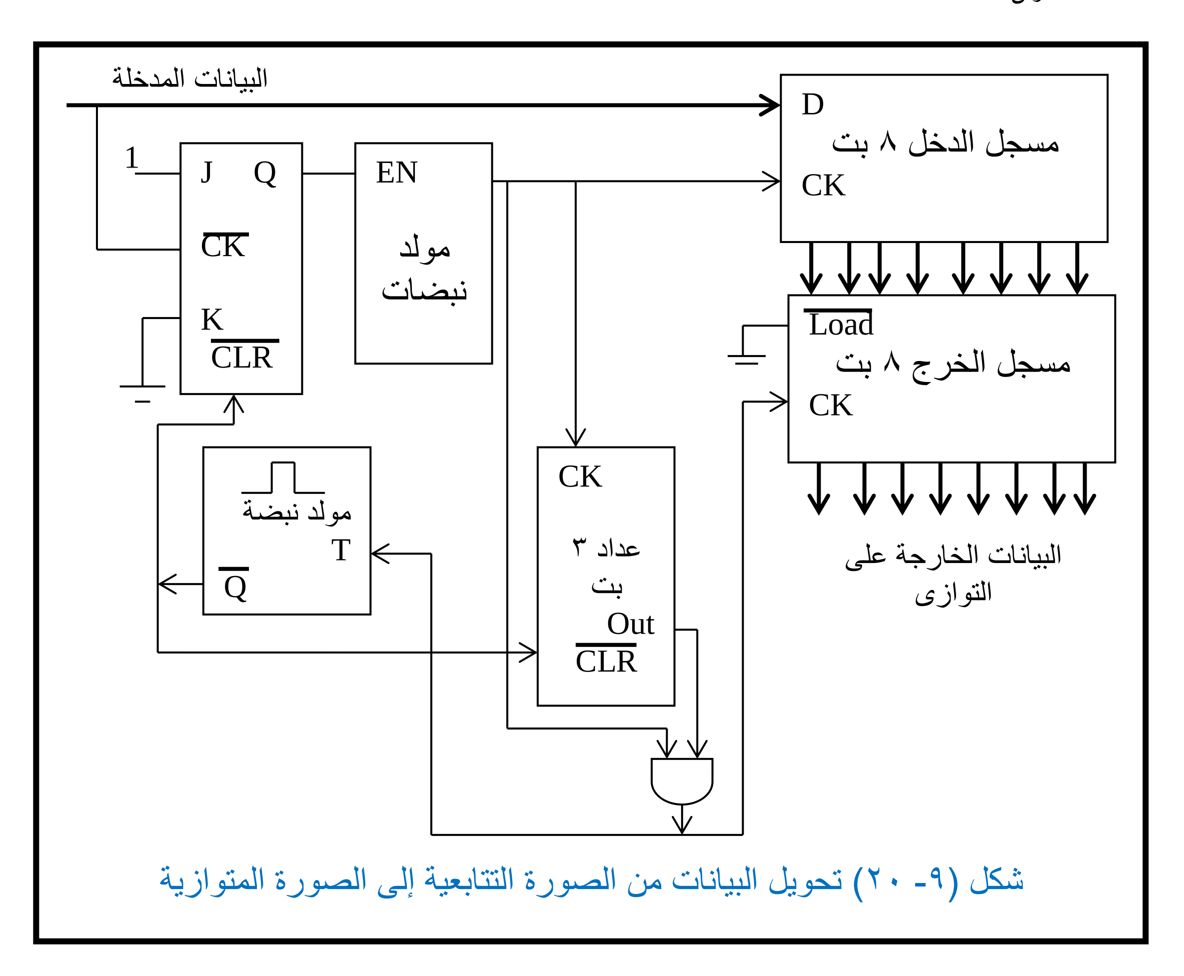
شكل (٩- ١٩) استخدام مسجل الإزاحة كمؤخر زمنى

تحويل البيانات التتابعية إلى الصورة المتوازية

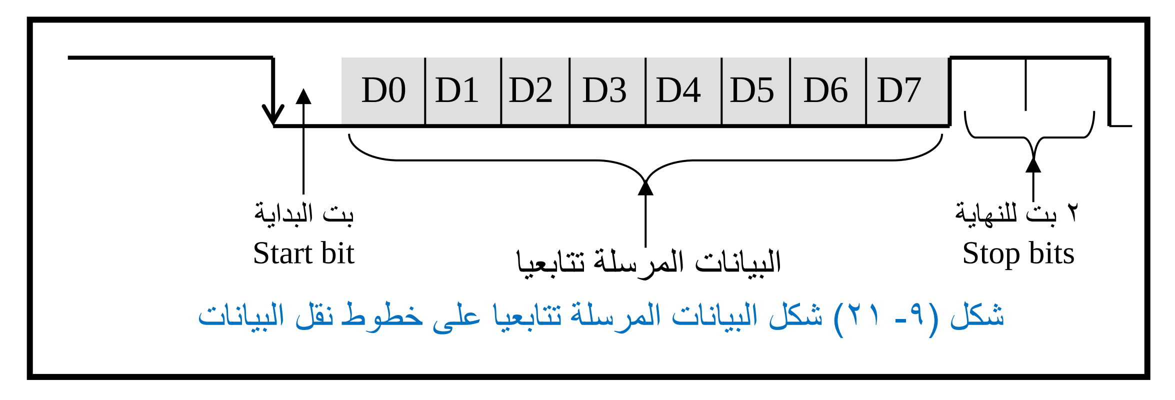
Serial To Parallel Conversion Of Data

فى العادة ترسل البيانات لمسافات طويلة على خط واحد لنقل البيانات مثل خط التليفون. هذه البيانات عندما تصل إلى المستقبل لابد من تحويلها إلى الصورة المتوازية قبل إدخالها إلى المعالج أو الحاسب. شكل (٩- ٢٠) يبين الدائرة التى ستقوم بهذا التحويل. لاحظ أن البيانات ترسل على خط النقل بصورة معينة كالمبينة فى شكل (٩- ٢١). فى هذا الشكل نلاحظ أن الإشارة على الخط تكون واحد دائما فى حالة عدم التراسل. عند نزول الإشارة من الواحد إلى الصفر يصبح خرج القلاب JK يساوى واحد، ونتيجة لذلك ينشط مولد النبضات الذى يعطى نبضات تزامن بتردد يساوى تماما تردد البيانات المرسلة على خط البيانات. هذه النبضات تستخدم كنبضات تزامن لمسجل الإزاحة الأول (مسجل الدخل) الذى يستقبل البيانات التتابعية وأيضا للعداد ٣ بت الذى يعد ٨ عدات. مع كل نبضة من نبضات التزامن تزاح البيانات خلال مراحل المسجل بمقدار بت واحدة ويزداد العداد بمقدار واحد، إلى أن يصبح خرج العداد يساوى ٨ حيث تصبح آخر مرحلة فيه تساوى واحد. عند ذلك ومع أول نبضة تزامن قادمة فإن البوابة AND تعطى واحد فى خرجها. هذا الواحد ينشط مسجل الإزاحة الثانى (مسجل الخرج) من خلال الدخل CK الخاص به فيقوم بتحميل الإشارة الموجودة على خرج المسجل الأول (مسجل الدخل) ويسجلها على خرجه هو فتصبح هى الصورة المتوازية من البيانات والتى يمكن التعامل معها من خلال أى معالج أو حاسب. عند صعود خرج بوابة ال AND من صفر إلى واحد ينشط مولد النبضة one shot الذى يعطى نبضة واحدة تصفر كل من العداد والقلاب JK استعدادا لبدأ التعامل مع مجموعة جديدة من البيانات. لا يخلو أى حاسب من شريحة الإرسال والاستقبال التتابعى والتى يطلق عليها UART وذلك اختصار لعبارة Universal Asynchronous Receiver Transmitter أو شريحة الاستقبال والإرسال الغير توافقى. تحتوى هذه

الشريحة على دائرة تحويل من توالى إلى توازى كالتى شرحناها سابقا كما تحتوى أيضا على دائرة أخرى تقوم بالعملية العكسية وهى التحويل من توازى إلى تتابع تمهيدا للإرسال. لذلك فإن هذه الشريحة توجد دائما فى كارت الموديم لأداء مهمة التحويل فى الاتجاهين.



شكل (٩- ٢٠) تحويل البيانات من الصورة التتابعية إلى الصورة المتوازية



شكل (٩- ٢١) شكل البيانات المرسلة تتابعيا على خطوط نقل البيانات

٩–٢٠ تمارين

١– لماذا تعتبر مسجلات الإزاحة أحد وسائل التخزين؟

٢– مسجل إزاحة من ٤ بت، أكتب الخرج على كل مرحلة مع كل نبضة تزامن إذا كان الدخل التتابعى هو 10011101010001110 .

٣– ارسم رسم صندوقى لمسجل إزاحة من ٥ بت عام الأغراض مستخدما شرائح حقيقية مبينا رقم كل شريحة يتم استخدامها.

٤– استخدم وحدتين من الشريحة ٧٤١٩٥ للحصول على مسجل إزاحة من ٨ بت.

٥– استخدم وحدتين من الشريحة ٧٤١٩٤ للحصول على مسجل إزاحة من ٨ بت يمكن إزاحة محتوياته فى كلا الاتجاهين.

٦– ما هو الفرق بين العداد الدوار والعداد الثنائى.

٧– صمم عداد دوار من ١٠ مراحل مستخدما أحد قلابات D.

٨– فى تمرين ٦ افترض أن أول قلاب فقط هو الذى خرجه يساوى واحد وباقى الخروج تساوى أصفار. ارسم المخطط الزمنى على كل خرج مع نبضات التزامن.

٩– أكتب جدول الحقيقة للدائرة المصممة فى تمرين ٧.

١٠–كرر تمارين ٦ و ٧ و ٨ مستخدما عداد جونسون.

١١–استخدم الشريحة ٧٤١٩٥ للحصول على عداد دوار من ١٦ مرحلة.

١٢–ارسم دائرة تفصيلية لدائرة تحويل البيانات من الصورة المتوازية إلى الصورة التتابعية.

١٣–صمم دائرة تأخير إشارة بمقدار ٥ ميللى ثانية. الإشارة الداخلة ترددها يساوى ١٠٠ هرتز.

الفصل العاشر

١٠

الذاكرة

Memory

١٠–١ مقدمة

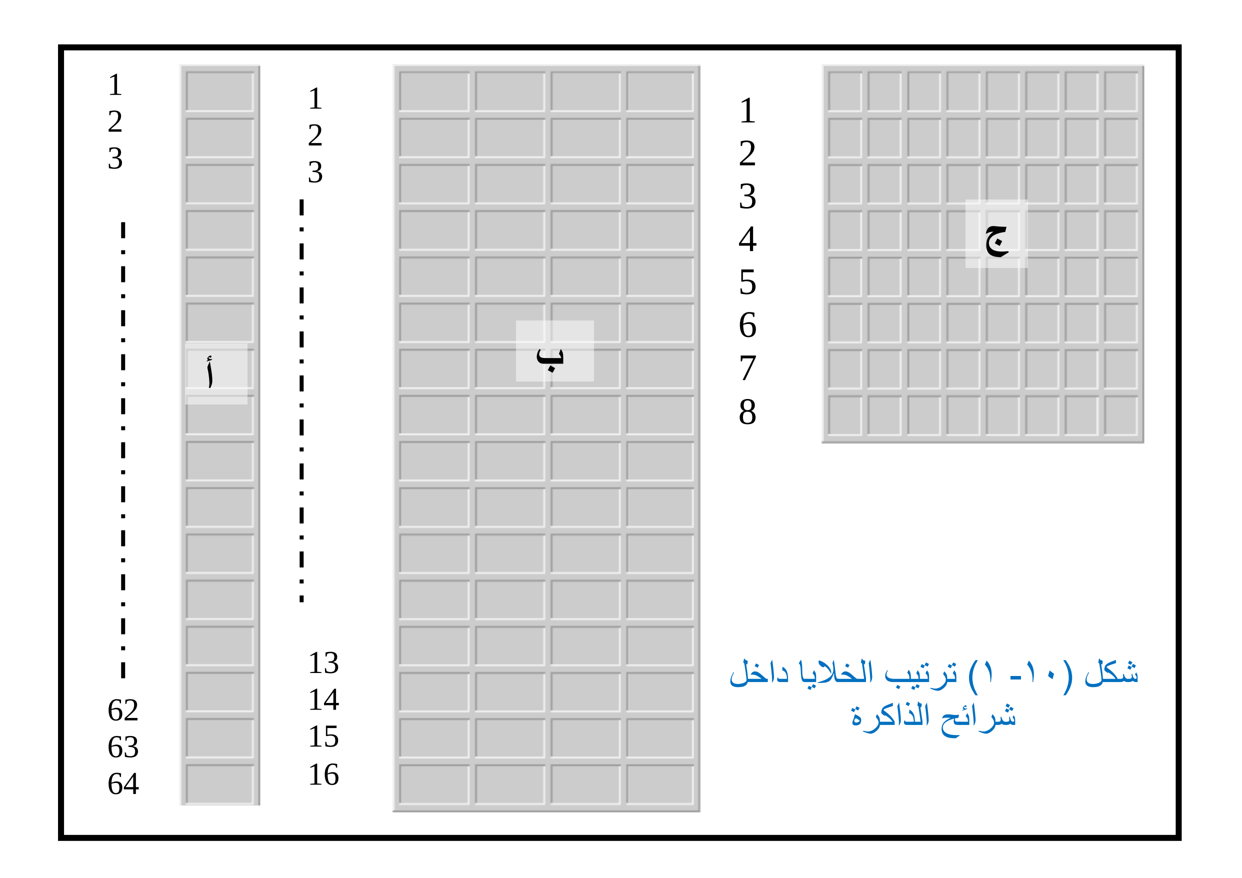
لقد شرحنا فى فصل سابق مسجلات الإزاحة، التى تعتبر نوعا من أنواع أجهزة التخزين محدودة المساحة، وبالتالى يمكن اعتبارها ذاكرة محدودة. الذاكرة التى سنشرحها فى هذا الفصل هى الذاكرة الكبيرة المساحة والتى تستخدم فى تخزين كم معين (كبير) من البيانات والتى لا يمكن تخزينها فى مسجلات إزاحة. المعالجات والحاسبات تعتمد أساسا فى تشغيلها على الذاكرة بأنواعها المختلفة لكى تخزن فيها البرامج والبيانات المستخدمة فى أثناء عمليات المعالجة لهذه البيانات. يمكن تقسيم الذاكرة إلى نوعين من حيث طريقة التخزين. النوع الأول وهو الذاكرة المغناطيسية التى تعتمد فى طريقة تخزينها للبيانات على إعادة توزيع مادة مغناطيسية على قرص معين بطريقة مغناطيسية. من أشهر أمثلة ذلك الأقراص المرنة والأقراص الصلبة وشرائط التسجيل، كلها تسجل البيانات مغناطيسيا. هذه الأنواع لن نتعرض لها فى هذا الفصل. النوع الثانى من الذاكرة هو الذاكرة المصنعة من أشباه الموصلات semiconductors والتى توجد فى صورة شرائح. وحدة التخزين فى هذا النوع هى القلاب أو المكثف. هذا النوع (الثانى) هو الذى سنشرحه بالتفصيل فى هذا الفصل.

١٠–٢ وحدة تخزين البيانات (البت والبايت والورد)

الوحدة الأساسية لتخزين البيانات هى البت bit. والبت هى الخانة الثنائية التى يمكن أن تكون واحد أو صفر. البت كما سنرى بعد قليل يمكن بناؤها من قلاب أو من مكثف، وعلى حسب طريقة البناء سيحدد نوع الذاكرة. ٤ بتات مع بعضها تسمى نبل nibble (نصف البايت)، ولكن النبل لم يعد يستخدم الآن كوحدة من وحدات التعامل مع البيانات. ٨ بتات تسمى البايت byte، والبايت هى الوحدة الشائعة الاستخدام الآن فى دنيا التعامل مع البيانات والحاسبات على وجه العموم. ١٦ بت، أو ٢ بايت تسمى ورد word وهذه أيضا قليلة الاستخدام عن البايت.

عند بناء شرائح الذاكرة يتم ترتيب الخلايا التخزينية (البتات) بأكثر من طريقة داخل كل شريحة. فيمكن مثلا ترتيب هذه الخلايا التخزينية فى صورة بتات متتابعة بحيث يمكن التعامل مع كل بت على حده كما فى شكل (١٠– ١أ)، أو فى صورة وحدات، كل منها عبارة عن نبل (٤ بت)، يتم التعامل معها على هذا الأساس كما فى شكل (١٠– ١ب)، أو أخيرا فى صورة بايتات يتم التعامل معها على هذا الأساس أيضا كما فى شكل (١٠– ١ج) الذى يبين ٦٤ وحدة تخزينية (بت) فى شريحة معينة تم ترتيبها بثلاث طرق مختلفة. الطرقة الأولى ٦٤×١ بت ونقول فى هذه الحالة شريحة مكونة من ٦٤ بت. الطريقة الثانية ١٦×٤ بت ونقول شريحة مكونة من ١٦ نبل. والطريقة الثالثة ٨×٨ بت ونقول شريحة مكونة من ٨ بايت. فى العادة تذكر شرائح الذاكرة بعدد وحدات التخزين المستخدمة مضروبا فى عدد البتات فى كل وحدة من هذه الوحدات. فنقول مثلا شريحة مكونة من ١٦ك×٤ بت. هذه الشريحة بالطبع تحتوى ١٦كيلو نبل، أو نقول شريحة مكونة من ١٦ك×٨ بت لشريحة مكونة من ١٦ك بايت وكل بايت من ٨ بت بالطبع.

كما ذكرنا فإن التعامل مع الذاكرة يكون على مستوى البايت لأن الشرائح التى تتعامل على مستوى البت أو النبل تكاد تكون غير موجودة الآن. عند التعامل مع ذاكرة مكونة من بايتات فإن كل بايت تتحدد بعنوان معين، وهذا العنوان يكون هو رقم الصف الذى تشغله هذه البايت فى شرائح الذاكرة. فالبايت الثالثة مثلا يكون عنوانها هو ٣، والبايت العاشرة يكون عنوانها هو ١٠، وهكذا.



شكل (١٠-١) ترتيب الخلايا داخل شرائح الذاكرة

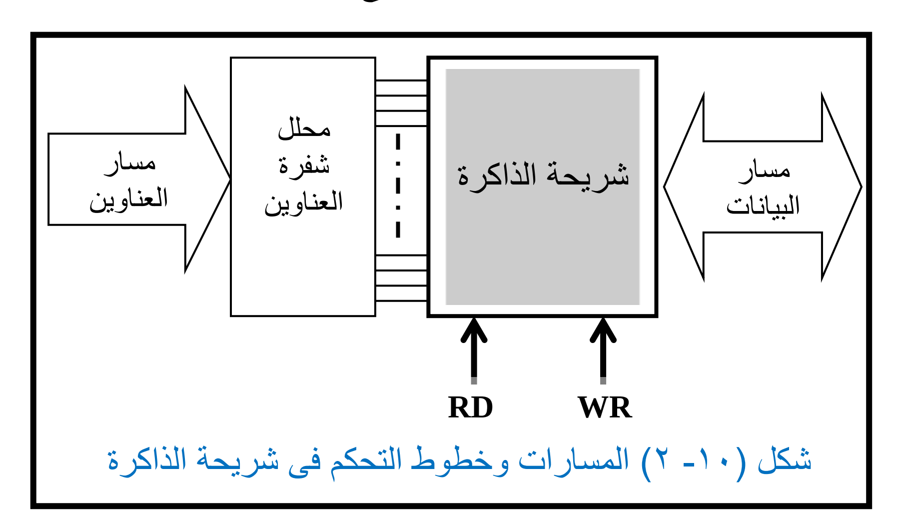
١٠-٣ العمليات الأساسية على الذاكرة

هناك عمليتان أساسيتان يتم التعامل بهما مع الذاكرة. العملية الأولى هى عملية **الكتابة** Write, WR فى الذاكرة، والعملية الثانية هى عملية **القراءة** Read, RD منها. الكتابة هى تخزين بيانات معينة فى مواضع معينة فى الذاكرة، بينما عملية القراءة هى استخراج أو استرجاع بيانات معينة أيضا من مواضع معينة فى الذاكرة. كما رأينا فى العمليتين فإنه لابد من تحديد العنوان الذى سيتم التعامل معه سواء بغرض الكتابة أو بغرض القراءة.

يتم إدخال البيانات إلى شريحة الذاكرة أو استخراجها من شريحة الذاكرة على مجموعة من الخطوط المتوازية تسمى **مسار البيانات** أو خطوط البيانات. كما ذكرنا فإن معظم شرائح الذاكرة الآن منظمة فى صورة بايتات، أى أنه يتم إدخال أو استخراج بايت كاملة إلى أو من الشريحة. لذلك فإن مسار البيانات لمثل هذه الشرائح يتكون من ٨ خطوط. مسار البيانات يكون ثنائى الاتجاه لأن البيانات تدخل إلى الذاكرة من خلاله وتخرج منها من خلاله أيضا. لاحظ أن البيانات تكون خارجة من الذاكرة عند لحظة معينة وتكون داخلة عند لحظة أخرى ولا يمكن أن تكون داخلة وخارجة عند نفس اللحظة أو فى نفس الوقت.

عند الكتابة أو القراءة فى أو من الذاكرة لابد من تحديد العنوان الذى سيتم التعامل معه. هذا العنوان يتحدد أو يوضع على مجموعة من الخطوط المتوازية أيضا تسمى **مسار العناوين**. عدد خطوط مسار العناوين لأى شريحة ذاكرة يتحدد على حسب سعة هذه الشريحة، والعلاقة بين سعة الشريحة وعدد خطوط مسار العناوين لها هى أن سعة الشريحة تساوى ٢ مرفوعة لأس عدد خطوط مسار العناوين. فإذا كان عدد خطوط مسار العناوين هو ٤ فإن سعة هذه الشريحة هى $٢^{٤}$=١٦ بايت، وإذا كان عدد خطوط مسار العناوين هو ٨ فإن سعة هذه الشريحة هو $٢^{٨}$=٢٥٦ بايت، وهكذا. مسار

العناوين أحادى الاتجاه ويحمل إشارة العناوين إلى الذاكرة، أى أن الإشارة عليه تكون دائما داخله لشريحة الذاكرة. شكل (١٠- ٢) يبين شريحة ذاكرة وقد وصل عليها كل من مسار البيانات ومسار العناوين. لاحظ أن مسار العناوين يدخل على محلل شفرة decoder يخرج منه عدد من الخطوط مساوى لعدد البايتات الموجودة فى الشريحة. بجانب مسارى البيانات والعناوين فإن أى شريحة لابد أن يكون لها خطان للتحكم يتحدد من خلالهما الغرض من التعامل مع هذه الشريحة، هل هو بغرض الكتابة أم بغرض القراءة. يتم ذلك من خلال خطان يسميان خطى التحكم، أحدهما هو الخط Read, RD الذى يتم تنشيطه إذا كان الغرض من التعامل هو القراءة، والخط الآخر هو الخط Write, WR الذى يتم تنشيطه إذا كان الغرض هو الكتابة فى شريحة الذاكرة. أحيانا يتم تنشيط هذه الخطوط بوضعها تساوى صفر وفى هذه الحالة نقول أنها منخفضة الفعالية Active low وفى هذه الحالة نضع شرطة على الخط لكى نميزه بهذه الصفة كما يلى:



شكل (١٠- ٢) المسارات وخطوط التحكم فى شريحة الذاكرة

$\overline{WR}$ و $\overline{RD}$. من الممكن أن يكون خط التحكم عالى الفعالية وفى هذه الحالة لا نضع شرطة فوق اسم الخط. بعض الشرائح القديمة يكون لها خط تحكم واحد عندما يكون بصفر فإنه يمكن الكتابة فى الذاكرة وعندما يكون هذا الخط واحد فإنه يمكن القراءة من الذاكرة. فى هذه الحالة يكتب اسم الخط مع وجود شرطة على الحالة المنخفضة الفعالية كما يلى: $RD/\overline{WR}$.

١٠-٣-١ عملية الكتابة فى الذاكرة

تتم عملية الكتابة فى أى شريحة ذاكرة على ٣ خطوات كما يلى:

١- وضع العنوان على مسار العناوين الخاص بالشريحة.

٢- توضع البيانات المراد تسجيلها فى الشريحة على مسار البيانات.

٣- ينشط خط التحكم WR فيتم فورا تسجيل البيانات فى العنوان المحدد وتختفى البيانات التى كانت موجودة أصلا فى هذا العنوان. شكل (١٠- ٣) يبين رسما تخطيطيا لهذه العملية.

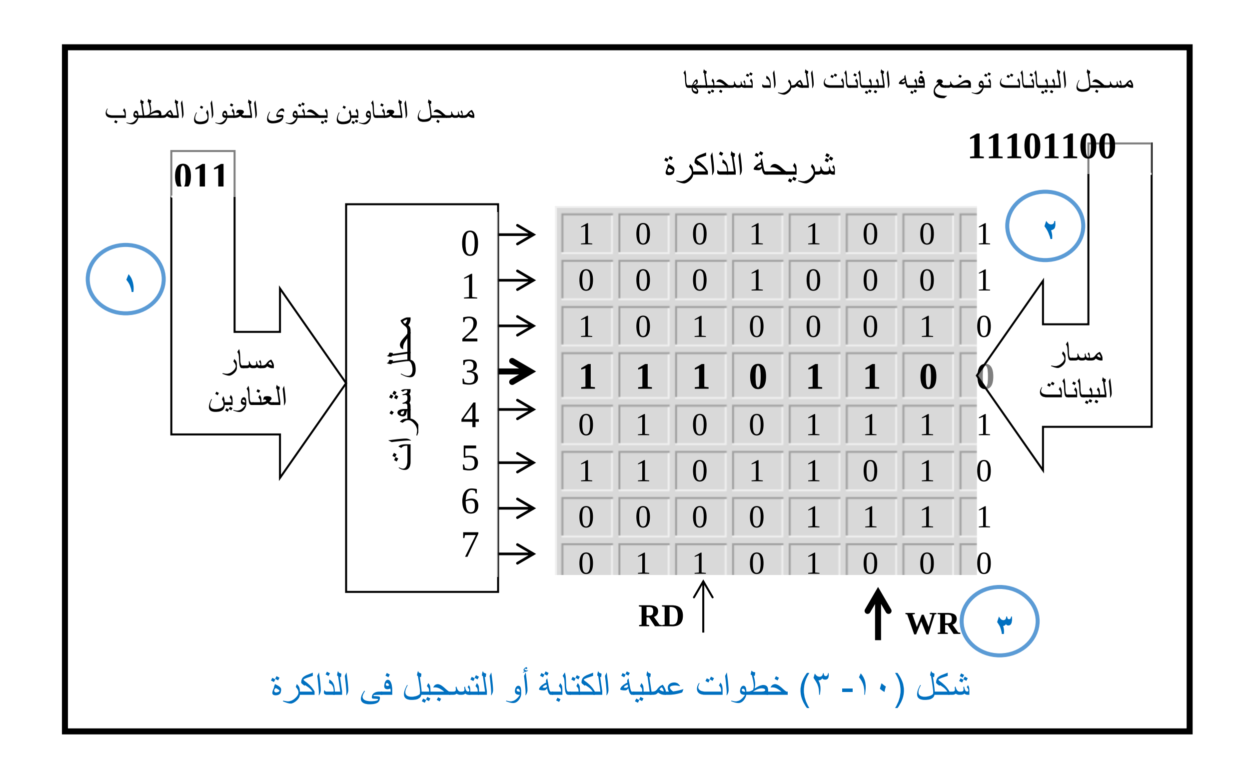
١٠-٣-٢ عملية القراءة من الذاكرة

تتم عملية القراءة من أى شريحة ذاكرة على ٣ خطوات أيضا كما يلى:

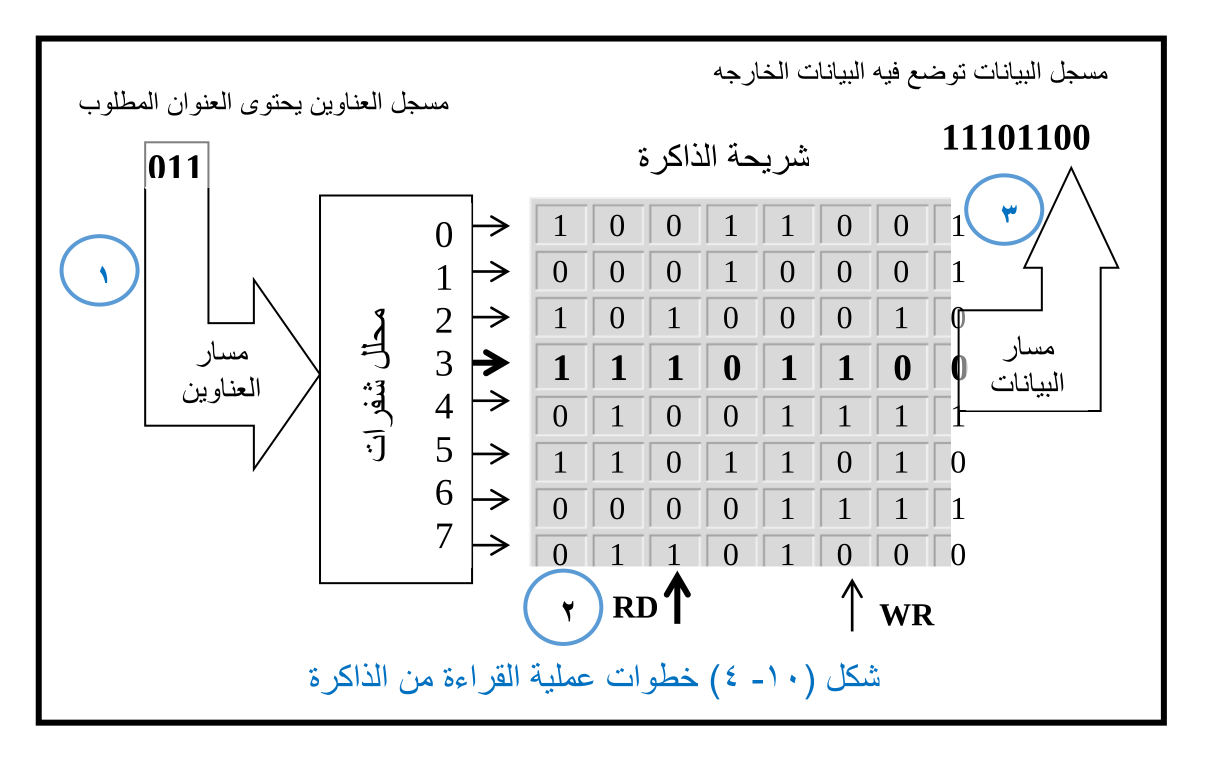
١- وضع العنوان على مسار العناوين الخاص بالشريحة.

٢- يتم تنشيط خط التحكم RD.

٣- تخرج البيانات من العنوان المحدد إلى مسار البيانات. البيانات الموجودة فى هذا العنوان لا تتأثر ولكن يؤخذ منها نسخة فقط. شكل (١٠- ٤) يبين رسما تخطيطيا لهذه العملية.



شكل (١٠- ٣) خطوات عملية الكتابة أو التسجيل فى الذاكرة



شكل (١٠- ٤) خطوات عملية القراءة من الذاكرة

١٠-٤ ذاكرة الاتصال العشوائى

Random Access Memory, RAM

فى هذا النوع من الذاكرة يمكن الكتابة أو القراءة من أى عنوان يتم تحديده فى شريحة الذاكرة وليس بالضرورة أن تكون عملية القراءة أو الكتابة من عناوين متتالية، من هنا كانت التسمية بالعشوائية، أى أنه يمكن اختيار العنوان الذى ستتعامل معه من أى مكان فى الذاكرة. هذا النوع من الذاكرة كما ذكرنا يمكن القراءة منه والكتابة فيه، كما أن محتوياته أى البيانات المسجلة فيه تفقد بانقطاع القدرة عن هذه الشرائح، لذلك يطلق عليها الاسم Volatile، على العكس من النوع الآخر من الذاكرة الذى سندرسه بعد قليل والذى يسمى ذاكرة القراءة فقط Read Only Memory , ROM والذى لا يفقد محتوياته بانقطاع القدرة ولذلك يسمى ذاكرة Nonvolatile. كما نرى فقد جرت العادة بطريق الخطأ على اطلاق اسم RAM أو الذاكرة عشوائية الاتصال على الذاكرة القابلة للكتابة والقراءة مع أن كل من النوعين سواء الرام أو الروم تعتبر ذاكرة اتصال عشوائى لأننا يمكننا الاتصال بأى مكان فيها وليس بالضرورة أن يكون الاتصال عشوائيا مع الرام فقط. ولكن بحكم أن هذا أصبح شائعا فإننا سنعنى هنا أن الرام RAM هى ذاكرة القراءة والكتابة معا بينما الروم هى ذاكرة القراءة فقط.

RAM

Static RAM

Dynamic RAM

Bipolar

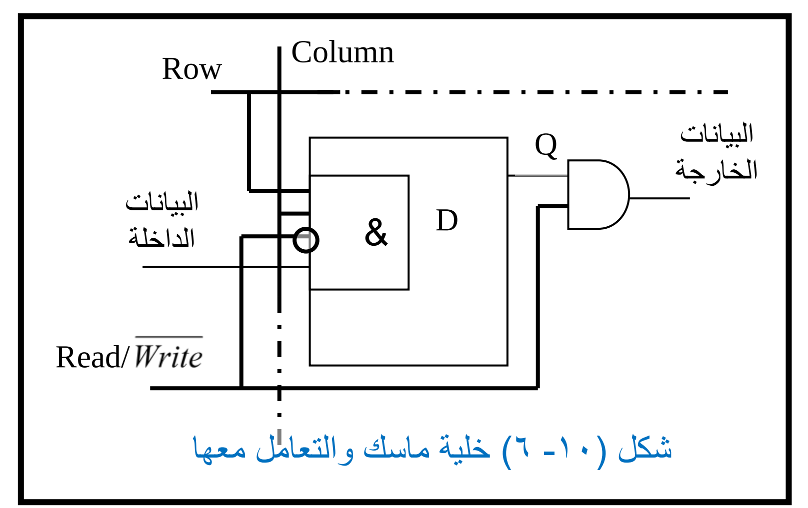
MOS

BiMOS

MOS

شكل (١٠-٥) تقسيمات ذاكرة الاتصال العشوائى

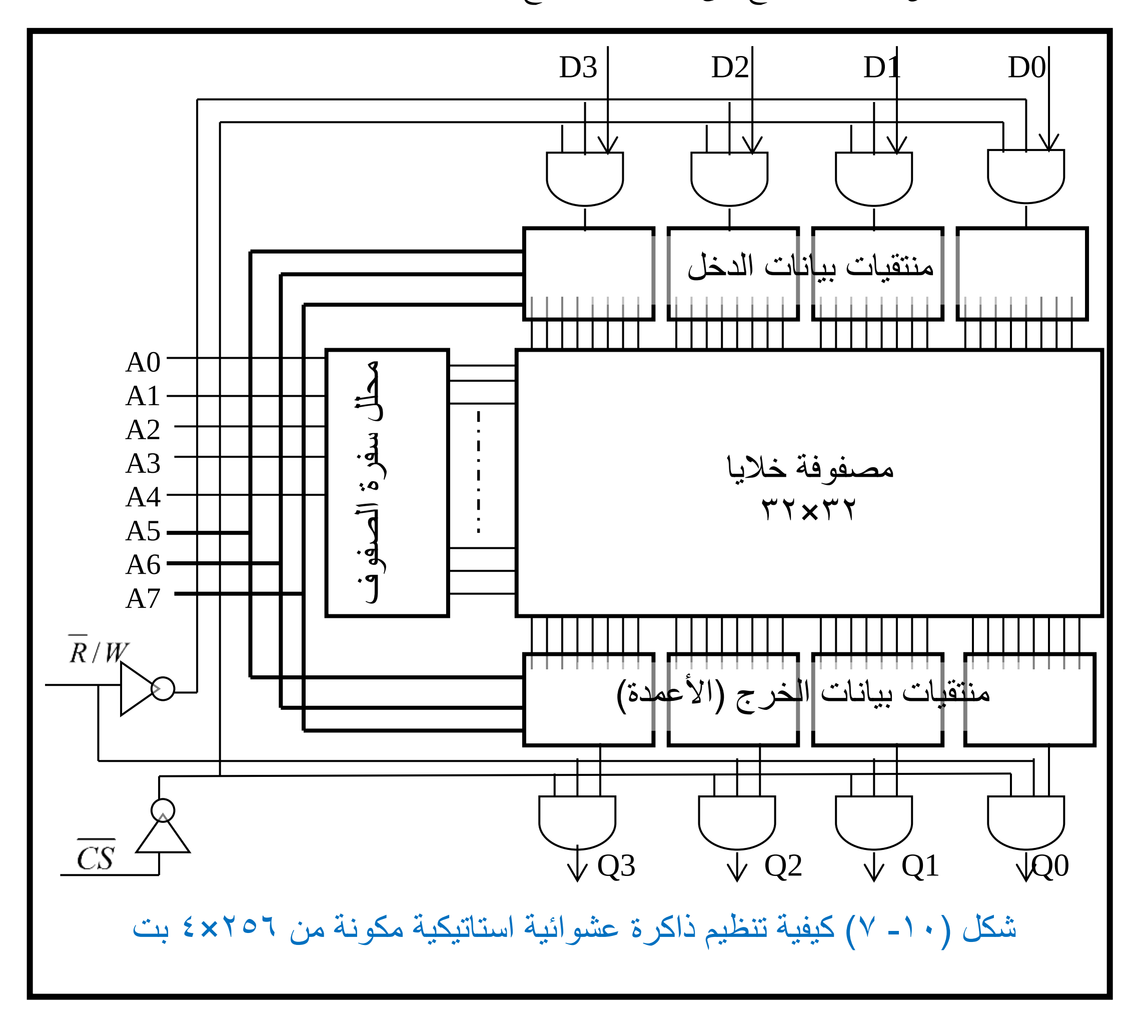
تصنع شرائح ذاكرة القراءة والكتابة من أشباه الموصلات باستخدام تكنولوجيا التصنيع المعروفة بثنائية القطبية Bipolar technology أو باستخدام التكنولوجيا المعروفة بـ MOS أو باستخدام الطريقتين معا BiMOS. الذاكرة العشوائية تقسم أيضا إلى نوعين من حيث طريقة الاحتفاظ بالبيانات، فهناك الذاكرة الاستاتيكية Static RAM, SRAM والذاكرة الديناميكية Dynamic RAM, DRAM. الذاكرة الاستاتيكية تحتفظ بمحتوياتها طالما أن القدرة موجودة على الشريحة. بينما الذاكرة الديناميكية فتحتفظ بمحتوياتها لأزمنة قصيرة جدا وإذا لم تجدد هذه البيانات باستمرار فإنها تفقد بالرغم من وجود القدرة لأن البيانات فى هذه الحالة تكون فى صورة شحنة على مكثف.



شكل (١٠-٦) خلية ماسك والتعامل معها

لذلك لابد من إنعاش هذا المكثف أو تجديد الشحنة عليه كل فترة زمنية معينة. شكل (١٠- ٥) يبين رسما صندوقيا لتقسيمات مختلفة لذاكرة الاتصال العشوائى.

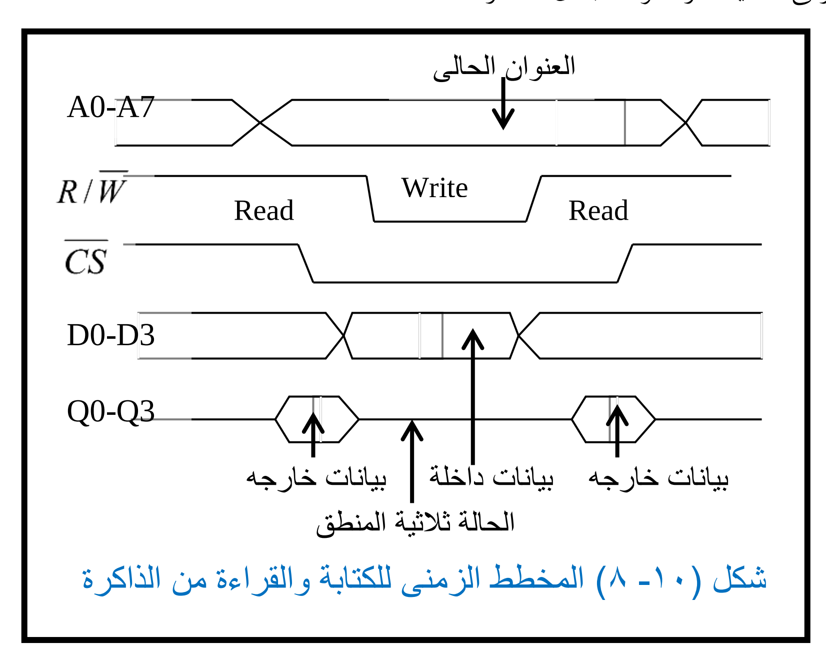
خلية التخزين فى الذاكرة الاستاتيكية SRAM هى الماسك latch، وهذا الماسك من الممكن أن يصنع بتكنولوجيا ال Bipolar أو تكنولوجيا ال MOS أو بالطريقتين معا BiMOS وبالطبع فإن هذا ليس مكان الشرح التفصيلى لكل واحدة من هذه التكنولوجيات. شكل (١٠- ٦) يبين ماسك مصنوع بأى طريقة من الطرق السابقة. دخل هذا الماسك يتم التحكم فيه من خلال بوابة آند لها ٣ مداخل: الدخل الأول ينشط عند اختيار الصف الذى تقع فيه هذه الخلية Row=1، والدخل الثانى ينشط عند اختيار العمود الذى تقع فيه هذه الخلية Column=1، والدخل الثالث ينشط عندما يكون الخط $Read/\overline{Write}=0$ أى فى حالة الكتابة فى الذاكرة. فى هذه الحالة تنشط الآند التى تتحكم فى دخل الخلية ويتم تسجيل البيانات الموجودة على خط بيانات الدخل فى الخلية. لاحظ أنه فى هذه الأثناء يتم إخماد بوابة الآند الموجودة فى خرج الخلية نتيجة الصفر الموجود على الخط $Read/\overline{Write}=0$. عند القراءة من الخلية يكون الخط $Read/\overline{Write}=1$ وبالتالى تنشط البوابة الموجودة فى الخرج وتخمد البوابة الموجودة فى الدخل وبالتالى تخرج البيانات الموجودة داخل الخلية إلى الخارج على خط بيانات الخرج.



شكل (١٠- ٧) كيفية تنظيم ذاكرة عشوائية استاتيكية مكونة من ٢٥٦×٤ بت

يتم تنظيم خلايا التخزين داخل شريحة الذاكرة فى صورة مصفوفة مكونة من عدد من الصفوف وعدد من الأعمدة. الخلية التى ينشط فيها الصف مع العمود فى نفس الوقت هى التى يتم اختيارها للتعامل سواء للقراءة أو الكتابة. شكل (١٠-

٧) يبين طريقة تنظيم الخلايا فى شريحة سعتها ١٠٢٤ بايت منظمة فى صورة ٢٥٦×٤ بايت. أى أن وحدة التعامل مع هذه الشريحة هى النبل أو ٤ بت، أى أنه يتم قراءة أو تخزين ٤ بت مرة واحدة. الخلايا مرتبة فى هذه الشريحة فى صورة ٣٢ صف و ٣٢ عمود. طالما أن الشريحة بها ٢٥٦ نبل فإنها ستحتاج إلى ٨ خطوط عناوين. ٥ من هذه الخطوط A0 إلى A4 تدخل على محلل شفرات الصفوف الذى يخرج منه ٣٢ خط يتم اختيار واحد منها على حسب الشفرة الموجودة على خطوط الدخل. الأعمدة مقسمة إلى ٤ مجموعات كل مجموعة تحتوى ٨ أعمدة كدخل. هذه الأعمدة فى كل مجموعة تدخل على منتقى بيانات يختار الإشارة الموجودة على واحد من هذه الخطوط ويضعها على خط الخرج. هذا الخط يتم اختياره على حسب الشفرة الموجودة على خطوط العناوين المتبقية A5 إلى A7. هذه الخطوط تدخل على الأربع منتقيات على التوازى لتختار واحد من كل مجموعة خطوط. فإذا كانت هذه الخطوط تساوى 000 فإن ذلك يعنى أن الخط رقم صفر من كل مجموعة سيتم اختياره. هناك ٤ منتقيات فى دخل الشريحة و ٤ فى خرجها وكل منتقى سواء فى الدخل أو الخرج يتم التحكم فيه من خلال نفس الثلاث خطوط A5 إلى A6 كما ذكرنا. منتقيات الدخل تختار واحد من الأعمدة لتوصل عليه البيانات الموجودة على أحد خطوط الدخل D0 إلى D3 وبالتالى تسجل فى الخلية المقابلة للصف النشط من خرج محلل شفرة الصفوف. مجموعة المنتقيات الموجودة فى الخرج يتم اختيار أحد خطوط كل منتقى ليخرج على الخرج. لاحظ أن مجموعة منتقيات الخرج تدخل على بوابات آند تنشط بالخط $\overline{CS}=0$ والخط $R/\overline{W}=1$ ، بينما إشارة الدخل تدخل من خلال بوابات آند تنشط بالخط $\overline{CS}=0$ والخط $R/\overline{W}=0$. شكل (١٠ -٨) يبين المخطط الزمنى لعملية القراءة والكتابة فى الذاكرة .

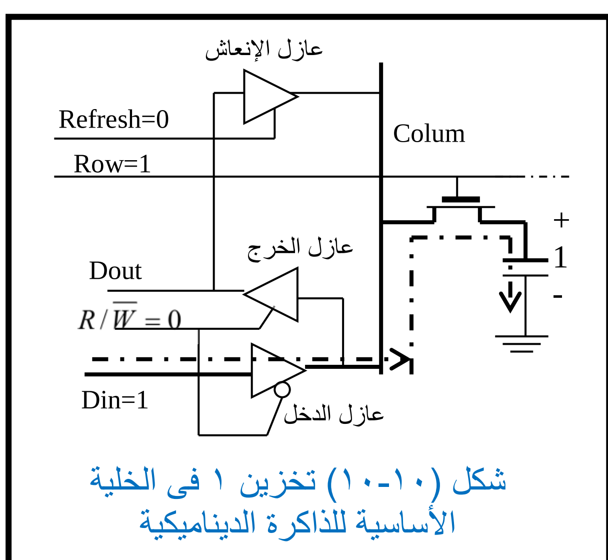


شكل (١٠ -٨) المخطط الزمنى للكتابة والقراءة من الذاكرة

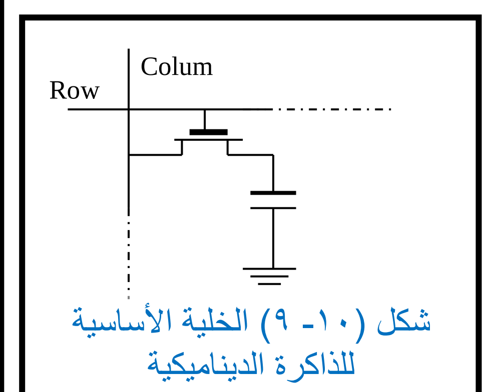
١٠–٥ ذاكرة الاتصال العشوائى الديناميكية
Dynamic RAM, DRAM

خلية التخزين فى الذاكرة الديناميكية هى المكثف وليست ماسك كما ذكرنا سابقا. لذلك فإن هذا النوع من الذاكرة يمتاز ببساطته ولذلك فإنه يمكن بهذه الطريقة الحصول على شرائح ذاكرة عالية الكثافة مع رخص ثمنها الكبير بالنسبة للذاكرة الاستاتيكية. من عيوب هذه الخلية أنها تفقد محتوياتها بعد فترة قصيرة من الزمن، لذلك لابد من إنعاش هذه الخلية كل ٢ إلى ٤ ميللى ثانية وإلا فإن محتوياتها ستفقد. نقصد بالإنعاش إعادة كتابة البت مرة أخرى، فإذا كانت الخلية تحتوى واحد يعاد كتابة واحد، وإذا كانت الخلية تحتوى صفر يعاد كتابة هذا الصفر مرة أخرى. شكل (١٠– ٩) يبين مكونات هذه الخلية حيث نرى أنها تتكون من ترانزستور CMOS متبوعا بمكثف. عند تنشيط خط الصف Row فإن الترانزستور يوصل ويصبح المصدر source والبلاعة drain متصلان. إذا كان خط العمود عليه واحد فإنه يشحن المكثف وبالتالى يكون قد تم تخزين واحد، أما إذا كان العمود عليه صفر فإن المكثف يفرغ شحنته وبالتالى يكون قد تم تخزين صفر فى هذه الخلية. أى أن الترانزستور هنا بمثابة مفتاح يوصل خط العمود على المكثف أو يمنعه.

شكل (١٠–١٠) يبين الدائرة التفصيلية لعملية تسجيل واحد فى هذه الخلية. فى هذه الحالة نضع الخط $R/\overline{W}=0$ وبالتالى فإن عازل الدخل يكون نشط فيسمح بمرور الواحد الموجود على الخط Din=1 إلى المكثف فيشحنه لأن الخط Row=1 ويكون الترانزستور موصل. فى هذه الأثناء يكون عازل الخرج مفتوح فيمنع خروج البت المدخله، كما أن عازل الإنعاش يكون مفتوحا أيضا نتيجة أن الخط Refresh=0 وبالتالى يمنع عملية الإنعاش التى سنراها بعد قليل. شكل (١٠– ١١) يبين عملية تخزين صفر فى المكثف. الجديد هنا هو أن الخط Din=0 وبالتالى فإن المكثف يوصل بالأرضى على هذا الخط فيفقد شحنته ويصبح عليه صفرا.



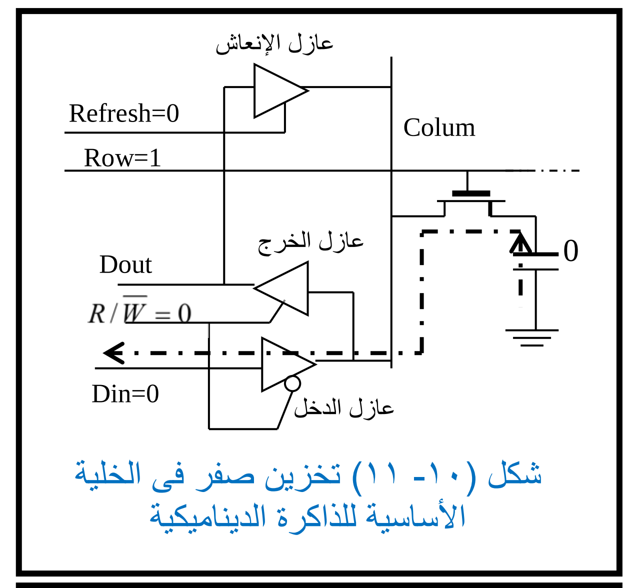
شكل (١٠-١٠) تخزين ١ فى الخلية الأساسية للذاكرة الديناميكية



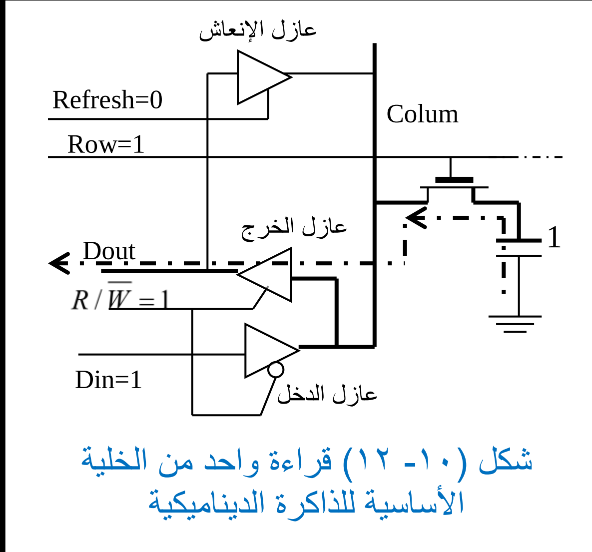
شكل (١٠- ٩) الخلية الأساسية للذاكرة الديناميكية

شكل (١٠– ١٢) يبين عملية القراءة من الخلية حيث نرى أن الجديد هنا هو أن الخط $R/\overline{W}=1$ وبالتالى يفصل عازل الدخل ويصبح عازل الخرج موصلا فيتم توصيل المكثف على خط الخرج Dout فنقرأ البيانات على خرج الشريحة. عازل الإنعاش فى هذه الحالة يكون غير موصلا. شكل (١٠– ١٣) يبين عملية إنعاش الخلية حيث فى هذه الحالة يبقى الخط $R/\overline{W}=1$ ويوضع الخط Refresh=1 فيصبح عازل الإنعاش موصلا وبالتالى تدور البيانات الخارجة إلى المكثف

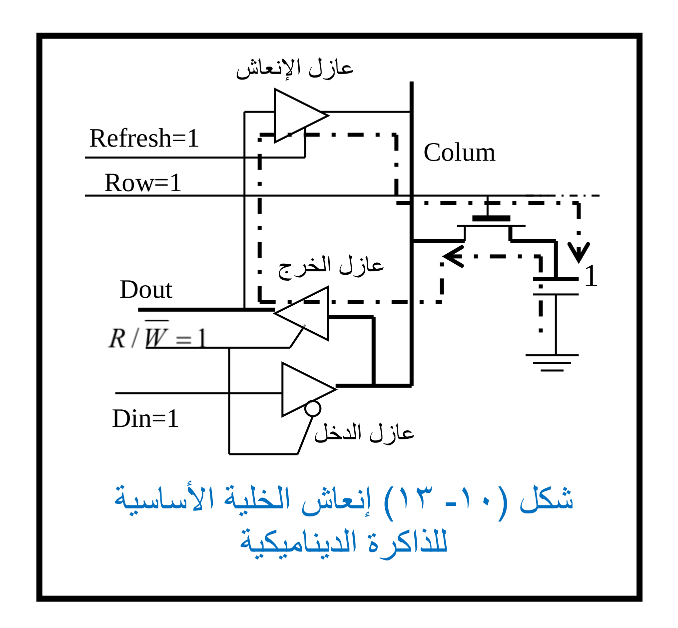
مرة أخرى فيعاد شحن نفس البيانات التى كانت موجودة فيه أصلا. فى العادة تتم عملية الإنعاش للذاكرة فى فترات انشغال الحاسب بعمليات أخرى.



شكل (١٠-١١) تخزين صفر فى الخلية الأساسية للذاكرة الديناميكية



شكل (١٠-١٢) قراءة واحد من الخلية الأساسية للذاكرة الديناميكية



شكل (١٠- ١٣) إنعاش الخلية الأساسية للذاكرة الديناميكية

١٠-٦ ذاكرة القراءة فقط
Read Only Memory, ROM

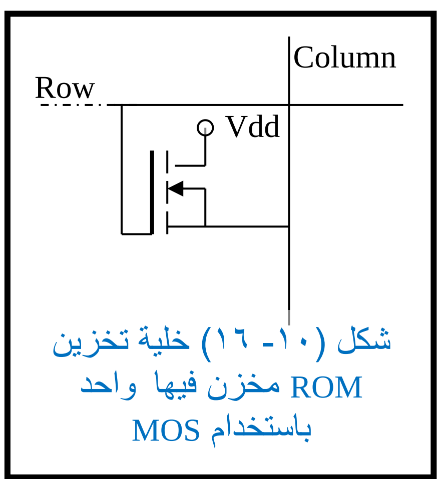
كما ذكرنا من قبل فإن هذا النوع من الذاكرة يمكن القراءة منه فقط. بعض أنواعه يمكن مسحه وإعادة الكتابة عليه باستخدام أجهزة خاصة. هذا النوع من الذاكرة لا تضيع محتوياته بانقطاع القدرة عنه، لذلك فإنه يتم تسجيل البيانات الضرورية عليها مثل جداول التحويل، وأوامر بدأ الأنظمة مثل الحواسب وغير ذلك الكثير. كلمة ROM تطلق عادة على شرائح الذاكرة التي لا يمكن إعادة برمجتها. بينما PROM تطلق على الشرائح القابلة لإعادة البرمجة، وعملية إعادة البرمجة تكون إما باستخدام أجهزة برمجة خاصة، أو تتم كهربيا حيث يمكن مسحها وإعادة برمجتها كهربيا مثل شرائح ال Electrically Erasable Programmable ROM, EEPROM.

شكل (١٠- ١٤) خلية تخزين ROM فيها واحد

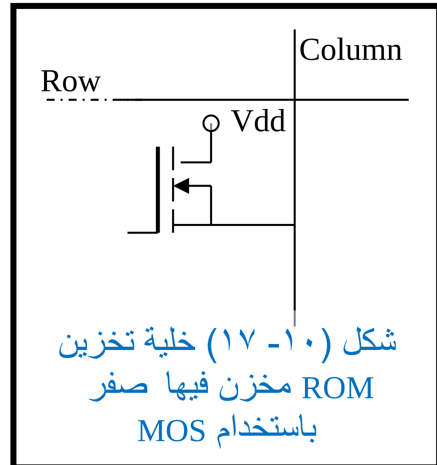
شكل (١٠- ١٥) خلية تخزين ROM فيها صفر

خلايا التخزين فى ذاكرة القراءة فقط ROM تكون عبارة عن ترانزستور توصل قاعدته بخط اختيار الصف Row فى حالة تسجيل واحد فى هذه الخلية بحيث عند قراءة الخلية وتنشيط الصف الخاص بهذه الخلية فإن الترانزستور يكون موصلا وبالتالى يظهر الجهد Vcc على خط العمود Column. فى حالة تسجيل صفر فى هذه الخلية فإن خط الصف لا يوصل بقاعدة الترانزستور كما فى الحالة السابقة بحيث يكون الترانزستور مفتوح وبالتالى فإن الخط Column يقرأ صفر فى هذه الحالة. شكل (١٠– ١٤) يبين خلية وقد برمجت لتخزن واحد وشكل (١٠– ١٥) يبين خلية مماثلة وقد برمجت لتخزن صفر. كما نرى فإن هذه الخلايا لا يمكن إعادة برمجتها. شكل (١٠– ١٦) وشكل (١٠– ١٧) يبينان نفس الدائرتين

السابقتين ولكن باستخدام تكنولوجيا ال MOS بدلا من الترانزستور ثنائى القطبية كما فى شكلى (١٠-١٤ و ١٠-١٥).



شكل (١٠- ١٦) خلية تخزين ROM مخزن فيها واحد باستخدام MOS

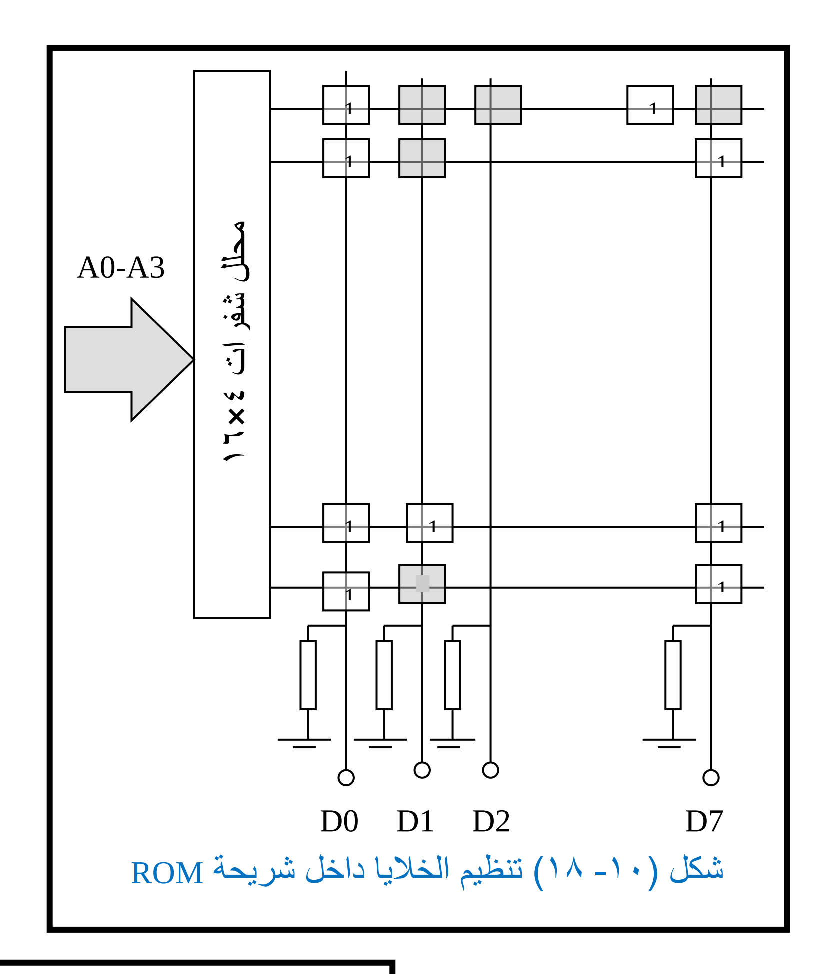


شكل (١٠- ١٧) خلية تخزين ROM مخزن فيها صفر باستخدام MOS

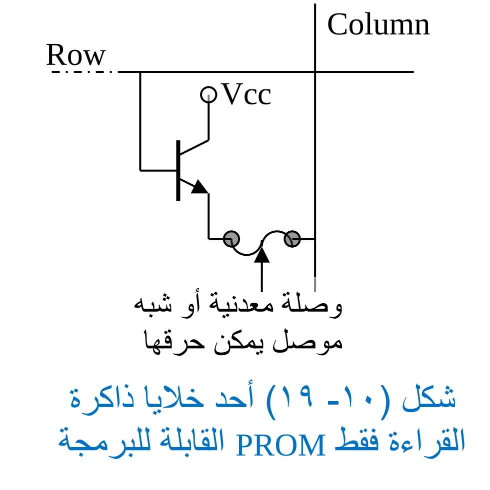
شكل (١٠- ١٨) يبين طريقة تنظيم خلايا الذاكرة فى شريحة تتكون من ١٦ بايت. نلاحظ وجود محلل شفرات ٤ إلى ١٦ الذى ينشط أحد خطوط الخرج (صف) تبعا للشفرة الموجودة على الدخل. عند تنشيط صف معين فإن الخلية التى بها واحد تخرج واحد على العمود المقابل لها والخلية التى بها صفر تخرج صفر على العمود المقابل لها أيضا. معنى ذلك أن تنشيط أى عمود سيخرج محتويات الثمانية خلايا الموجودة فى هذا الصف على الأعمدة المناظرة وبالتالى على خرج الخلية. مفروض أن خطوط الخرج ستكون موصلة على بوابات ثلاثية المنطق حتى يمكن توصيلها على مسار البيانات لأى حاسب أو معالج.

هناك أنواع من شرائح ذاكرة القراءة فقط القابلة للبرمجة. أول هذه الأنواع هى الأنواع التى تبرمج مرة واحدة فقط بواسطة المستخدم. فى هذه الحالة تكون كل الخلايا عبارة ترانزستور يصل بين الصف والعمود من خلال وصلة دقيقة يمكن حرقها لتمثل الصفر أو نتركها كما هى فتمثل الواحد. شكل (١٠- ١٩) يبين واحدة من هذه الوصلات. المادة التى تصنع منها هذه الوصلات إما أن تكون سلك معدنى دقيق وعند مرور تيار بشدة معينة فيه فإنه ينصهر. أو أن هذه الوصلة تكون من مادة شبه موصلة مثلا موضوعة فى صورة اثنين دايود موصلين عكسيا ويمثلان الصفر عند هذه النقطة. عند مرور تيار عكسى فى أحد الوصلتين يحدث لها انهيار وتصبح موصلة وتبقى الوصلة الأخرى مستخدمة كدايود فى الاتجاه الأمامى وبذلك تمثل هذه الوصلة واحد. تباع الشرائح القابلة للبرمجة فى كثافات تخزينية عالية تصل إلى ٢٥٠ك بايت وأكثر. الأجهزة التى تقوم ببرمجة مثل هذه الشرائح تختار الخلية المطلوبة بتنشيط الصف والعمود المقابلين لها، ثم تقوم بدفع تيار عالى نسبيا فى الوصلة الخاصة بهذه الخلية فتنحرق ويبقى مكانها صفر كما أشرنا. أى أن معظم خلايا ال PROM الغير مبرمجة تكون أصلا وحايد قبل حرقها ثم يتم اختيار البتات التى ستتحول إلى أصفار وتحرق.

الأنواع التى تكون وصلاتها عبارة عن مادة شبه موصلة يمكن تصميمها بحيث بعد حرقها يمكن إعادة خواصها الإلكترونية مرة ثانية عن طريق تعريضها لأشعة فوق بنفسجية مكثفة فترة من الوقت تصل إلى ٢٠ دقيقة تقريبا ترجع بعدها كل الوصلات إلى حالتها الأصلية حيث يمكن برمجتها مرة أخرى وهذه العملية تسمى عملية مسح الشريحة.



شكل (١٠ -١٨) تنظيم الخلايا داخل شريحة ROM



شكل (١٠ -١٩) أحد خلايا ذاكرة القراءة فقط PROM القابلة للبرمجة

هذه الأنواع تتميز بوجود شباك زجاجي على قمتها يمكن للأشعة أن تدخل منه لداخل الشريحة فى حالة مسحها. هذه الشرائح تسمى الشرائح القابلة للمسح والبرمجة Erasable PROM, EPROM. هناك بعض الأنواع من شرائح الذاكرة القابلة للقراءة فقط والتي يمكن برمجتها ومسحها عن طريق نبضة كهربية تحرق الوصلة فى حالة البرمجة، ونبضة كهربية أخرى تعيد الوصلة إلى حالتها الأصلية فى حالة مسح الشريحة. هذه الشرائح تسمى الشرائح القابلة للمسح وللبرمجة كهربيا Electrically Erasable PROM, EEPROM.

١٠-٧ الشريحة ٢١١٤ ذاكرة استاتيكية ١ كيلو ×٤ بت

تتكون هذه الشريحة من ١٠٢٤ نبل، كل نبل من ٤ بت كما ذكرنا من قبل، والشريحة تمثل ذاكرة استاتيكية. زمن الاتصال بالشريحة حوالى ٤٥٠ نانوثانية. الخطوط A0 حتى A9 تمثل خطوط العنونة، والخطوط D1 إلى D4 تمثل خطوط إدخال وإخراج البيانات. الخط $\overline{WE}$ هو خط الكتابة فى الشريحة حيث يجب أن يكون صفر عند الكتابة فى الشريحة. الخط $\overline{CS}$ يجب أن يكون صفرا حتى تكون الشريحة فعالة يمكن القراءة منها أو الكتابة فيها. شكل (١٠- ٢٠) يبين الرسم الطرفى لهذه الشريحة.

Intel 2114

Pin	Signal	Signal	Pin
1	A6	Vcc	18
2	A5	A7	17
3	A4	A8	16
4	A3	A9	15
5	A0	D1	14
6	A1	D2	13
7	A2	D3	12
8	$\overline{CS}$	D4	11
9	GND	$\overline{WE}$	10

شكل (١٠- ٢٠) الرسم الطرفى للشريحة ٢١١٤

١٠-٨ الشريحة ٦١١٦ ذاكرة استاتيكية ٢ كيلو بايت

تتكون هذه الشريحة من ٢٠٤٨ بايت ذاكرة استاتيكية. الشريحة لها ١١ خط عناوين A0 إلى A10 وثمانية خطوط بيانات هى D0 إلى D7. لكى تعمل الشريحة لابد أن يكون الخط $\overline{CS}$ =0 أى فعال. عند التسجيل فى الذاكرة يتم تنشيط الخط $\overline{WE}$ بوضعه يساوى صفر، وعند القراءة من الذاكرة ينشط الخط $\overline{OE}$ بجعله يساوى صفر أيضا. شكل (١٠- ٢١) يبين الرسم الطرفى لهذه الشريحة. زمن الاتصال بهذه الشريحة ١٥٠ نانوثانية.

١٠-٩ الشريحة ٦٢٦٤ ذاكرة استاتيكية ٨ كيلو بايت

تحتوى هذ الشريحة على ٨ كيلوبايت من الذاكرة العشوائية الاستاتيكية. لذلك فهذه الشريحة لها ١٣ خط عناوين و ٨ خطوط بيانات. الشريحة لها خطين تنشيط وهما الخطين CS2 عالى الفعالية والخط $\overline{CS}$ منخفض الفعالية . هناك خط الكتابة فى الشريحة وهو الخط $\overline{WE}$ منخفض الفعالية وخط القراءة $\overline{OE}$ منخفض الفعالية أيضا. الشريحة لها ٢٨ طرف منها الطرف ١ غير موصل NC. زمن الاتصال بهذه الشريحة ١٢٠ نانوثانية. شكل (١٠- ٢٢) يبين الرسم الطرفى لهذه الشريحة.

شكل (١٠-٢١) الرسم الطرفى للشريحة ٦١١٦

شكل (١٠-٢٢) الرسم الطرفى للشريحة ٦٢٦٤

١٠-١٠ الشريحة ٦٢٢٥٦ ذاكرة استاتيكية ٣٢ كيلو بايت

تحتوى هذ الشريحة على ٣٢ كيلوبايت من الذاكرة العشوائية الاستاتيكية. لذلك فهذه الشريحة لها ١٥ خط عناوين و ٨ خطوط بيانات. الشريحة لها خط تنشيط واحد وهو الخط $\overline{CS}$. هناك خط الكتابة فى الشريحة وهو الخط $\overline{WE}$ منخفض الفعالية وخط القراءة $\overline{OE}$. الشريحة لها ٢٨ طرفا هى نفس أطراف الشريحة ٦٢٦٤ مع استخدام الطرف ١ كخط عناوين A14 والطرف ٢٦ كخط A13 بدلا من CS2 فى الشريحة السابقة. زمن الاتصال بهذه الشريحة ١٢٠ نانوثانية. شكل (١٠- ٢٣) يبين الرسم الطرفى لهذه الشريحة.

1	A14	Vcc	28
2	A12	$\overline{WE}$	27
3	A7	A13	26
4	A6	A8	25
5	A5	A9	24
6	A4	A11	23
7	A3	$\overline{OE}$	22
8	A2	A10	21
9	A1	$\overline{CS}$	20
10	A0	D7	19
11	D0	D6	18
12	D1	D5	17
13	D2	D4	16
14	GND	D3	15

62256

شكل (١٠-٢٣) الرسم الطرفى للشريحة ٦٢٢٥٦

1	A7	Vcc	24
2	A6	A8	23
3	A5	A9	22
4	A4	Vpp	21
5	A3	$\overline{OE}$	20
6	A2	A10	19
7	A1	$\overline{CS}$	18
8	A0	D7	17
9	D0	D6	16
10	D1	D5	15
11	D2	D4	14
12	GND	D3	13

2716

شكل (١٠-٢٤) الرسم الطرفى للشريحة ٢٧١٦

١٠-١١ الشريحة ٢٧١٦ ذاكرة EPROM ٢ كيلوبايت

تحتوى هذه الشريحة على ٢ كيلوبايت من ذاكرة القراءة فقط القابلة للمسح وإعادة البرمجة. لاحظ أن أطراف هذه الشريحة متوافقة تماما مع الشريحة ٦١١٦، لذلك فهى تحتوى على ١١ خطا للعناوين A0 إلى A9 وثمانية خطوط بيانات هى الخطوط D0 حتى D7. هناك خط تنشيط للشريحة وهو الطرف ١٨، $\overline{CS}$ وطرف القراءة وهو الطرف ٢٠، $\overline{OE}$. الطرف ٢١ يوضع عليه ٢٥ فولت مستمر أثناء عملية البرمجة. أثناء عملية القراءة من الشريحة يوضع على هذا الطرف ٥ فولت.

قبل برمجة الشريحة تكون محتويات أى خلية غير مبرمجة تساوى واحد ولذلك عند قراءة أى شريحة غير مبرمجة تجد أن محتوياتها هى FF بالنظام الستعشرى. بعض هذه الشرائح يكون جهد البرمجة لها هو ١٢،٥ فولت. شكل (١٠- ٢٤) يبين الرسم الطرفى لهذه الشريحة. يمكن مسح محتويات الشريحة بتعريضها للأشعة فوق البنفسجية عالية الكثافة لمدة حوالى ١٥ دقيقة. بعد البرمجة ينصح بتغطية نافذة الشريحة بلاصق أسود لمنع الضوء من التسرب إليها.

١٠-١٢ الشريحة ٢٧٣٢ ذاكرة EPROM ٤ كيلوبايت

شكل (١٠- ٢٥) يبين الرسم الطرفى لهذه الشريحة. جميع خواص الشريحة ٢٧١٦ مطبقة هنا أيضا لذلك ننصح بقراءة شرحها حتى لا نكررها هنا. لاحظ أن الشريحة ٢٧٣٢ لها نفس عدد الأطراف مثل الشريحة ٢٧١٦ بالرغم من أن خطوط العنونة زادت خط وهو الخط A11. لاحظ التغلب على ذلك فى استخدام الطرف ٢٠ لأداء وظيفتين حيث يوضع عليه جهد البرمجة Vpp فى حالة البرمجة، وهو نفسه أيضا $\overline{OE}$ حيث يوضع بصفر فى حالة القراءة من الشريحة، ويوضع بواحد (٥ فولت) فى أى حالة أخرى.

Pin	2732		Pin
1	A7	Vcc	24
2	A6	A8	23
3	A5	A9	22
4	A4	A11	21
5	A3	$\overline{OE}/Vpp$	20
6	A2	A10	19
7	A1	$\overline{CS}$	18
8	A0	D7	17
9	D0	D6	16
10	D1	D5	15
11	D2	D4	14
12	GND	D3	13

شكل (١٠- ٢٥) الرسم الطرفى للشريحة ٢٧٣٢

١٠-١٣ الشريحة ٢٧٦٤ ذاكرة EPROM ٨ كيلوبايت والشريحة ٢٧٢٥٦ ذاكرة EPROM ٣٢ كيلوبايت

شكلى (١٠- ٢٦ و ١٠- ٢٧) يوضحان الرسم الطرفى للشريحتين. خطوط التحكم هنا لها نفس الوظيفة التى سبق شرحها مع الشريحة ٢٧١٦. الخط الجديد هنا هو الخط $\overline{PGM}$ فى الشريحة ٢٧٦٤ وهذا الخط يوضع بصفر (ينشط) فى حالة برمجة الشريحة ويوضع بواحد (٥ فولت) فى حالة القراءة من الشريحة.

2764

Pin	Signal	Signal	Pin
1	Vpp	Vcc	28
2	A12	$\overline{PGM}$	27
3	A7	NC	26
4	A6	A8	25
5	A5	A9	24
6	A4	A11	23
7	A3	$\overline{OE}$	22
8	A2	A10	21
9	A1	$\overline{CS}$	20
10	A0	D7	19
11	D0	D6	18
12	D1	D5	17
13	D2	D4	16
14	GND	D3	15

شكل (١٠-٢٦) الرسم الطرفى للشريحة ٢٧٦٤

62256

Pin	Signal	Signal	Pin
1	Vpp	Vcc	28
2	A12	A14	27
3	A7	A13	26
4	A6	A8	25
5	A5	A9	24
6	A4	A11	23
7	A3	$\overline{OE}$	22
8	A2	A10	21
9	A1	$\overline{CS}$	20
10	A0	D7	19
11	D0	D6	18
12	D1	D5	17
13	D2	D4	16
14	GND	D3	15

شكل (١٠-٢٧) الرسم الطرفى للشريحة ٦٢٢٥٦

١٠-١٤ تمارين

١- اشرح لماذا تعتبر كل من ذاكرة القراءة والكتابة RAM وذاكرة القراءة فقط ROM عشوائية الاتصال.

٢- اشرح فائدة مسار العناوين ومسار البيانات وخطوط التحكم فى أى شريحة ذاكرة.

٣- ما هى فائدة الخط CE أو CS فى أى شريحة.

٤- ما هى سعة شريحة ذاكرة بالبت لها ١٥ خط عناوين و ٨ خطوط بيانات.

٥- أعد شكل (١٠-٧) ولكن لتنظيم ٢٥٦ ×٨ بت ذاكرة بدلا من ٢٥٦×٤ بت.

٦- اشرح كيف تستخدم شريحتين ٢١١٤ للحصول على ذاكرة سعتها ١ كيلوبايت × ٨ بت.

٧- اشرح كيف تستخدم شريحتين ٦١١٦ للحصول على ذاكرة سعتها ٢ كيلوبايت × ١٦ بت.

٨- فى دائرة إلكترونية توجد شريحة ٦١١٦ ، هل يمكن استبدالها بشريحة ٢٧١٦ تحمل نفس البرنامج، وهل ستحتاج لتعديل فى الدائرة.

الفصل الحادى عشر

١١

دوائر التوقيت

Timing Circuits

١١–١ مقدمة

إن التقدم السريع الذي حدث في مجال الالكترونيات وبالذات فى مجال الدوائر التكاملية جعل تصميم دوائر التوقيت مسألة سهلة وبسيطة. لقد أصبح من الممكن أن تشترى بقروش قليلة دائرة توقيت timer كاملة على شريحة تكاملية صغيرة وهذه الشريحة قادرة على اعطاء توقيتات تتراوح فى الصغر الى بعض المايكروثانية وتصل في الكبر الى عدد من السنين. في هذه الأيام قد كثرت التطبيقات التي تحتاج لمثل هذه الدوائر، ومن هذه التطبيقات ما يلي:

- الغسالات الأوتماتيكية
- المجففات
- أفران الميكروويف
- السرائر المائية
- الألعاب
- مساحات السيارات
- أجراس الانزار المختلفة
- أجهزة ري التربة
- أجهزة التصوير الفوتوغرافي
- وهذه التطبيقات هي قليل من كثير.

R
C
+
Vc
–
Vin

شكل (١١-١) دائرة شحن مكثف

Vc
Vfinal
$Vc=e^{-t/\tau}$
Vinitial
t

شكل (١١-٢) معادلة شحن المكثف

نحن هنا سندرس بالتفصيل بعض الشرائح التكاملية التي تستخدم في مثل هذه الأغراض. قبل أن ندخل فى تفاصيل هذه الشرائح سنقدم بعض الخلفيات الضرورية المطلوب معرفتها قبل الدخول فى شرح هذه الشرائح. بعض هذه المعلومات سبق شرحها فى فصول سابقة وهذه سنمر عليها سريعا على سبيل التذكرة.

١١–٢ معادلة الجهد على مكثف في دائرة مكونة من مقاومة ومكثف

اذا كان لدينا دائرة مكونة من مقاومة R ومكثف C كما هو مبين فى شكل (١١– ١) وتغير جهد الدخل من قيمه ابتدائيه Vinitial الى قيمه نهائيه هي Vfinal فإن معادله الجهد على المكثف فى هذه الحالة تعطى بالعلاقة التالية:

$$Vc = Vinitial + (Vfinal - Vinitial)(1-e^{-t/\tau}) \qquad (١١-١)$$

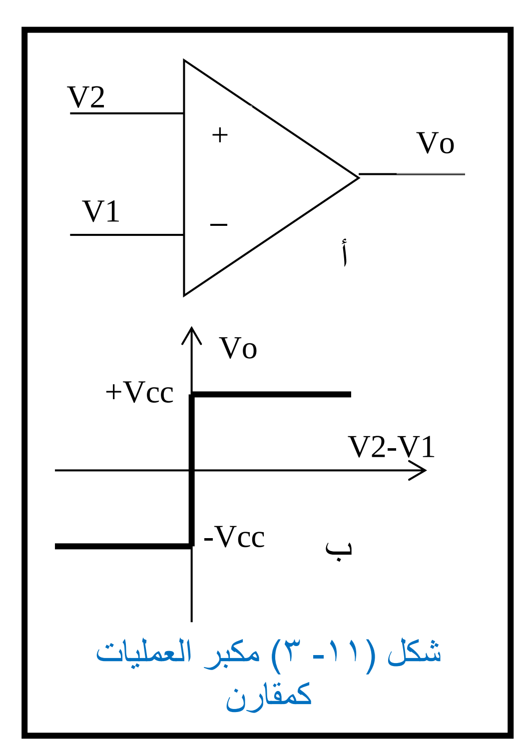
حيث τ هي الثابت الزمني للدائرة ويعطى بالعلاقة التالية :

$$\tau=RC \qquad (١١-٢)$$

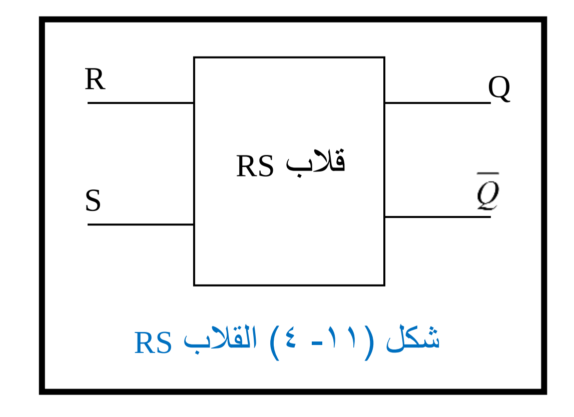
لاحظ بأنه بوضع t=0 في المعادلة (١١ – ١) فإن جهد المكثف يكون Vc=Vinitial وهي القيمة الابتدائية, وبوضع t=∞ فإن جهد المكثف يكون Vc=Vfinal وهي القيمة النهائية وهذا منطقى لأن التيار في النهاية يكون صفرا بعد استقرار الجهد علي المكثف. شكل (١١– ٢) يبين شكل معادلة تغير جهد الشحن للمكثف مع الزمن حيث نلاحظ

أن هذا التغير هو تغير أسى. وعلى ذلك فإنه لايجاد معادلة جهد الشحن علي مكثف عند أى لحظة أثناء الشحن، فان كل ما علينا هو معرفة القيمة الابتدائية والقيمة النهائية لجهد الدخل والتعويض في المعادلة (١١- ١).

١١-٣ المقارن Comparator



شكل (١١- ٣) مكبر العمليات كمقارن



شكل (١١- ٤) القلاب RS

دائرة المقارن التى نقصدها هنا هى المقارن الانسيابى أو التماثلى الذى يقارن إشارتين كل منهما من النوع التناسبي أو التماثلى. أبسط هذه المقارنات التى سنستخدمها هنا هى مكبر العمليات كما فى شكل (١١- ٣أ و ب). مكبر العمليات المفتوح، أى الذى لا يوجد به أى تغذية عكسية، يمثل مقارن. عندما يكون الجهد الموصل على الدخل الموجب V2 أكبر من الجهد الموصل على الدخل السالب V1 فإن خرج المكبر يكون هو جهد الانحياز الموجب Vcc كما فى شكل (١١- ٣ب). أما إذا كان V1>V2 فإن جهد الخرج يساوى جهد الانحياز السالب −Vcc كما فى نفس الشكل. يمكن تصميم هذه المقارنات بحيث تتوافق مع الدوائر المنطقية بحيث إذا كان V2>V1 فإن الخرج يكون ٥ فولت (الواحد المنطقى)، وإذا كان V1>V2 فإن الخرج يساوى صفر ، وهذا هو المكبر المستخدم فى دوائر التوقيت عادة. أحد مكبرات العمليات الرخيصة التى يمكن استخدامها كمقارن هى الشريحة uA741 و uA311.

لتغيير الخرج من إلي		الدخل المطلوب	
Qn	Qn+1	R	S
0	0	d	0
0	1	0	1
1	0	1	0
1	1	0	d

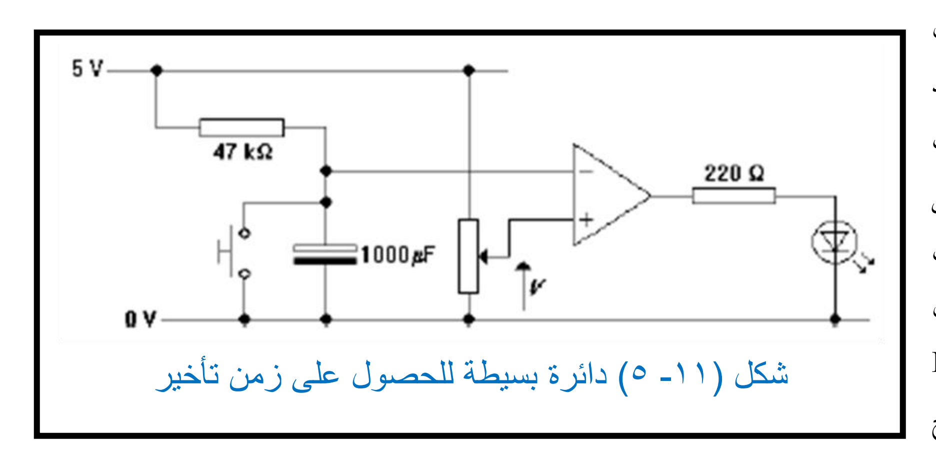
جدول ١١-١ جدول الحقيقة للقلاب RS

١١- ٤ القلاب Flip Flop

القلاب الذى يهمنا هنا هو من النوع R-S وكما نعلم فإن مثل هذا القلاب له جدول حقيقة truth table كما هو موضح في شكل (١١- ٤). من هذا الشكل نلاحظ أنه لتغير خرج القلاب من صفر الى واحد فإن S لابد ان تكون واحد و R لابد وأن تكون صفرا، ولكي نغير الخرج من واحد إلي صفر فإن S لابد أن تكون صفر و R لابد وأن تكون واحد. راجع هذا النوع من القلابات فى الفصل السابع. إذا كان الخرج Q=0 ونريده أن يبقى كذلك فانه يمكن

عمل ذلك بطريقتين، إما أن نجعل S = 0 و R = 0 وهذا معناه لا تغيير في الحالة أو نجعل S = 0 و R = 1. كل من الحالتين يمكن كتابتهما كما في الجدول ١١-١ السطر الأول في صورة S = 0 و R = d حيث d معناها do not care أو (غير مهم أن تكون صفر أو واحد) كذلك اذا كان Q = 1 ونريده أن يبقى كذلك، فيمكن الحصول على ذلك بجعل S= 0 و R = 0 وهذا معناه لا تغيير أو أن نجعل S=1 و R=0 وكل من الحالتين يمكن كتابتهما كما في السطر الأخير في الجدول ١١-١ على الصورة S=d و R=0 .

يمكن الحصول على دائرة توقيت بسيطة ورخيصة باستخدام مقاومتين ومكثف كما فى شكل (١١- ٥). هذه الدائرة مع بساطتها إلا أنها ستعكس لنا أساسيات الحصول على دائرة توقيت ذات امكانيات عالية. فى هذه الدائرة عندما يكون المفتاح مفتوح فإن المكثف يشحن لجهد يجعل الطرف السالب للمقارن أعلى من الطرف الموجب ويكون خرج المقارن صفر والمبين LED الموجود فى الخرج يكون مطفأ. عند قفل المفتاح فإن المكثف يفرغ شحنته فورا، وعند ترك المفتاح ينفتح مرة ثانية ويبدأ المكثف فى الشحن.

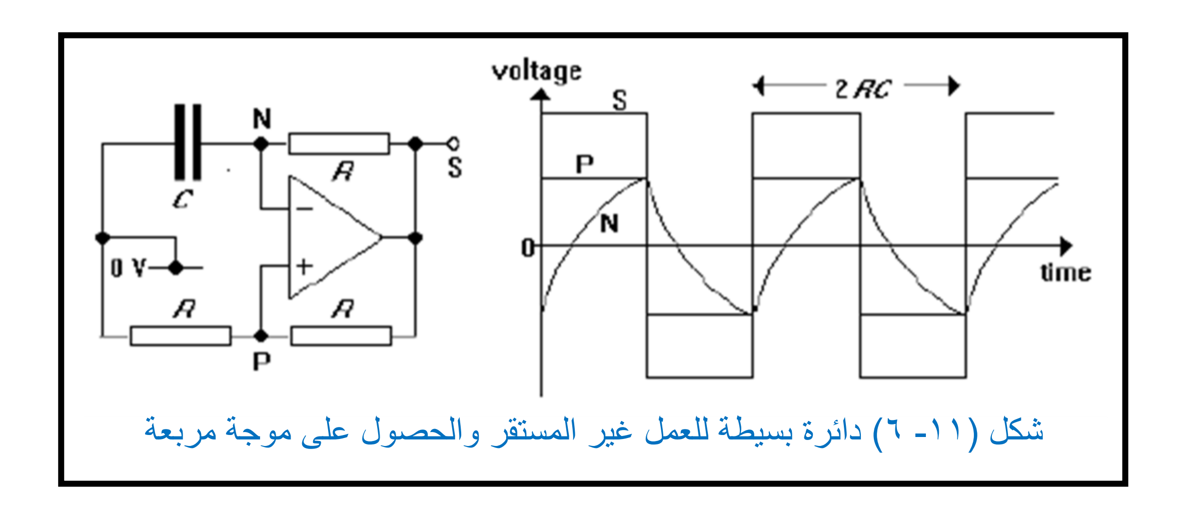


شكل (١١- ٥) دائرة بسيطة للحصول على زمن تأخير

لاحظ أنه عند نزول جهد المكثف للصفر يصبح جهد الطرف الموجب للمقارن أعلى من جهد الطرف السالب ويصبح الخرج ٥ فولت ويضىء لمبة البيان. تظل لمبة البيان مضيئة طوال مدة شحن المكثف إلى أن يصل الجهد عليه لقيمة تجعل جهد الطرف السالب أعلى من الموجب حيث عندها يرجع خرج المقارن للصفر مرة أخرى وتطفىء لمبة البيان وتستقر الدائرة على هذا الوضع. مدة عدم الاستقرار بالطبع تتوقف على قيمة المكثف وقيمة المقاومة R=47KΩ وقيمة الجهد V المثبت على الطرف الموجب للمقارن. يمكنك بناء هذه الدائرة وتجربتها عند قيم مختلفة للمقاومات والمكثف وقياس زمن التأخير فى كل حالة باستخدام ساعة إيقاف. سنرى بعد قليل كيفية حساب زمن الاستقرار عند دراسة شرائح التوقيت.

طريقة التشغيل السابقة تسمى الطريقة أحادية الاستقرار حيث أن الخرج كما رأينا يكون مستقرا عند الصفر وعند الإثارة يرتفع إلى الواحد لفترة زمنية معينة يمكن التحكم فيها ثم يعود مرة أخرى للصفر وهو الوضع المستقر ويظل كذلك إلى أن تتم إثارته مرة أخرى. هناك الطريقة عديمة الاستقرار التى لا يستقر فيها الخرج على وضع معين حيث يكون الخرج مرتفع لفترة زمنية يمكن التحكم فيها ثم ينخفض لفترة زمنية أخرى يمكن التحكم فيها أيضا، ثم يرتفع مرة أخرى، ثم ينخفض، وهكذا يظل الخرج متأرجحا بين الارتفاع والانخفاض دون أن يستقر على وضع معين. أى أن الخرج يكون عبارة عن موجة مربعة. شكل (١١- ٦) يبين دائرة مقارن بسيطة تعمل بالطريقة عديمة الاستقرار. لكى نفهم طريقة عمل هذه الدائرة سنبدأها بافتراض أن الخرج عند النقطة S مرتفع ويساوى جهد القدرة Vcc. جهد النقطة P سيكون نصف هذه الكمية نتيجة المقاومتين الموصلتين بين الخرج والأرضى. فى هذه الأثناء يشحن المكثف ويرتفع الجهد عليه محاولا الوصول القيمة Vcc. عندما يصل جهد المكثف وبالتالى جهد النقطة N أعلى قليلا من جهد النقطة P فإن خرج المكبر يتغير

من Vcc إلى ‎-Vcc‎ ويصبح جهد النقطة P سالبا ويبدأ المكثف فى التفريغ. يظل المكثف يفرغ وتقل الشحنة عليه ويقل جهد النقطة N إلى أن يصل إلى جهد النقطة P أو أقل قليلا حيث عندها ينقلب خرج المقارن ويعود إلى الموجب مرة ثانية وهكذا يظل الخرج يتأرجح بين الموجب والسالب والمكثف بين الشحن والتفريغ فى حالة من عدم الاستقرار إلى مالانهاية. شكل (١١- ٦) يوضح أيضا المخطط الزمنى لهذه الدائرة عند كل نقاط الدائرة فحاول متابعته. معادلة أزمنة الشحن والتفريغ سندرسها بالتفصيل مع شرائح التوقيت.



شكل (١١- ٦) دائرة بسيطة للعمل غير المستقر والحصول على موجة مربعة

١١-٥ التركيب الداخلى وطريقة التشغيل للشريحة NE555

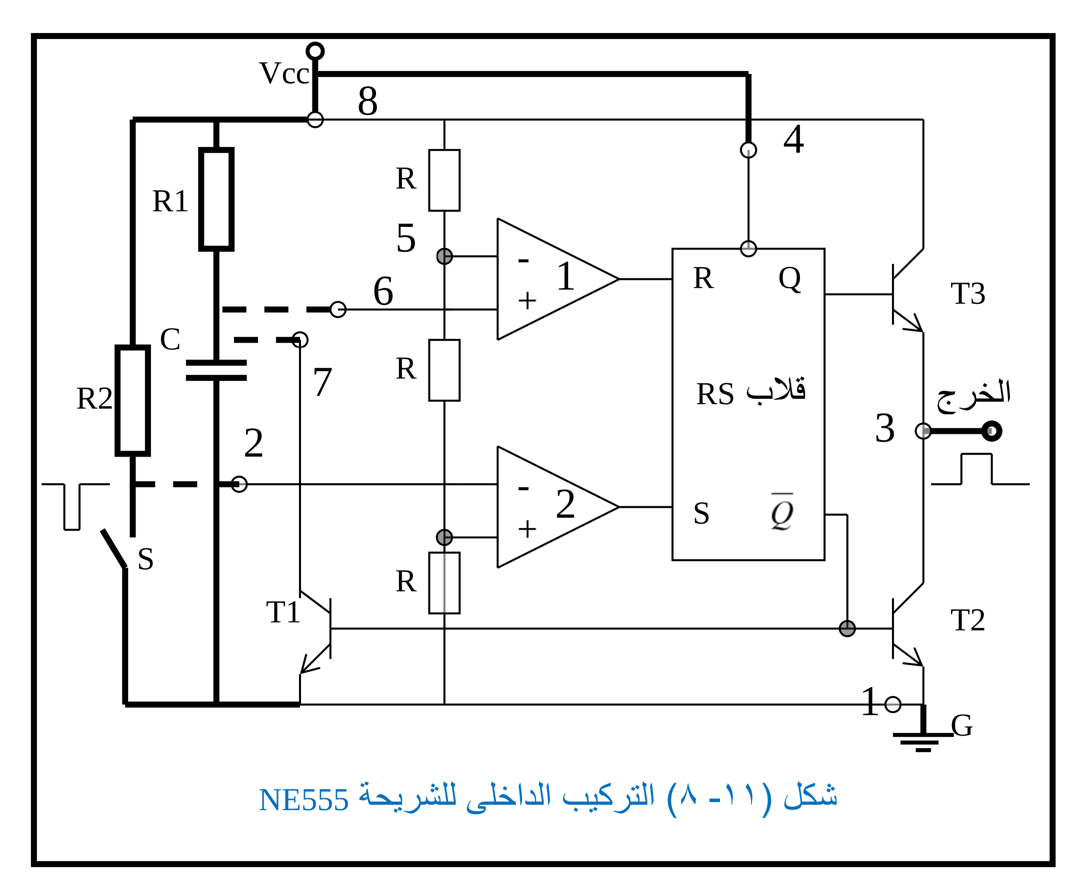
الشريحة NE555 تعتبر أحد شرائح دوائر التوقيت الشائعة الاستخدام نتيجة رخص ثمنها وملائمتها للكثير من التطبيقات وأيضا بساطة التعامل معها. هذه الشريحة قادرة على العمل بطريقتين، الطريقة الأولى هي طريقة التشغيل أحادية الثبات Monostable والطريقة الثانية هي الطريقة عديمة الثبات Astable، ونحن هنا سنعرض الطريقتين بالتفصيل. شكل (١١- ٧) يبين الرسم الطرفى لهذه الشريحة. الطرف Q هو خرج الشريحة، والطرف TR هو طرف الإطلاق Trigger، والطرف CV هو طرف جهد التحكم Control Voltage، والطرف DIS هو طرف التفريغ Discharge، والطرف THR هو طرف جهد التشبع Threshold، والطرف R هو طرف إعادة الوضع Reset، وكل هذه الأطراف سنعرف استخداماتها ووظائفها فى الأجزاء القادمة. طرف القدرة هو الطرف ٨ والأرضى على الطرف ١.

شكل (١١- ٧) الرسم الطرفى للشريحة NE555

١١-٦ طريقة التشغيل أحادية الاستقرار

Monostable Operation

فى الطريقة أحادية الاستقرار يكون الخرج Q مستقرا تماما على القيمة صفر. عند إعطاء نبضة إطلاق Trigger على الطرف ٢ يرتفع الخرج إلى القيمة Vcc لفترة زمنية معينة يتحدد مقدارها بقيمة كل من المقاومة R والمكثف C اللذان يوصلان من خارج الشريحة كما سنرى. شكل (١١ – ٨) يوضح التركيب الداخلى للشريحة NE555 مع توصيل المقاومة R والمكثف C من خارج الشريحة لتشغيلها بالطريقة أحادية الثبات. كل التوصيلات الغامقة تعتبر توصيلات من خارج الشريحة. الأرقام من ١ إلى ٨ هى أرقام أطراف الشريحة حيث أن الشريحة لها ٨ أطراف فقط كما رأينا فى شكل (١١-٧). هناك إصدار لهذه الشريحة يتكون من ١٤ طرف.



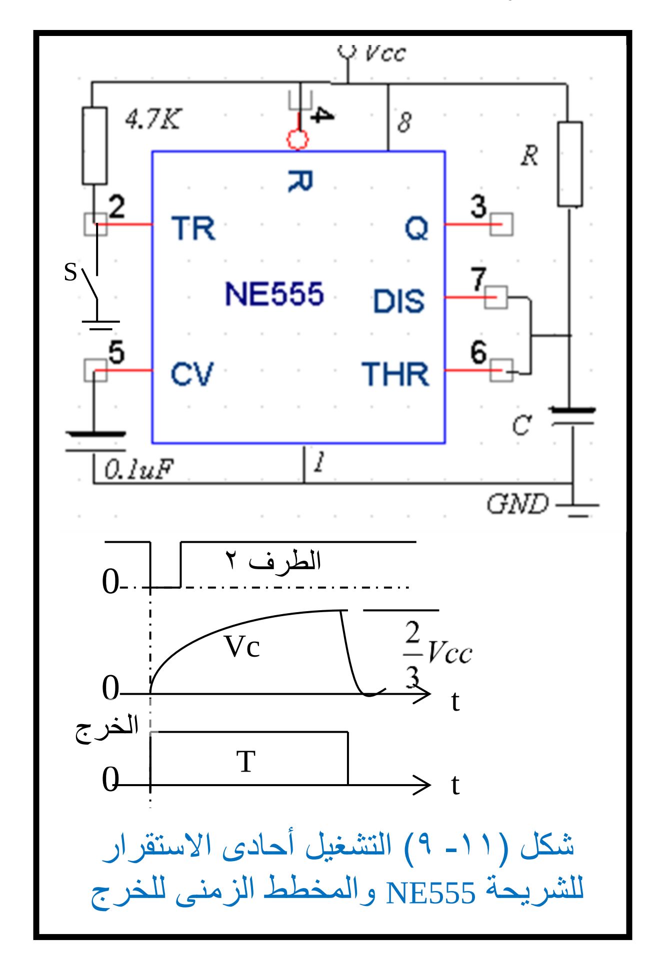
شكل (١١ -٨) التركيب الداخلى للشريحة NE555

يوجد بداخل الشريحة ثلاث مقاومات متساوية تماما فى المقدار وقيمة كل منها R ومتصلة بجهد المصدر Vcc من ناحية وبالأرضى من الناحية الأخرى، وعلى ذلك فإن كل واحدة من هذه المقاومات ستحمل ثلث هذا الجهد. معنى ذلك أن المقارن ١ كما فى شكل (١١ – ٨) يتصل دخله السالب بجهد مقداره ثلثا $(\frac{2}{3})$ جهد المصدر Vcc، والمقارن ٢ يتصل دخله الموجب بجهد مقداره ثلث $(\frac{1}{3})$ جهد المصدر Vcc. أيضا فإن دخل المقارن ١ الموجب يتصل بجهد المكثف C، أما دخل المقارن ٢ السالب فيتصل بدخل الشريحة وهو الطرف ٢ الذى سنعطى من عليه نبضة الإطلاق trigger. كما نرى فى شكل (١١ – ٨) فإن الطرف ٢ يتصل دائما بجهد المصدر Vcc من خلال المقاومة R2 (هذه المقاومة ليس لها دخل بتحدبد قيمة زمن التأخير) وعلى ذلك فإن جهده سيكون دائما Vcc إلا عند ضغط المفتاح S لإعطاء نبضة

الإطلاق حيث عندها سيكون جهد هذا الطرف يساوى صفر. أى أنه لكى نبدأ فترة عدم استقرار جديدة ينتقل فيها الخرج من صفر إلى واحد لمدة معينة علينا إعطاء نبضة إطلاق ينتقل فيها الطرف ٢ من الواحد إلى صفر ثم إلى واحد مرة أخرى. واحد نعنى بها جهد المصدر Vcc والصفر هو الأرضى، وهذه الشريحة من الممكن أن يصل جهد المصدر لها إلى ١٨ فولت، وأقل جهد لها هو ٥ فولت.

خرج المقارن ١ يتصل بالدخل R للقلاب، وخرج المقارن ٢ يتصل بالدخل S لهذا القلاب. لاحظ أن خرج أي واحد من المقارنين إما ان يكون واحد اذا كان جهد دخله الموجب أكبر من جهد دخله السالب أو أن يكون صفرا اذا كان جهد دخله السالب اكبر من جهد دخله الموجب. وعلى ذلك فإن الاشارات الداخلة لكل من R و S ستكون إما واحد أو صفر على حسب خرج هذه المقارنات. خرج القلاب Q يتصل بقاعدة الترانزستور T3 ومن علي باعث هذا الترانزستور Emitter نأخذ خرج الشريحة. أما الخرج الآخر للقلاب $\overline{Q}$ فيتصل بقاعدة كل من الترانزستور T1 و T2 في نفس الوقت. يجب أن نتذكر دائما في هذا المجال أن الترانزستورات T1 و T2 و T3 كلها تعمل كمفاتيح، أي أنها إما أن تكون موصلة تماما كما لو كان الباعث متصلا تماما بالمجمع collector وذلك يتأتي عندما يكون جهد القاعدة موجب، وإما أن تكون هذه الترانزستورات مفتوحة تماما وفي هذه الحالة يكون الباعث غير متصل علي الاطلاق بالمجمع open circuit وهذا يتأتي عندما يكون جهد القاعدة صفرا.

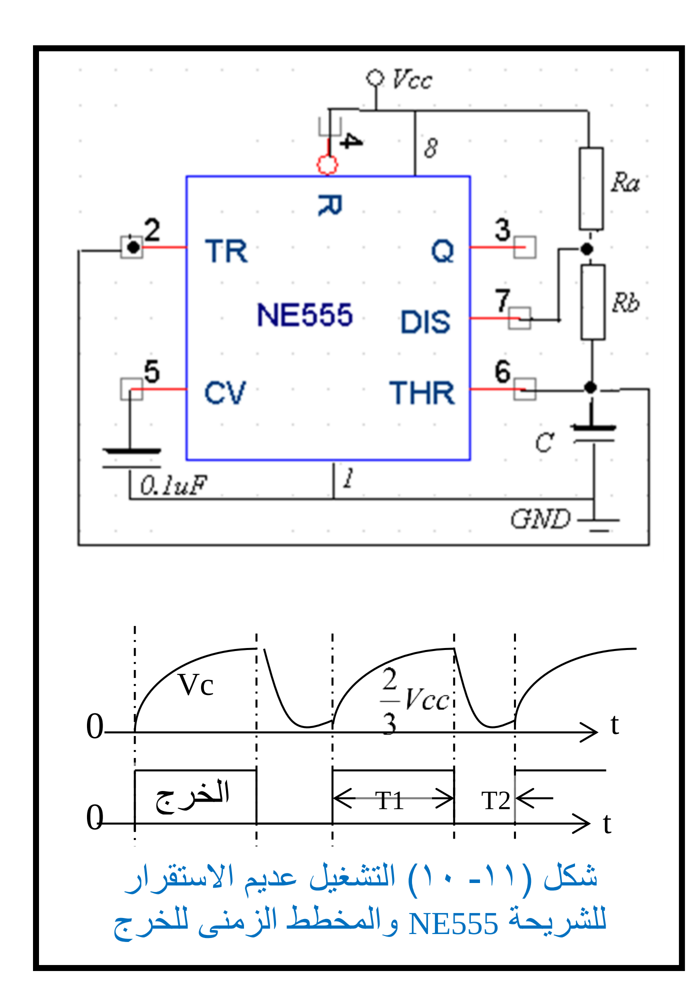
لكي نشرح كيفية عمل هذه الشريحة سنبدأ بافتراض أنة ليست هناك أية إشارة علي دخل الشريحة (الطرف ٢) لذلك فان هذا الطرف سيكون متصلا بجهد موجب مقداره Vcc، لذلك فان دخل المقارن ٢ السالب سيكون أكبر من دخله الموجب، وبالتالي سيكون خرج هذا المقارن يساوى صفر أى أن الطرف S للقلاب سيكون صفر هو الآخر. وعلي ذلك فإن Q ستكون صفراً، و $\overline{Q}$ ستكون واحد. نتيجة ذلك فإن T3 سيكون مفتوح أما T2 وT1 فسيكونان موصلان، وعلي ذلك فإن خرج الشريحة سيكون صفر وسيكون المكثف C متصلا بالأرضى نتيجة أن T1 موصلا، وستستقر الشريحة على ذلك. فى هذه الأثناء سيكون دخل المقارن ١ الموجب يساوى صفر (لأنه موصلا بالمكثف) أي أقل من دخله السالب وعلي ذلك فإن خرج هذا المقارن سيكون صفراً أيضاً، أي أن R=0 وعلي ذلك فإن خرج القلاب Q سيظل صفراً طالما أنه ليست هناك أية إثارة على الطرف ٢.



شكل (١١- ٩) التشغيل أحادى الاستقرار للشريحة NE555 والمخطط الزمنى للخرج

تعال نفترض الآن حدوث إثارة علي الطرف ٢ للشريحة عن طريق الضغط على المفتاح S ثم تركه، أي أن جهد هذا الطرف تغير من واحد إلى الصفر ثم رجع إلى الواحد مرة أخرى كما هو موضح في شكل (١١- ٨). نتيجة هذه الأثارة سيكون أن دخل المقارن ٢ السالب أقل من دخله الموجب، وعلي ذلك فإن خرج هذا المقارن سيرتفع من صفر إلي واحد. أي أن S ستصبح واحد وهذا سيقلب حالة القلاب Q من صفر إلي واحد، أي أن Q=1، وبالتالي $\overline{Q}$=0. نتيجة ذلك فإن كل من T1 و T2 سيكون مفتوح ولن يري المكثف C جهد الأرض لذلك فإنه سيبدأ في الشحن من خلال المقاومة R بثابت زمني مقداره RC محاولاً الوصول إلي الجهد Vcc. في نفس الوقت سيكون الترانزستور T3 موصلا وبالتالي فإن خرج الشريحة يتصل بجهد المصدر Vcc ويصبح واحد.

كما ذكرنا فإنه بمجرد أن يصبح الترانزستور T1 غير موصل فإن المكثف C سيبدأ في الشحن محاولا الوصول إلى القيمة Vcc. لاحظ أيضا أن جهد المكثف أثناء عملية الشحن يكون موصلا على الدخل الموجب للمقارن ١، وعلى ذلك فإن جهد هذا الطرف سيتبع تماما نفس التغير الحادث على المكثف. مع زيادة الجهد على طرف المكثف يزداد بالتالى الجهد على الطرف الموجب للمقارن ١ إلى أن يصل جهد المكثف إلى ثلثى Vcc أو أعلى قليلا حيث عندها يصبح الطرف الموجب لهذا المقارن أعلى من طرفه السالب، فيتغير خرجه إلى الواحد بدلا من الصفر، وبالتالى تصبح R=1. لاحظ أن S=0 فى هذه الأثناء، وبالتالى سيحدث إعادة وضع للقلاب ويصبح الخرج Q=0 و $\overline{Q}$=1 وبالتالى يصبح الترانزستور T3 مفصولا مرة أخرى ويعود خرج الشريحة إلى الصفر. وأما T2 و T1 فيصبح كل منهما موصلا مرة أخرى أيضا، وبالتالى سيوصل المكثف C على الأرضى ليفرغ شحنته وينتهى من دورة عدم الاستقرار التى حدثت له نتيجة الإثارة التى حدثت على الطرف ٢ للشريحة. كما رأينا فإن هذه الفترة هى عبارة عن فترة شحن المكثف من صفر محاولا الوصول إلى الجهد Vcc ولكن عندما يصل جهده إلى $\frac{2}{3}Vcc$ سيتوقف ويفرغ شحنته. بالطبع فإن هذا الزمن سيتوقف على قيمة كل من C و R ويمكن حساب هذا الزمن من المعادلات التالية:



شكل (١١ -١٠) التشغيل عديم الاستقرار للشريحة NE555 والمخطط الزمنى للخرج

$$Vc = Vcc(1 - e^{-t/RC}) \qquad (١١-٣)$$

عندما يكون t=T حيث T هى نهاية زمن الشحن كما فى شكل (١١– ٩) ، فإن جهد المكثف Vc يساوى $\frac{2}{3}Vcc$. بالتعويض بذلك فى المعادلة (١١– ٣) نحصل على ما يلى:

$$\frac{2}{3}Vcc = Vcc(1 - e^{-T/RC}) \qquad (١١-٤)$$

ومنها يمكن حساب الزمن T كما يلى :

$$T = RC\ln(3) \qquad (١١-٥)$$

وهذه يمكن كتابتها كما يلى :

$$T = 1.1RC \qquad (١١-٦)$$

فى المعادلات السابقة عندما تكون R بالأوم و C بالفاراد فإن T تكون بالثانية. شكل (١١– ٩) يبين مرة أخرى طريقة توصيل الشريحة لتعمل بالطريقة أحادية الاستقرار، كما يبين المخطط الزمنى على الأطراف المختلفة. القيم العملية للمقاومة R ما بين ١٠٠ أوم وواحد ميجاأوم، وأما قيم المكثف C فتتراوح بين ١٠٠ بيكوفاراد إلى ١٠٠٠ ميكروفاراد وعلى ذلك فإن زمن التأخير الذى يمكن الحصول عليه من مثل هذه الدائرة يتراوح ما بين ١٠ نانوثانية و ١٠٠٠ ثانية أى ما يساوى حوالى ساعتين ونصف تقريبا.

١١–٧ طريقة التشغيل عديمة الاستقرار Astable Operation

فى هذه الطريقة يتم توصيل الطرف ٢ بالطرف ٦ للشريحة وبالتالى يصبح الدخل السالب للمقارن ٢ يرى جهد المكثف هو الآخر. هناك أيضا مقاومة جديدة Rb بين الطرفين ٦ و ٧ للشريحة وهذه سيقوم المكثف بالتفريغ من خلالها. شكل (١١– ١٠) يوضح ذلك. معنى عديم الاستقرار أن الخرج يصعد للقيمة واحد لفترة زمنية معينة سنرى أنها تتحدد بقيمة مجموع المقاومتين Ra و Rb والمكثف C، ثم بعد ذلك ينزل مرة ثانية للصفر لفترة تتحدد بقيمة المقاومة Rb فقط والمكثف C ويستمر فى ذلك بين الصعود للواحد والنزول للصفر إلى مالانهاية، أى أننا سنحصل فى الخرج على موجة مربعة وليس نبضة وحيدة كما سبق. سنبدأ مع جهد المكثف عند أى لحظة ولتكن أثناء شحنه. فى هذه الأثناء يشحن المكثف من خلال المقاومتين Ra و Rb ويظل الجهد عليه فى الارتفاع محاولا الوصول إلى Vcc، ولكن عندما يصل جهده إلى القيمة $\frac{2}{3}Vcc$ أو أعلى قليلا يصبح خرج المقارن رقم ١ يساوى واحد وبذلك يحدث إعادة وضع للقلاب ويصبح خرجه وبالتالى خرج الشريحة يساوى صفر. فى هذه الأثناء تصبح $\overline{Q}=1$ وبالتالى يصبح كل من T1 و T2 موصلا وبالتالى يبدأ المكثف C فى التفريغ من خلال المقاومة Rb نتيجة اتصال الطرف ٧ بالأرضى نتيجة توصيل الترانستور T1. يستمر المكثف فى التفريغ ويستمر الجهد عليه فى النقصان إلى أن يصل جهده إلى القيمة $\frac{1}{3}Vcc$ أو أقل قليلا حيث عندها يصبح جهد الطرف السالب للمقارن ٢ أقل من جهده الموجب وبالتالى تصبح S=1 وعندها ينقلب الحال ويصبح Q=1 وبالتالى خرج الشريحة ينقلب هو الآخر إلى واحد مرة أخرى ويبدأ المكثف فى الشحن مرة أخرى من خلال المقاومتين Ra و Rb كما سبق ويستمر فى ذلك إلى أن يصل جهده إلى $\frac{2}{3}Vcc$ حيث عندها ينقلب الخرج مرة أخرى، وهكذا تتكرر العملية إلى مالانهاية. الآن سنحاول حساب زمن الشحن T1 وزمن التفريغ T2.

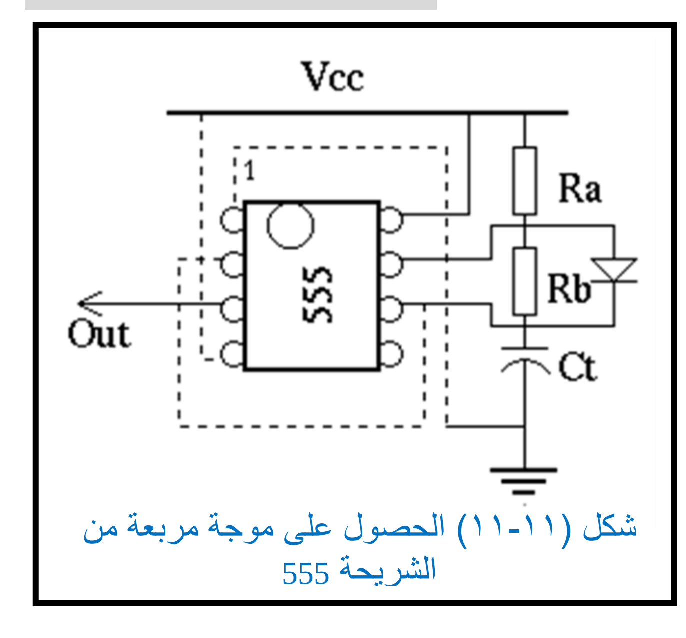
فى أثناء الزمن T1 يشحن المكثف مبتدءا من القيمة الابتدائية $\frac{1}{3}Vcc$ محاولا الوصول إلى القيمة النهائية Vcc ولكن عندما يصل إلى $\frac{2}{3}Vcc$ يبدأ فى التفريغ. على ذلك يمكن كتابة معادلة شحن المكثف كما يلى:

$$Vc = \frac{1}{3}Vcc + (Vcc - \frac{1}{3}Vcc)(1 - e^{-t/(Ra+Rb)C}) \qquad (٧-١١)$$

عندما t=T1 يكون Vc=$\frac{2}{3}Vcc$ وبالتعويض عن ذلك فى المعادلة السابقة مع بعض الاختصارات نحصل على الزمن T1 كما يلى:

T1=(Ra+Rb)Cln2

T1=0.693(Ra+Rb)C (٨-١١)



شكل (١١-١١) الحصول على موجة مربعة من الشريحة 555

فى أثناء الزمن T2 يفرغ المكثف شحنته من خلال المقاومة Rb ابتداء من القيمة $\frac{2}{3}Vcc$ محاولا الوصول إلى القيمة النهائية صفر، وعلى ذلك فإن معادلة التفريغ للمكثف يمكن كتابتها كما يلى:

$$Vc = \frac{2}{3}Vcce^{-t/RbC} \qquad (٩-١١)$$

عندما t=T2 يكون Vc=$\frac{1}{3}Vcc$ ومنها يمكن حساب T2 كما يلى:

T2=RbCln2

T2=0.693RbC (١٠-١١)

كما رأينا فإن الخرج يكون عبارة عن موجة مربعة زمن الدورة لها يمكن حسابه من المعادلتين (١١ -٨) و (١١ -١٠) كما يلى:

T=T1+T2

=0.693(Ra+2Rb)C (١١-١١)

كما يمكن وضع معادلة لتردد الموجة الناتجة كما يلى:

$$F = \frac{1}{T} = \frac{1.44}{(Ra + 2Rb)C} \qquad (١٢-١١)$$

وعلى ذلك فإنه باستخدام مقاومتين ومكثف يمكن التحكم فى تردد الموجة الناتجة، كما يمكن التحكم فى نسبة زمن الواحد لزمن الصفر لهذه الموجة. كما نرى من طريقتى تشغيل الشريحة NE555 فإنها يمكن استخدامها فى العديد من التطبيقات، وأن التطبيقات التى ذكرناها فى مقدمة هذه الفصل ما هى إلا قليل من كثير يمكن عمله بهذه الشريحة.

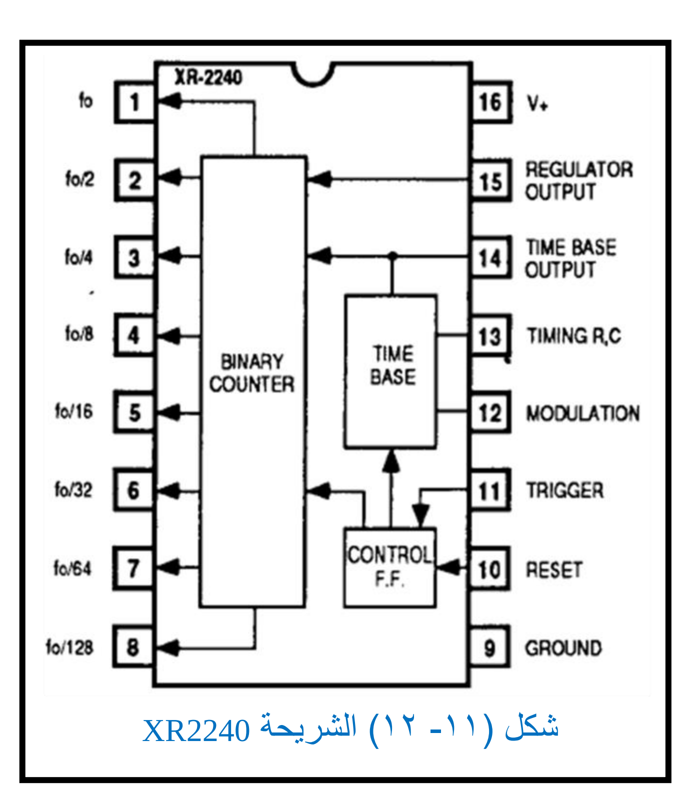
فى التشغيل غير المستقر للشريحة 555 تتم عملية الشحن من خلال المقاومتين Ra+Rb، بينما تتم عملية التفريغ من خلال المقاومة Rb فقط ولذلك فإنه من الصعب جدا الحصول على زمن تفريغ يساوى زمن الشحن وهذا من عيوب الاستخدام الغير مستقر لهذه الشريحة. البعض يقول نضع Ra=0 وهذا لا يمكن لأنه معنى ذلك أن توصل طرف التفريغ

بجهد القدرة مباشرة فلن يتمكن المكثف من التفريغ. شكل (١١-١١) يبين دائرة مقترحة يمكن الحصول منها على موجة مربعة متساوية الزمنين (زمن التفريغ وزمن الشحن). هنا تم وضع دايود على المقاومة Rb بحيث يكون هذا الدايود موصلا فى حالة الشحن فقط فيلغى المقاومة Rb وتكون معادلة زمن الشحن هى T1=0.693RaC. بينما فى حالة التفريغ يكون الدايود غير موصل ويتم التفريغ من خلال Rb فقط وتكون معادلة التفريغ هى T2=0.693RbC. وعلى ذلك لو وضعنا Ra=Rb فإننا سنحصل على زمن شحن مساوى بدرجة كبيرة جدا لزمن التفريغ.

هذا النوع من دوائر التوقيت والتى تمثلها الشريحة NE555 تسمى بمؤقتات النبضة الواحدة one shot timers أو المؤقتات الغير قابلة للبرمجة unprogrammable. بمعنى أن الشريحة لنفس قيمة المقاومة R والمكثف C تعطى زمن تأخير واحد فقط. ذلك على العكس من المؤقتات الأخرى التى يمكن برمجتها لتعطى أكثر من زمن تأخير لنفس قيمة هذه المكونات الخارجية كما سنرى. المؤقتات أحادية النبضة تعانى من بعض العيوب وأهمها هى الحدود التى يمكن أن تضعها قيم كل من المقاومة والمكثف الخارجيين على قيمة زمن التأخير الناتج. فكما رأينا أنه لكى نحصل على زمن تأخير صغير لابد أن نصغر قيم كل من المقاومة والمكثف لأقصى درجة، وبالطبع سيكون هناك حد لذلك حيث أن المقاومة الداخلية للدخل والمكثفات الطفيلية ستضع حدا لذلك. كما أنه للحصول على أزمنة تأخير كبيرة فإنه لابد من تكبير قيم كل من المقاومة والمكثف، وبالطبع فإنه مع تكبير هذه القيم ستلعب دقة هذه المكونات دورا كبيرا فى خطأ حساب الزمن الناتج. لذلك كان التفكير فى نوع آخر من المؤقتات وهى المؤقتات التى تحتوى عدادات أيضا Timer/Counter أو أحيانا يطلق عليها المؤقتات القابلة للبرمجة.

١١-٨ المؤقتات ذات العدادات Timer Counters

تستخدم هذه المؤقتات فى الحصول على أزمنة تأخير كبيرة جدا تصل إلى أيام وباستخدام تتابعات منها من الممكن الحصول على أزمنة تأخير تصل إلى سنين. تتكون هذه الشرائح عادة من مذبذب، وهذا المذبذب يكون غالبا دائرة توقيت تعمل فى الطريقة عديمة الاستقرار حيث يكون خرجه موجة مربعة يتم التحكم فيها باستخدام مقاومة ومكثف خارجيين كما رأينا مع الشريحة NE555. هناك أيضا بداخل هذه الشرائح عداد ثنائى، يمكن ضبطه ليعد عدد معين من النبضات الخارجة من المذبذب، بعدها يعطى نبضة على خرجه تمثل زمن التأخير المطلوب من المؤقت. أى أن زمن التأخير فى هذه الحالة يكون عدد معين من النبضات التى يمكن التحكم فى زمن النبضة الواحدة منها كما يمكن التحكم فى عددها. بذلك يمكن الحصول على أزمنة



شكل (١١- ١٢) الشريحة XR2240

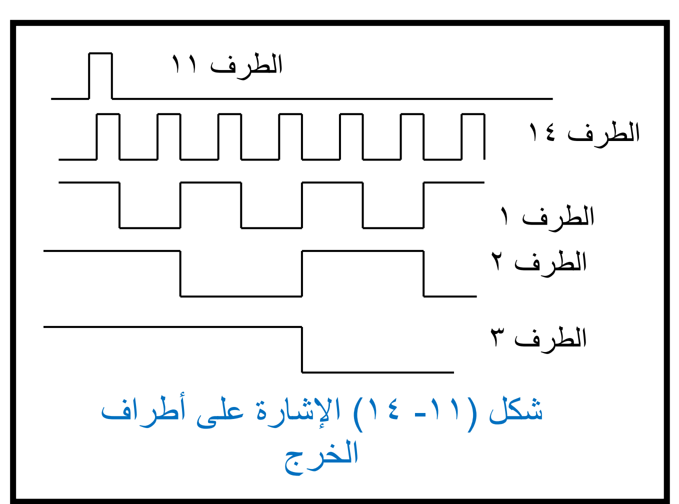
تأخير كبيرة باستخدام قيم صغيرة للمكثف والمقاومة. أشهر شريحة ممثلة لهذا النوع من دوائر التوقيت هى الشريحة XR2240 التى سنلقى الضوء عليها فى هذا الجزء.

١١-٩ الشريحة XR2240 المؤقت بعداد Timer Counter

كما هو موضح فى شكل (١١- ١٢) فهذه الشريحة تتكون من ثلاث أجزاء رئيسية هى كالتالى:

١- مذبذب وهو عبارة عن دائرة شريحة 555 تعمل فى الطريقة عديمة الاستقرار ويتم التحكم فى تردد هذه الذبذبات عن طريق مقاومة يتم توصيلها من الطرف ١٣ إلى المصدر Vcc على الطرف ١٦، ومكثف يتم توصيله بين الطرف ١٣ والأرضى على الطرف ٩. خرج هذا المذبذب يكون عبارة عن موجة مربعة متماثلة. خرج هذا المذبذب يمكن قراءته مباشرة على الطرف ١٤ كما أنه يعتبر دخلا للعداد الثنائى كما هو موضح فى الشكل (١١- ١٢). الطرف ١٢ هو الطرف السالب فى المقارن ١ فى الشريحة 555. هذا الطرف يمكن توصيل جهد متغير عليه لنحصل على موجة مربعة معدلة التردد frequency modulated على خرج الشريحة.

شكل (١١- ١٣) أخذ الإشارة من مخارج الشريحة XR2240



شكل (١١- ١٤) الإشارة على أطراف الخرج

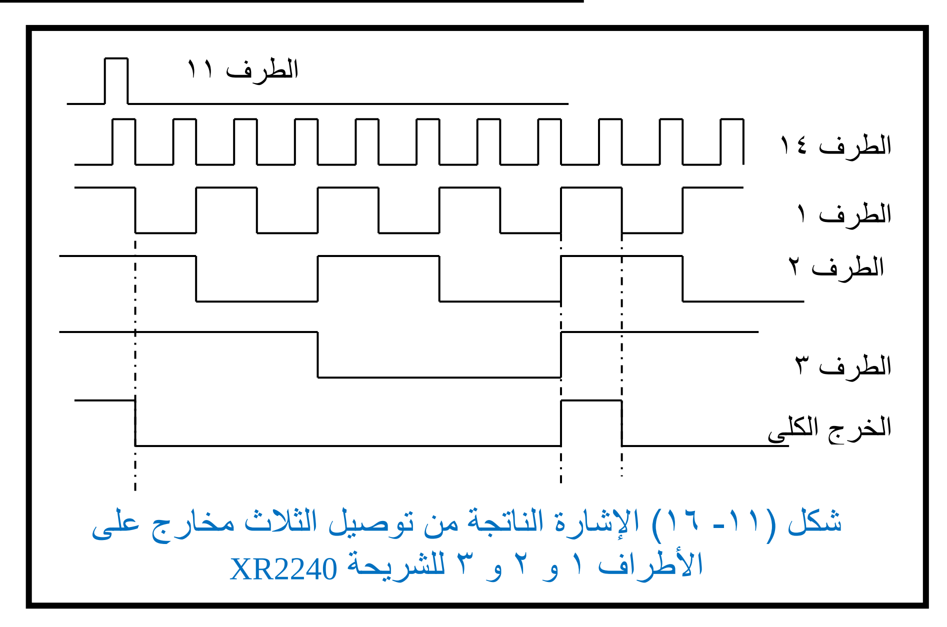
٢- الجزء الثانى فى الشريحة هو عداد ثنائى من ٨ مراحل وله ٨ مخارج كما فى شكل (١١- ١٢). هذا العداد يعد النبضات الداخلة له والقادمة من خرج المذبذب. كما نعلم من خصائص أى عداد ثنائى فإن الخرج الأول للعداد يقسم التردد الداخل على ٢ (f0) فى شكل (١١- ١٢)) والخرج الثانى يقسم على ٤ وهكذا حتى الخرج الثامن الذى يقسم الدخل على ٢٥٦ أى f0/128.

٣- الجزء الثالث هو قلاب التحكم فى الشريحة حيث من خلال هذا القلاب يمكن إعادة وضع عداد الشريحة أى تصفيره Reset عن طريق إعطاء نبضة على الطرف ١٠. كما يمكن بدأ فترة توقيت جديدة عن طريق إعطاء نبضة على الطرف ١١ trigger. كما يمكن عن طريق هذين الطرفين التحكم فى تشغيل الشريحة، إما بالطريقة أحادية الاستقرار، أو الطريقة عديمة الاستقرار كما سنرى.

جميع مخارج العداد الثمانية موصلة على أطراف الشريحة من خلال ترانزستور مفتوح المجمع open collector. معنى ذلك أنه لكى نأخذ خرج من أى طرف من هذه الأطراف لابد من توصيل هذا الطرف من خلال مقاومة ٤٫٧ كيلوأوم تقريبا على الجهد Vcc. شكل (١١-١٣) يبين المخرج f0، والطرف ١، وكيفية أخذ الإشارة من عليه.

Vcc
4.7K
XR2240
خرج العداد الأول
خرج العداد الثانى
١
٢
٣
الإشارة الخارجة

شكل (١١- ١٥) أخذ الإشارة من أكثر من مخرج من مخارج الشريحة XR2240

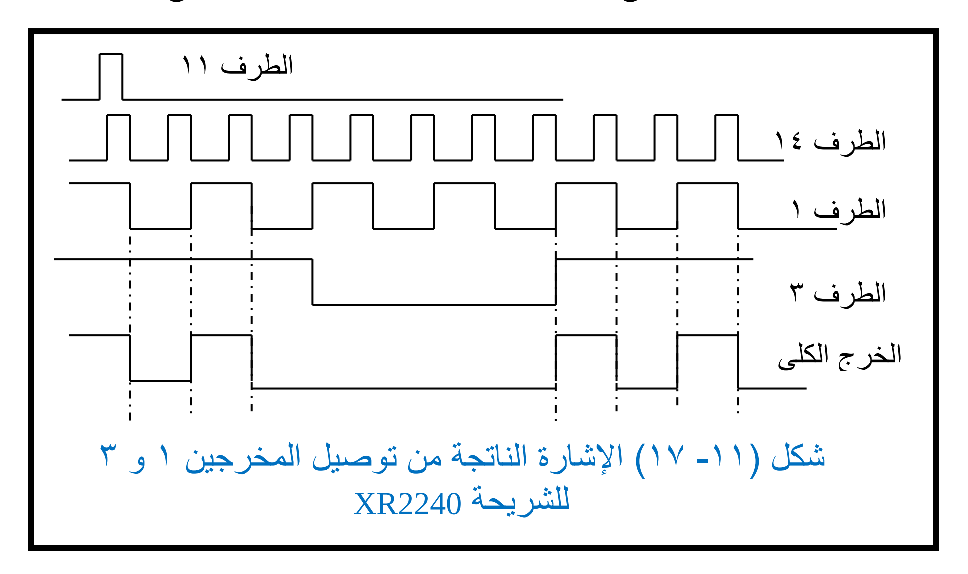


شكل (١١- ١٦) الإشارة الناتجة من توصيل الثلاث مخارج على الأطراف ١ و ٢ و ٣ للشريحة XR2240

كما نرى من هذا الشكل فإنه عندما يكون خرج العداد واحد فإن الطرف ١ سيكون صفر، بينما عندما يكون خرج العداد صفر فإن الطرف سيكون واحد. وعلى ذلك فإنه مع تكرار النبضات الخارجة من العداد فإننا سنحصل على نفس هذه النبضات ولكن معكوسة كما فى شكل (١١- ١٤). عند توصيل مقاومة ومكثف على الطرف ١٣ للحصول على موجة معينة وإعطاء نبضة بدأ على الطرف ١١ فإننا سنحصل على موجات مربعة ذات قواسم مختلفة من على كل طرف على حده كما فى نفس الشكل (١١- ١٤) مع ملاحظة أن كل موجة على أى طرف تكون ذات تردد نصف تردد الموجة على الطرف السابق له. معنى ذلك أنه يمكن الحصول على ٨ قيم مختلفة لأزمنة التأخير من على الثمانية مخارج كل على حده.

يمكن الحصول على قيم أخرى لأزمنة التأخير عن طريق توصيل أكثر من خرج من مخارج الشريحة مع بعضها وتوصيلها على الجهد Vcc من خلال مقاومة واحدة كما فى شكل (١١- ١٥). هذه التوصيلة تسمى بوابة أور الموصلة Wired

OR gate. هذه البوابة سيكون خرجها الكلى صفر طالما أن أى واحد من المخارج الموصلة يساوى صفر، وستكون واحد فقط عندما تكون كل هذه المخارج تساوى وحايد. شكل (١١- ١٦) يبين المخطط الزمنى على المخارج الثلاثة الأولى f0 و f0/2 و f0/4 حيث نلاحظ أن الخرج الكلى أصبح صفرا لمدة ٧ نبضات من نبضات المذبذب. لاحظ أن مجموع قواسم هذه المخارج الثلاثة يساوى ١+٢+٤=٧، والخرج الكلى الناتج كان صفر لمدة ٧ نبضات وواحد لمدة نبضة واحدة ثم يبدأ فى التكرار كما فى شكل (١١- ١٦). بالمثل لو وصلنا الأطراف ١ و ٢ و ٣ و ٤ فإننا سنحصل على موجة تكون صفر لمدة ١٥ نبضة وواحد لمدة نبضة واحدة وهكذا. عند توصيل أطراف غير متتالية مثل الطرف ١ والطرف ٥ مثلا فإننا سنحصل فى خرجهما على نموزج مختلف للموجة الناتجة كما فى شكل (١١- ١٧). من ذلك نرى أنه يمكن الحصول على ٢٥٦ نموزجا مختلفا لموجة الخرج عن طريق التوصيلات المختلفة بين أطراف الخرج.



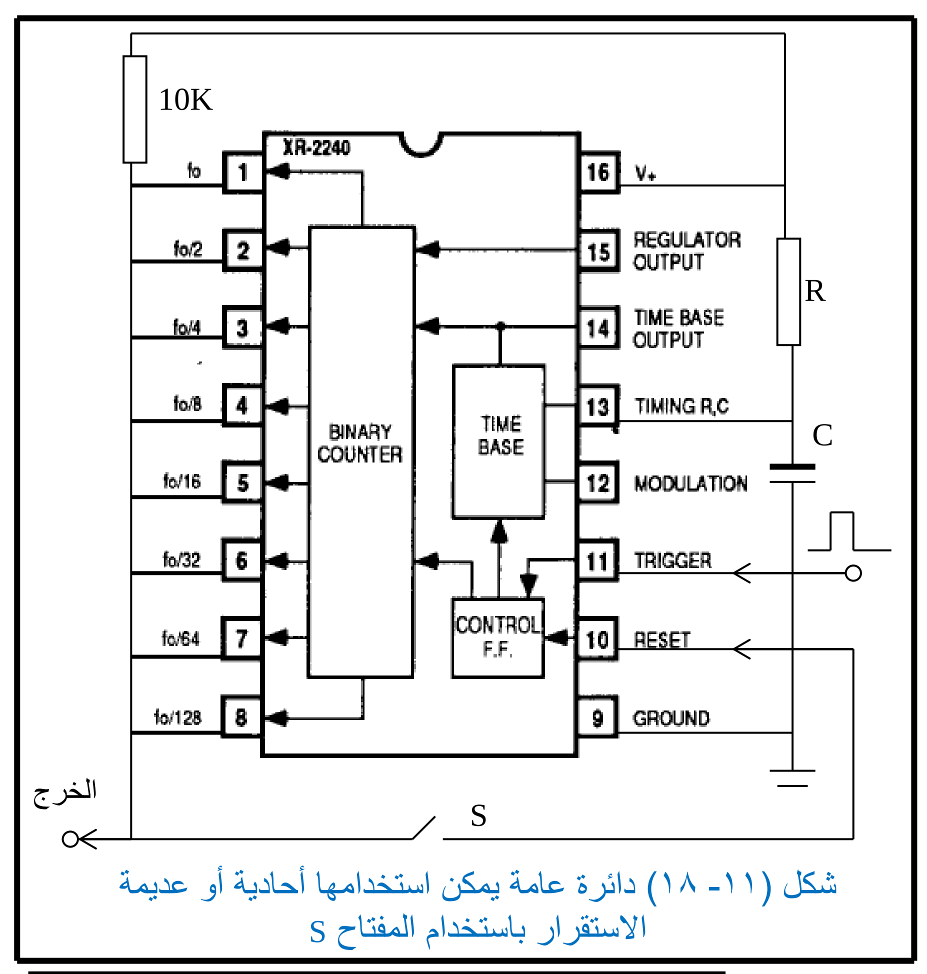
شكل (١١- ١٧) الإشارة الناتجة من توصيل المخرجين ١ و ٣ للشريحة XR2240

كما رأينا فإن كل هذه التوصيلات من النوع عديم الاستقرار الذى نحصل منه على موجة بنموزج خرج متكرر طوال الوقت إلى مالانهاية. يمكن التشغيل فى الطريقة أحادية الاستقرار عن طريق أخذ أى خرج من المخارج وتوصيله على الطرف ١٠ للحصول على إعادة الوضع (Reset) أو التصفير. عند أى حافة صاعدة على هذا الطرف يتم تصفير جميع مخارج العداد ليبدأ عملية العد من جديد. شكل (١١- ١٨) يبين توصيل هذه الشريحة لتعمل فى الطريقة أحادية الاستقرار التى تعطى نبضة مقدارها واحد لمدة نبضة واحدة بعد ٢٥٥ نبضة من بدء نبضة الإطلاق على الطرف ١١ وذلك عند قفل المفتاح S .

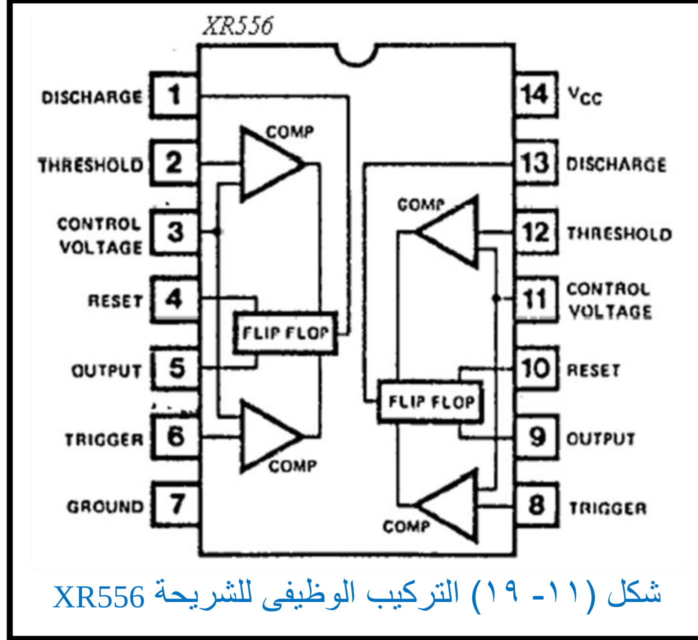
١١-١٠ الشريحة XR 556

هذه الشريحة تحتوى على مؤقتين كل منهما متطابق تماما من حيث طريقة التشغيل مع المؤقت الموجود فى الشريحة 555. شكل (١١- ١٩) يبين محتويات الشريحة 556 حيث نلاحظ وجود المؤقتين والأطراف الخاصة بكل منهم حيث نرى أن كل مؤقت لا يعتمد على المؤقت الآخر، بمعنى أن كل منهم له الأطراف الخاصة به فقط وليس هناك أى أطراف عامة للمؤقتين سوى طرف القدرة Vcc الذى يتراوح من ٥ إلى ١٨ فولت، وطرف الأرضى. كل من المؤقتين يمكن تشغيلة

فى الطريقة أحادية الاستقرار والطريقة عديمة الاستقرار عن طريق توصيل مقاومة ومكثف فى الحالة أحادية الاستقرار، ومقاومتين ومكثف فى الحالة عديمة الاستقرار. كل مؤقت يمكنه أن يدفع أو يبتلع تيار مقداره ١٥٠ ميللى أمبير.



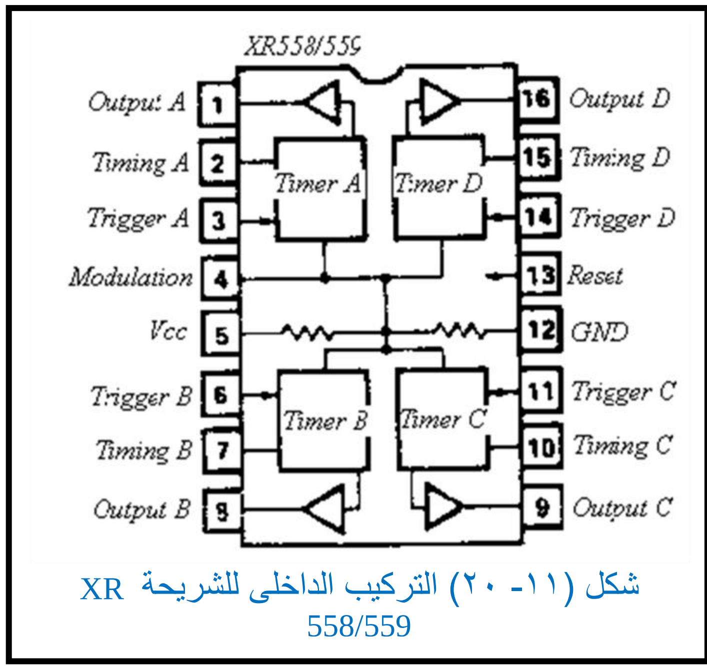
شكل (١١ -١٨) دائرة عامة يمكن استخدامها أحادية أو عديمة الاستقرار باستخدام المفتاح S



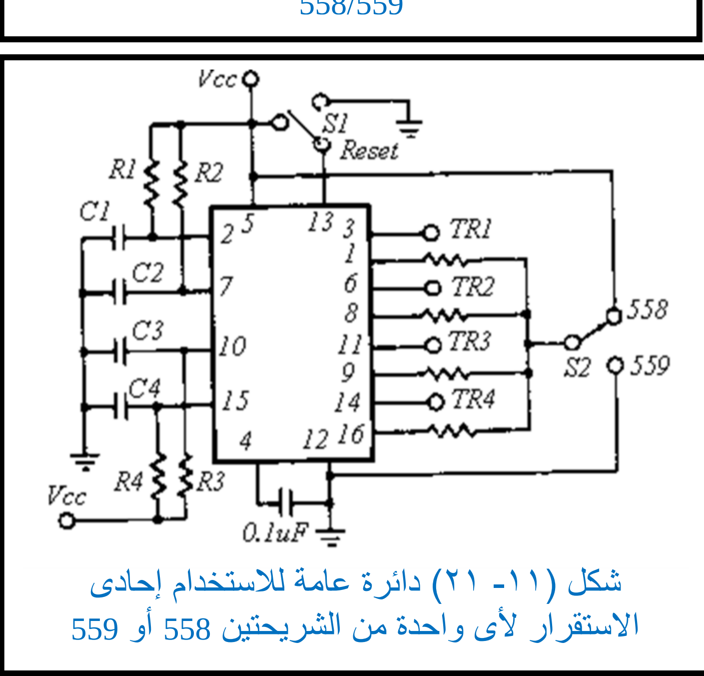
شكل (١١ -١٩) التركيب الوظيفى للشريحة XR556

١١-١١ الشريحتان XR 558/559

تحتوى هذه الشريحة على أربعة مؤقتات لا يعتمد أى واحد فيها على الآخر سوى فى طرف إعادة الوضع Reset فهو مشترك للأربعة مؤقتات كما فى شكل (١١- ٢٠) الذى يبين التركيب الداخلى لهذه الشريحة. يمكن تشغيل أى واحد من هذه المؤقتات فى الطريقة أحادية الاستقرار عن طريق مقاومة ومكثف توصل من الخارج كما فى الشريحة 555 تماما. لا يمكن تشغيل أى واحد من هذه المؤقتات فى الطريقة عديمة الاستقرار وحده نتيجة غياب طرف التشبع Discharge كما فى الشريحة 555 والشريحة 556. للتشغيل بالطريقة عديمة الاستقرار يمكن استخدام مؤقتين حيث يستخدم خرج الأول كنبضة إثارة Trigger للثانى، وخرج الثانى كنبضة إثارة للأول كما فى شكل (١١- ٢٢). خرج كل المؤقتات الموجودة فى الشريحة 558 مأخوذ من خلال ترانزستور بمجمع مفتوح open collector. لذلك عند التعامل مع هذه المؤقتات لابد من توصيل الخرج بجهد القدرة Vcc من خلال مقاومة حوالى ٤٫٧ كيلوأوم. فى هذه الحالة سيكون الخرج مستقرا على الصفر إلا عند الإثارة فإن الخرج يتغير إلى Vcc للفترة الزمنية المحددة التى تحدد بالمقاومة والمكثف. فى هذه الحالة يمكن للشريحة أن تبتلع حتى ١٠٠ ميللى أمبير. الشريحة 559 هى نفسها تماما الشريحة 558 سوى أن الخرج فى هذه الحالة مأخوذ من خلال باعث مفتوح open emitter وليس مجمع مفتوح كما فى حالة الشريحة 558. لذلك فإنه عند التعامل مع مؤقتات الشريحة 559 فلابد من توصيل الخرج على الأرضى من خلال مقاومة ٤٫٧ كيلوأوم. الشريحة يمكنها أيضا أن تبتلع حتى ١٠٠ ميللى أمبير. فى هذه الحالة أيضا سيكون الخرج صفر إلا عند إثارة الشريحة فإن الخرج يرتفع إلى Vcc. جهد القدرة للشريحتان يتراوح من ٥ إلى ١٨ فولت. شكل (١١- ٢١) يبين دائرة عامة لتوصيل إما الشريحة 558 أو الشريحة 559 لتعمل فى الطريقة أحادية الاستقرار . أطراف الإثارة Trigger فى كل

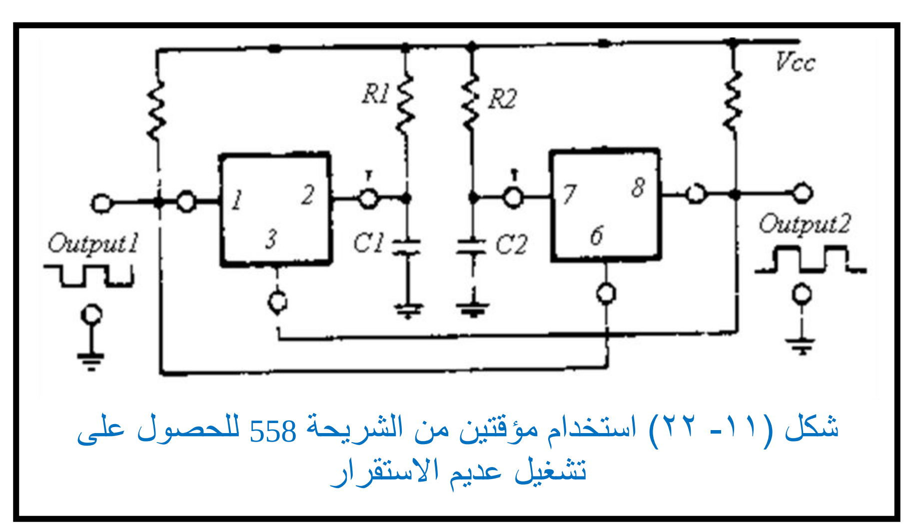


شكل (١١- ٢٠) التركيب الداخلى للشريحة XR 558/559

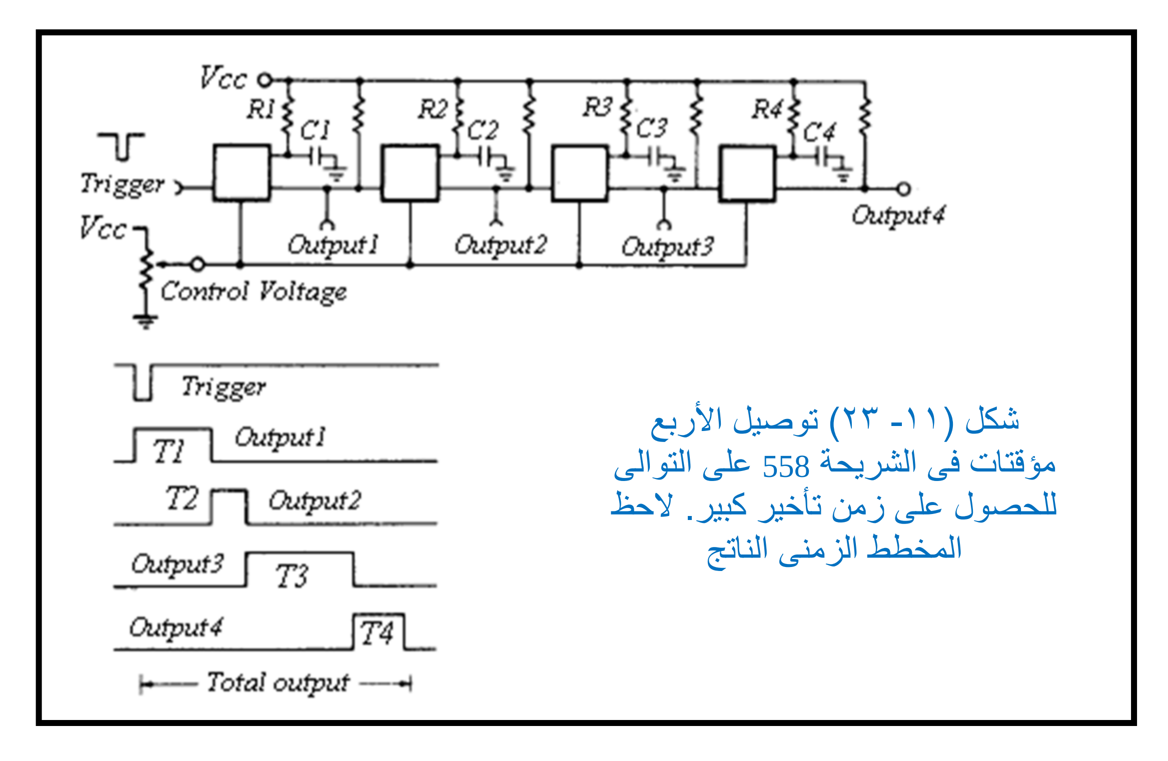


شكل (١١- ٢١) دائرة عامة للاستخدام إحادى الاستقرار لأى واحدة من الشريحتين 558 أو 559

من الشريحتين حساس للحافة النازلة للإشارة على هذه الأطراف . لذلك يمكن توصيل أكثر من مؤقت تتابعيا مباشرة ودون أى دوائر ربط للحصول على أزمنة تأخير كبيرة كما فى شكل (١١- ٢٣) الذى يبين الأربع مؤقتات وقد تم توصيلها كلها على التتابع وبأزمنة تأخير مختلفة لكل منها حيث سيكون زمن التأخير الكلى هو مجموع هذه الأزمنة . عند وجود حافة نازلة على طرف إعادة الوضع Reset وهو الطرف ١٣ فإن خرج جميع المؤقتات يرجع إلى الصفر. الطرف ٤ وهو طرف جهد التحكم Control voltage يعتبر طرف عام للأربعة مؤقتات كلها حيث يمكن من خلاله الحصول على تعديل لنبضات الخرج Pulse width modulation حيث يتغير زمن النبضة تبعا لتغير جهد هذا الطرف. فى الوضع العادى يوصل هذا الطرف على الأرضى من خلال مكثف كما فى شكل (١١- ٢١).



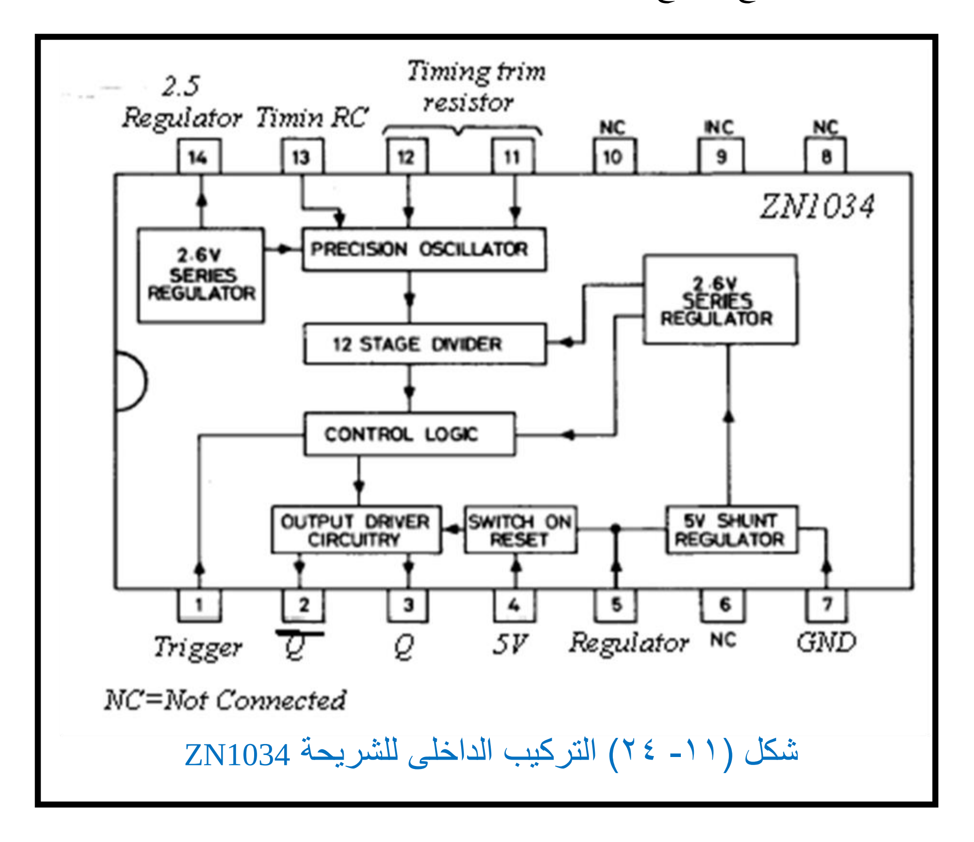
شكل (١١- ٢٢) استخدام مؤقتين من الشريحة 558 للحصول على تشغيل عديم الاستقرار



شكل (١١- ٢٣) توصيل الأربع مؤقتات فى الشريحة 558 على التوالى للحصول على زمن تأخير كبير. لاحظ المخطط الزمنى الناتج

١١-١٢ الشريحة ZN1034

هذه الشريحة عبارة عن مؤقت بعداد بنفس فكرة الشريحة XR2240 ولكنها غير قابلة للبرمجة كما سنرى. شكل (١١-٢٤) يبين التركيب الداخلى لهذه الشريحة. إنها تتكون من مذبذب يمكن التحكم فى تردده عن طريق مقاومة خارجية بين الطرف ١٤ والطرف ١٣ ومكثف بين الطرف ١٣ والأرضى. تحتوى الشريحة أيضا على عداد ثنائى مكون من ١٢ مرحلة، أى أنه يعد من صفر حتى ٤٠٩٥، أى ٤٠٩٦ نبضة وهى القيمة 2^{12}. عند إعطاء نبضة البدأ Trigger على الطرف ١ يبدأ العداد فى عد النبضات المولدة عن طريق المذبذب والموصلة داخليا كدخل له. عندما يصل العداد إلى أقصى قيمة له، أى بعد ٤٠٩٦ نبضة فإن الشريحة يرتفع جهد خرجها Q على الطرف ٣ إلى القيمة Vcc وينخفض جهد الخرج $\overline{Q}$ على الطرف ٢ إلى الأرضى. أى أن الطرفان ٢ و ٣ عبارة عن خرجان للشريحة كل منهما عكس الآخر. كل من الخرجين يمكنه أن يدفع أو يبتلع تيار حتى ٢٥ ميللى أمبير.



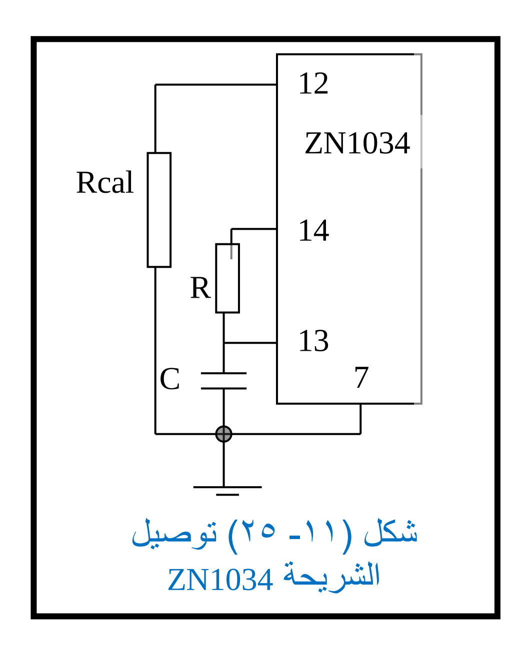
شكل (١١- ٢٤) التركيب الداخلى للشريحة ZN1034

زمن التأخير الناتج يعطى بالمعادلة التالية:

T=K4095RC

حيث R مقاومة توصل بين الطرف ١٤ والطرف ١٣، و C مكثف يوصل بين الطرف ١٣ والأرضى. أما K فهو ثابت يستخدم للتحكم فى دقة زمن التأخير. هذا الثابت تحدد قيمته تبعا لمقاومة (توضع فى العادة متغيرة) خارجيا بين الطرفين ١٢ والأرضى كما فى شكل (١١- ٢٥). يمكن استخدام مقاومة داخلية من داخل الشريحة لهذا الغرض عن طريق التوصيل المباشر بين الطرفين ١١ و ١٢ بسلكة ، short circuit، فى هذه الحالة يكون الثابت K يساوى 0.668. فى المعادلة السابقة يتم التعويض عن R بالأوم وعن C بالفاراد فيكون الزمن الناتج بالثانية. جدول ١١-١ يبين زمن التأخير الناتج مع استعمال قيم مختلفة لمقاومة ومكثف التوقيت، وعند استعمال مقاومة خارجية Rcal مرة تساوى ١٠٠ كيلوأوم

ومرة تساوى ٣٠٠ كيلوأوم. لاحظ كيف أن زمن التأخير الناتج يتغير من ١ ثانية (ويمكن النزول لقيم أقل) إلى ٢٫٧ أسبوع (ويمكن الارتفاع إلى قيم أعلى من ذلك). جهد القدرة كما رأينا لهذه الشريحة هو ٥ فولت. يمكن تشغيل هذه الشريحة فى الطريقة عديمة الاستقرار عن طريق توصيل الخرج من الطرف ٣ إلى الطرف ١ من خلال مقاومة ١٠ كيلوأوم كما فى شكل (١١- ٢٦). المكثف الموجود على الطرف ١ للتنعيم فقط.



شكل (١١- ٢٥) توصيل الشريحة ZN1034

شكل (١١- ٢٦) تشغيل الشريحة ZN1034 بالطريقة عديمة الاستقرار

C	R	Rcal= 100KΩ	Rcal= 300KΩ
0.01uF	39K	1sec	2.9sec
0.1uF	220K	1min	2.7min
1uF	100K	5min	12.5min
1uF	1.2M	1Hr	2.5Hrs
10uF	3.3M	1day	2.7days
100uF	2.2M	1week	2.7weeks

جدول ١١-٢ زمن التأخير الناتج من الشريحة ZN1034 عند قيم مختلفة لمقاومة ومكثف التوقيت ومقاومة ضبط الثابت K

١١-١٣ تمارين

١- فى الدائرة الموضحة فى شكل (١١- ٥):

- ما هو تأثير تغيير قيمة المقاومة ٤٧ كيلوأوم.
- ما هو تأثير تغيير قيمة المقاومة المتغيرة (أو فرق الجهد V).
- ما هو تأثير تغيير قيمة المكثف C.
- ما هى قيمة R و C للحصول على زمن تأخير مقداره دقيقة واحدة.

٢- إرسم رسم صندوقى يوضح تركيب الشريحة 555 واشرح كيفية تشغيلها فى الطريقة أحادية الاستقرار.

٣- كرر السؤال الثانى مع شرح الطريقة عديمة الاستقرار.

٤- إشرح طريقة استنتاج المعادلة (١١- ١٢).

٥- احسب قيم كل من R و C للحصول على أزمنة التأخير التالية باستخدام الشريحة 555فى الطريقة أحادية الاستقرار: ١٠ ثوان، ٥ دقائق، نصف ساعة ، ١٢ ساعة.

٦- احسب قيم كل من R و C للحصول على الموجات المربعة ذات الترددات التالية باستخدام الشريحة 555 فى الطريقة عديمة الاستقرار : ١٠٠ هرتز، ٥٠٠ هرتز، ١٠٠٠ هرتز، ٥ كيلوهرتز. إجعل نسبة زمن الواحد للصفر تساوى ١ إلى ٣.

٧- مطلوب عمل دائرة توقيت لفرن ميكرويف يتم ضبطه الساعة ٨ صباحا (بدأ التشغيل) ليفتح فى تمام الساعة ٢ (بعد ٦ ساعات) لمدة ١٠ دقائق ثم يطفىء. ارسم الدائرة اللازمة واحسب قيم جميع المقاومات والمكثفات المستخدمة.

٨- أعد السؤال ٥ مستخدما الشريحة ٢٢٤٠.

٩- أعد السؤال ٦ مستخدما الشريحة ٢٢٤٠.

١٠- أعد السؤال ٧ مستخدما الشريحة ٢٢٤٠.

١١- صمم دائرة توقيت توقد مصباح فى الشقة أبتداء من الساعة ٨ مساء حتى الساعة ٦ صباحا ثم تطفىء المصباح من ٦ صباحا حتى ٨ مساء وهكذا إلى مالانهاية وذلك لإيهام أى حرامى أن هناك أشخاص داخل الشقة.

١٢- صمم دائرة توقيت يظل خرجها صفر لمدة ٣ سنوات، وبعدها يقلب إلى الواحد لمدة ساعة ويعود للصفر. (أحادى الاستقرار).

١٣- ارسم شكل الإشارة الناتجة من الشريحة ٢٢٤٠ فى حالة أخذ الخرج من المخارج التالية:

- ١ ، ٣ ، ٧
- ١ ، ٥ ، ٨
- ١ ، ٢ ، ٣ ، ٦
- جميع المخارج الثمانية.

الفصل الثانى عشر

١٢

البوابات ثلاثية المنطق

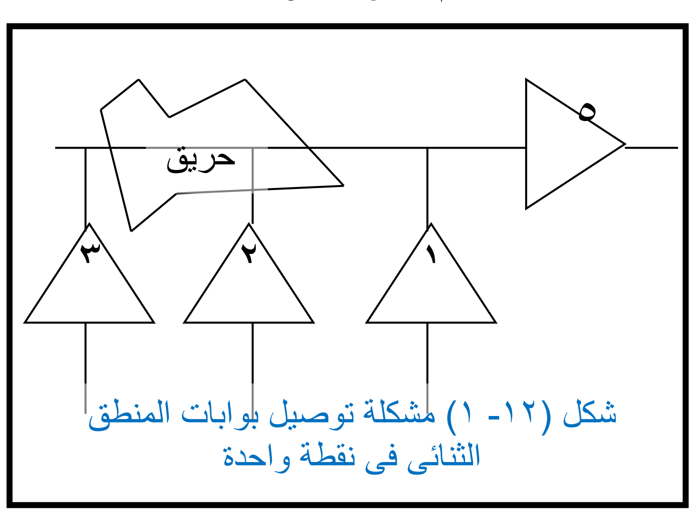
Tristate Logic Gates

١٢- ١ مقدمة

هناك بعض المواضيع البسيطة وكثيرة الاستخدام فى أى دائرة أو مشروع إلكترونى لم نتمكن من وضعها فى أى واحد من الفصول السابقة ورأينا أن نضعها فى هذا الفصل. من هذه المواضيع بوابات المنطق الثلاثى tristate logic التى يكثر استخدامها بالذات مع دوائر التقابل مع المعالجات أو الحاسبات.

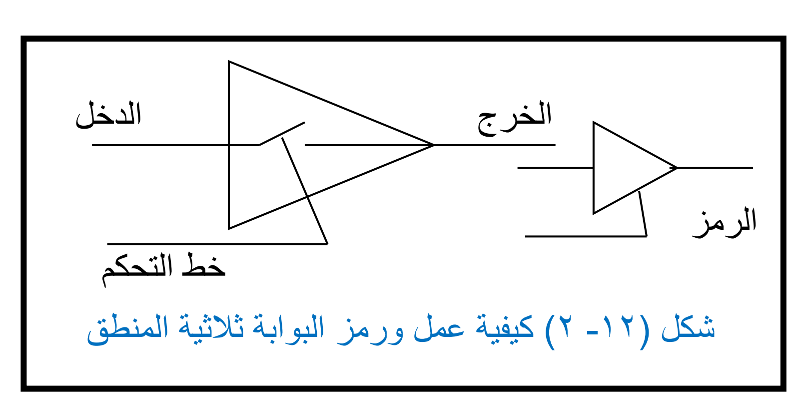
١٢-٢ ما هو المنطق الثلاثى، ولماذا ؟

فى مواضع كثيرة تكون مضطرا لتغذية دائرة معينة من أكثر من دائرة، وبالتتابع. مثلا فى شكل (١٢- ١) نريد إدخال خرج البوابة ١ على البوابة ٥، ثم نفصل خرج البوابة ١ ونوصل خرج البوابة ٢، ثم نفصل خرج ٢، ونوصل خرج البوابة ٣، وهكذا. كل مثلث فى شكل (١٢- ١) عبارة عن رمز لدائرة أو نظام منطقى متكامل.



شكل (١٢- ١) مشكلة توصيل بوابات المنطق الثنائى فى نقطة واحدة

بالنظرة الأولى لشكل (١٢- ١) يظن البعض أنه ليس هناك أى مشكلة على الإطلاق، ولكن فى الحقيقة هناك مشكلة كبيرة جدا قد تسبب لحرق أحد مكونات الدائرة أو مصدر القدرة. هذه المشكلة جاءت من استخدام بوابات أو دوائر المنطق الثنائى التى يكون خرجها إما واحد أو صفر. وليس هناك أى خيار ثالث سوى ذلك (الواحد أو الصفر). افترض أن أحد هذه البوابات ولتكن البوابة ١ كان خرجها يساوى صفر، وبوابة أخرى ولتكن البوابة ٢ كان خرجها واحد. نحن نعلم أن الواحد يناظر ٥ فولت، والصفر هو الأرضى، ومعنى توصيل ٥ فولت على الأرضى هو قصر فى الدائرة Short circuit ينتج عنها ضياع أى عنصر من عناصر الدائرة، فما هو الحل؟

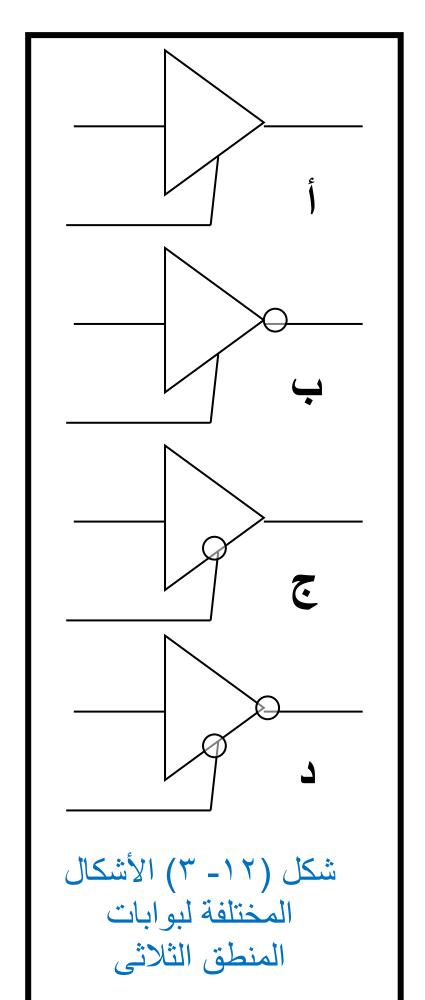


شكل (١٢- ٢) كيفية عمل ورمز البوابة ثلاثية المنطق

البعض يقترح أن نضع مفتاح على مخارج البوابات ١ و ٢ و ٣ بحيث نقفل المفتاح المتصل بالبوابة المراد توصيلها ونفتح كل المفاتيح الأخرى، وبذلك نعزل كل المداخل ما عدا مدخل واحد فقط وهو المدخل المراد توصيله على البوابة ٥. هذا الحل يعتبر حل مثالى وسيجنبنا مخاطر القصر الذى من الممكن أن يحدث، ولكن لا أحد يتصور أن يمسك مجموعة من المفاتيح يقوم بفتحها وغلقها بسرعة كبيرة تصل إلى سرعة الحاسب الذى من الممكن أن يتعامل مع هذه البوابات، وبالتالى فهذا حل غير عملى.

الحل المثالى لهذا الموقف هو استخدام المنطق الثلاثى. شكل (١٢- ٢) يبين أحد بوابات المنطق الثلاثى ورمزها. الجديد هنا هو وجود خط تحكم بحيث عندما ينشط هذا الخط (يساوى واحد) يقفل مفتاح إلكترونى فيصبح خرج البوابة موصلا على دخلها وتسلك البوابة مسلك أى بوابة ثنائية المنطق، بحيث يكون الخرج مطابقا للدخل. أما عندما يكون خط التحكم غير نشط (صفر) يكون المفتاح مفتوح ويصبح الخرج معزولا تماما عن الدخل أو يكون مقاومة عالية high impedance، وهذه هى الحالة الثالثة للبوابة. أى أن البوابة يكون خرجها إما صفر أو واحد على حسب الدخل، أو يكون مقاومة عالية. محتويات البوابة من الداخل بسيطة ولكن لا داعى للدخول فى تفاصيلها هنا. كل ما يهمنا هنا هو الحالة الثالثة (المقاومة العالية) التى يكون خرج الدائرة فيها مفتوحا تماما.

توجد البوابات المنطقية فى السوق فى أكثر من صورة. شكل (١٢- ٣) يبين الصور المختلفة لهذه البوابات. فى شكل (١٢- ٣أ) عندما يكون خط التحكم واحد يكون الخرج مساويا للدخل. فى شكل (١٢- ٣ب) عندما يكون خط التحكم واحد يكون الخرج عكس الدخل. فى شكل (١٢-٣ج) عندما يكون خط التحكم صفر يكون الخرج مساويا للدخل. فى شكل (١٢- ٣د) عندما يكون خط التحكم صفر يكون الخرج عكس الدخل. طبعا فى كل هذه الأحوال عندما يكون خط التحكم غير نشط فإن الخرج يكون مقاومة عالية أى مفتوح.

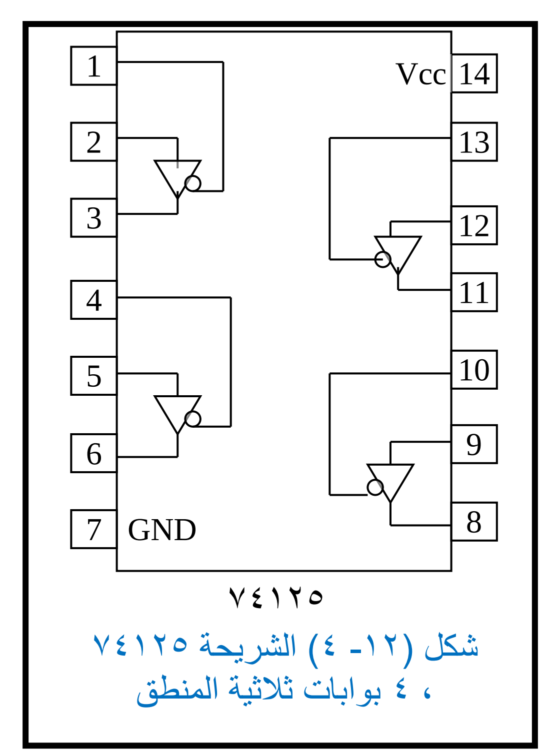


شكل (١٢- ٣) الأشكال المختلفة لبوابات المنطق الثلاثى

توجد فى السوق شرائح متعددة تحتوى كل أنواع هذه البوابات كما سنرى.

١٢-٣ الشريحة ٧٤١٢٥ أربع بوابات ثلاثية المنطق

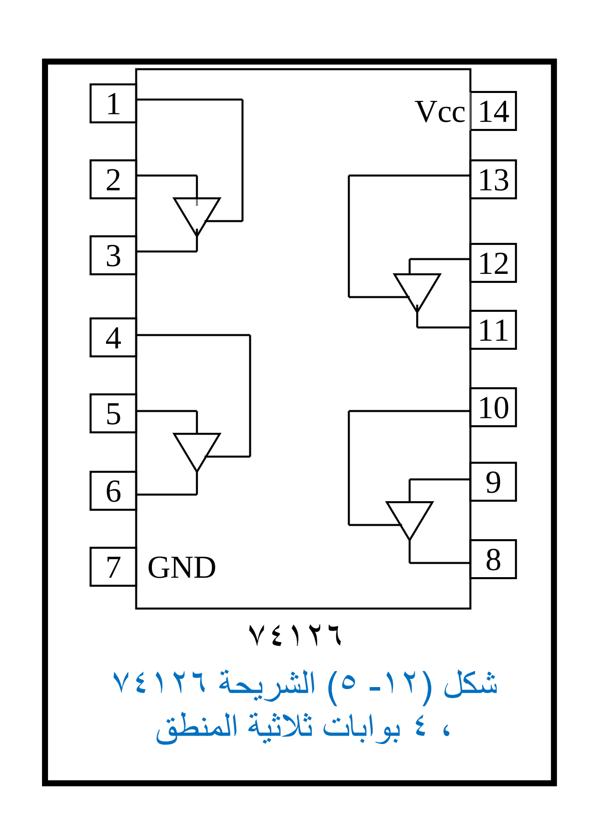
كما نرى فى شكل (١٢- ٤) فإن هذه الشريحة تحتوى ٤ بوابات ثلاثية المنطق. كل خطوط التحكم لهذه البوابات منخفضة الفعالية، أى أنه بوضع أى خط تحكم بصفر فإن خرج هذه البوابة يساوى دخلها. وبوضع خط التحكم بواحد يكون خرج البوابة مقاومة عالية.



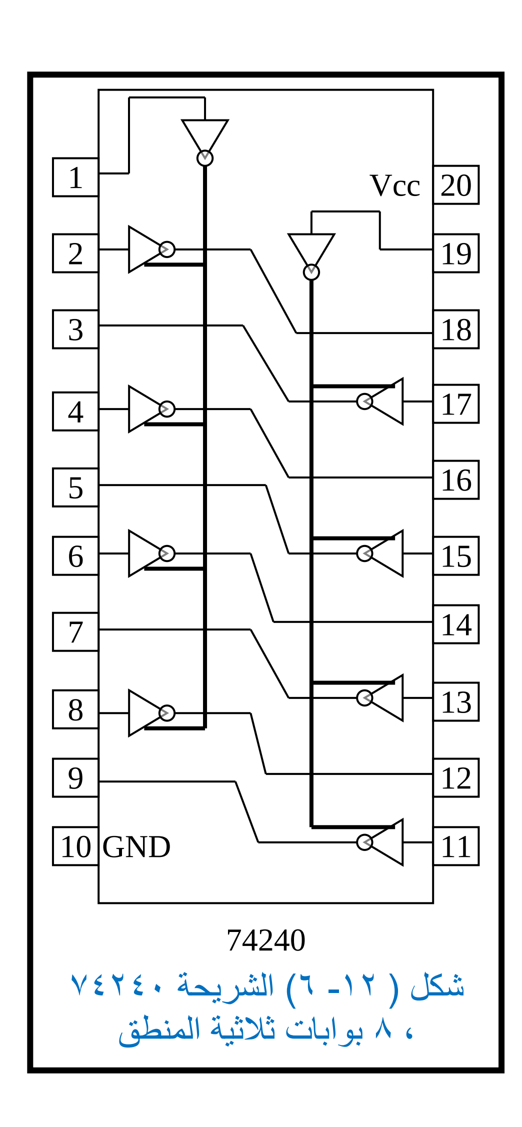
شكل (١٢- ٤) الشريحة ٧٤١٢٥ ، ٤ بوابات ثلاثية المنطق

١٢-٤ الشريحة ٧٤١٢٦ أربع بوابات ثلاثية المنطق

كما نرى فى شكل (١٢- ٥) فإن هذه الشريحة تحتوى ٤ بوابات ثلاثية المنطق أيضا. كل خطوط التحكم لهذه البوابات عالية الفعالية، أى أنه بوضع أى خط تحكم بواحد فإن خرج هذه البوابة يساوى دخلها. وبوضع خط التحكم بصفر يكون خرج البوابة مقاومة عالية.



شكل (١٢- ٥) الشريحة ٧٤١٢٦ ، ٤ بوابات ثلاثية المنطق



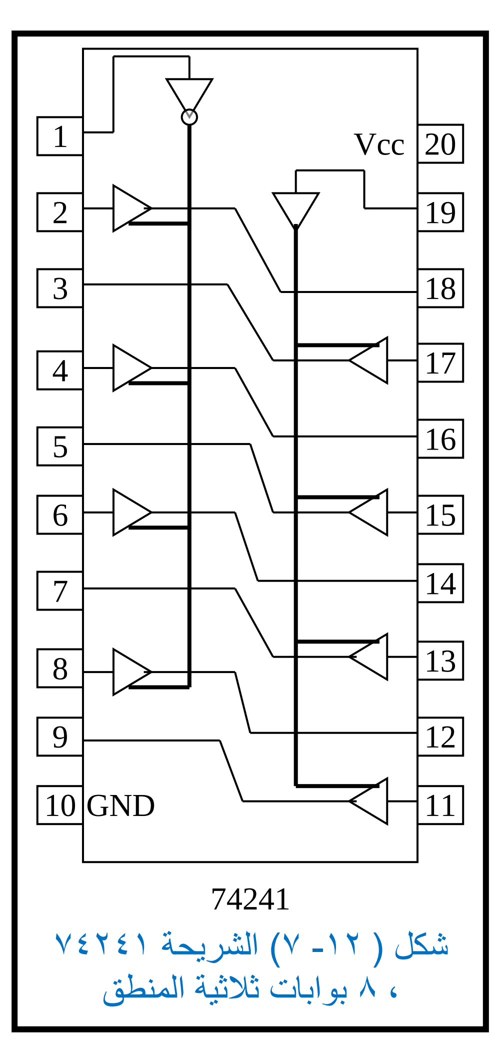
شكل (١٢- ٦) الشريحة ٧٤٢٤٠ ، ٨ بوابات ثلاثية المنطق

١٢-٥ الشريحة ٧٤٢٤٠ ثمانية بوابات ثلاثية المنطق

تحتوى هذه الشريحة على ٨ بوابات ثلاثية المنطق كما فى شكل (١٢- ٦). كل البوابات من النوع العاكس، أى أنه عند تنشيط خط التحكم فإن الخرج لكل بوابة يكون عكس دخلها. نلاحظ كما فى الشكل أن كل ٤ بوابات لها خط التحكم الخاص بها، وخطوط التحكم منخفضة الفعالية كما نرى حيث أنها كلها من خلال عاكس كما هو واضح من خروج إشارة التحكم من الطرف ١ والطرف ١٩ على عاكس، ثم تصل إلى كل البوابات.

١٢-٦ الشريحة ٧٤٢٤١ ثمانية بوابات ثلاثية المنطق

تحتوى هذه الشريحة على ٨ بوابات ثلاثية المنطق كما فى شكل (١٢- ٧). كل البوابات ليست من النوع العاكس وهذا هو الفرق بينها وبين الشريحة ٧٤٢٤٠، أى أنه عند تنشيط خط التحكم فإن الخرج لكل بوابة يكون مثل دخلها. نلاحظ كما فى الشكل أن كل ٤ بوابات لها خط التحكم الخاص بها، وخط التحكم للمجموعة الأولى منخفض الفعالية وللمجموعة الثانية عالى الفعالية كما هو واضح من خروج إشارة التحكم من الطرف ١ والطرف ١٩.



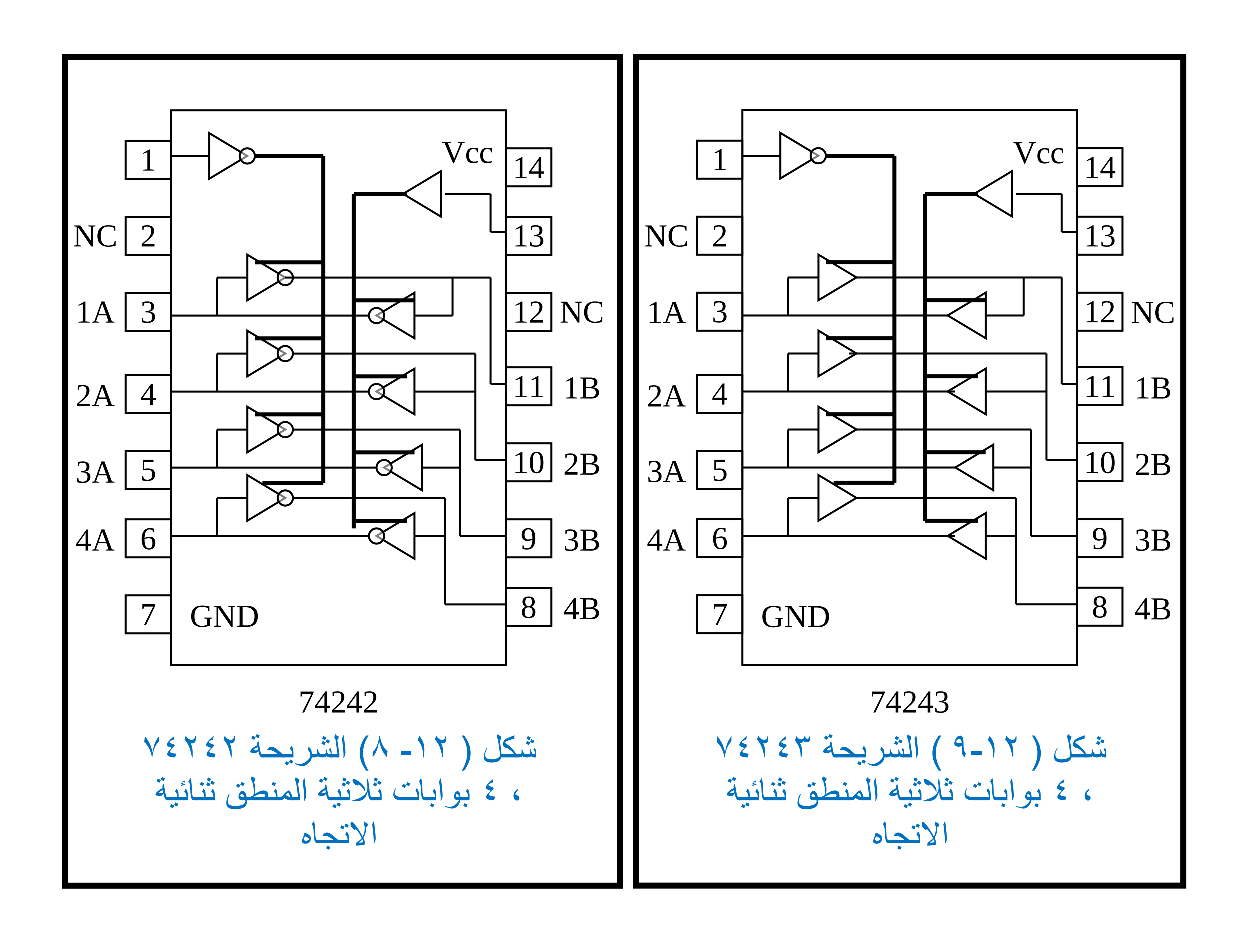
شكل (١٢ -٧) الشريحة ٧٤٢٤١ ، ٨ بوابات ثلاثية المنطق

١٢-٧ الشريحتان ٧٤٢٤٢ و ٧٤٢٤٣ أربع بوابات ثلاثية المنطق ثنائية الاتجاه

الشريحتان ٧٤٢٤٢ و ٧٤٢٤٣ متماثلتان فى العمل تماما. عند تنشيط طرف التحكم (الطرف ١) للمجموعة الأولى بجعله يساوى صفر، تنتقل الإشارات من الأطراف A إلى الأطراف B، حيث فى الشريحة ٧٤٢٤٢ تكون الإشارة B عكس الإشارة A، بينما فى الشريحة ٧٤٢٤٣ فإن الإشارة B تساوى الإشارة A. عند تنشيط طرف التحكم (الطرف ١٣) للمجموعة الثانية بجعله يساوى واحد، تنتقل الإشارات من الأطراف B إلى الأطراف A، حيث فى الشريحة ٧٤٢٤٢ تكون الإشارة A عكس الإشارة B، بينما فى الشريحة ٧٤٢٤٣ فإن الإشارة A تساوى الإشارة B. أنظر شكل (١٢- ٨) وشكل (١٢- ٩).

١٢-٨ الشريحة ٧٤٢٤٤ ثمانية بوابات ثلاثية المنطق

تحتوى هذه الشريحة على ٨ بوابات ثلاثية المنطق كما فى شكل (١٢- ١٠). كل البوابات ليست من النوع العاكس، أى أنه عند تنشيط خط التحكم فإن الخرج لكل بوابة يساوى دخلها. نلاحظ كما فى الشكل أن كل ٤ بوابات لها خط التحكم الخاص بها، وخطوط التحكم منخفضة الفعالية كما نرى حيث أنها كلها من خلال عاكس كما هو واضح من خروج إشارة التحكم من الطرف ١ والطرف ١٩ على عاكس، ثم تصل إلى كل البوابات.

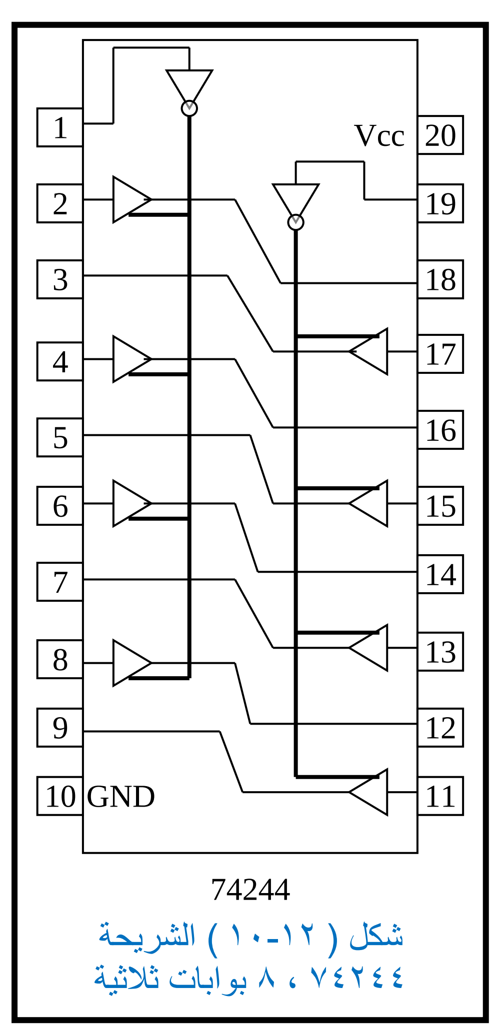


شكل (١٢ -٨) الشريحة ٧٤٢٤٢ ، ٤ بوابات ثلاثية المنطق ثنائية الاتجاه

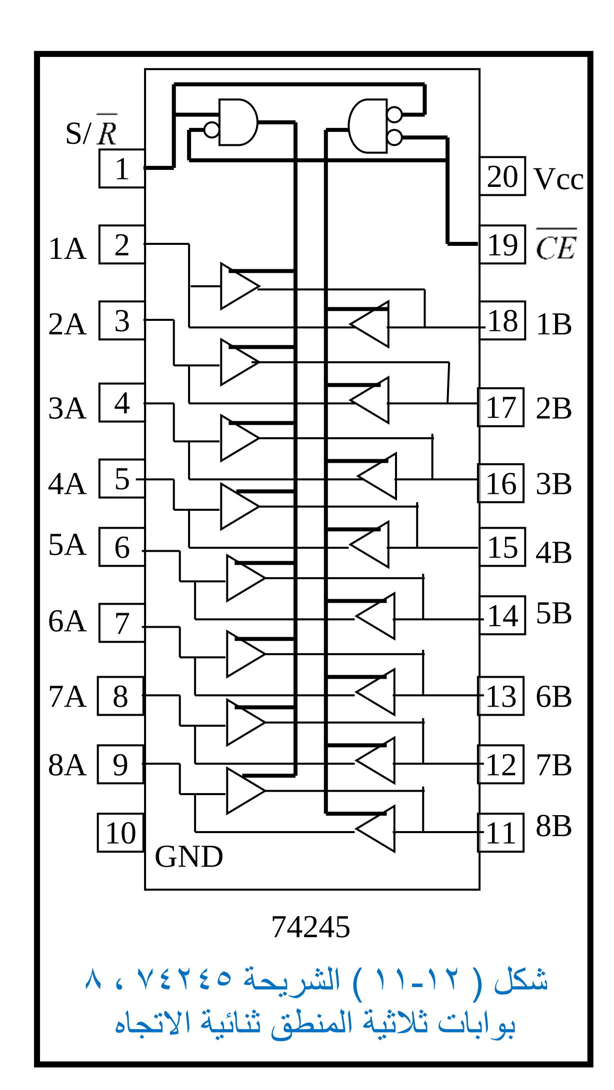
شكل (١٢-٩) الشريحة ٧٤٢٤٣ ، ٤ بوابات ثلاثية المنطق ثنائية الاتجاه

١٢–٩ الشريحة ٧٤٢٤٥ ثمانية بوابات ثلاثية المنطق ثنائية الاتجاه

تحتوى هذه الشريحة كما هو موضح فى شكل (١٢ – ١١) على ثمانية بوابات ثنائية الاتجاه. الشريحة لها خط تنشيط وهو الطرف ١٩ ($\overline{CE}$) الذى حينما يكون غير نشط (١) فإن الشريحة لا تعمل على الإطلاق ويكون كلا الاتجاهين فى الشريحة عبارة عن مقاومة عالية. عند تنشيط الطرف ١٩ ووضع واحد على الطرف ١ فإن الإشارة تمر فى الاتجاه من A إلى B. وعند تنشيط الطرف ١٩ ووضع الطرف ١ يساوى صفر، فإن الإشارة تنتقل من B إلى A. كما نلاحظ فإن الطرف ١٩ يعتبر طرف تنشيط للشريحة ككل، بينما الطرف ١ يعتبر خط تحكم فى الاتجاه $Send/\overline{Receive}$ أى إرسال أو استقبال. هذه الشريحة مناسبة للتعامل مع مسار البيانات فى المعالجات.



شكل (١٢-١٠) الشريحة ٧٤٢٤٤ ، ٨ بوابات ثلاثية



شكل (١٢-١١) الشريحة ٧٤٢٤٥ ، ٨ بوابات ثلاثية المنطق ثنائية الاتجاه

القاموس
Dictionary

وهناك نظام العد الثنائى الذى له رقمان، صفر وواحد.

Binary Coded Decimal, BCD

عشرى مكود ثنائيا، وضع الأرقام العشرية من صفر حتى تسعة فى صورة أكواد ثنائية من أربع خانات.

Bipolar

ثنائى القطبية. Bipolar transistor ترانزستور مصنع بتكنولوجيا القطبية الثنائية والتى تعنى التعامل مع حوامل شحنات سالبة وموجبة فى نفس الترانزستور.

Bistable

ثنائى الاستقرار، دائرة لها حالتين من حالات الاستقرار.

Bit

الخانة فى نظام العد الثنائى التى تكون واحد أو صفر.

Boolean algebra

الجبر البولينى، نسبة إلى عالم انجليزى، وهو عبارة عن مجموعة قوانين جبرية خاصة بالتعامل مع المتغيرات المنطقية.

Borrow

استلاف من خانة تالية إلى الخانة الحالية فى أثناء عمليات الطرح فى كل نظم العد.

Bounce

إهتزاز. عند غلق أو فتح مفتاح ميكانيكى فإنه يحدث اهتزازات ميكانيكية غير مرغوب فيها، وهذه الاهتزازات تحدث ضوضاء كهربية فى صورة نبضات تؤثر على أداء الدوائر المنطقية.

Buffer

عازل أو فاصل. دائرة تستخدم لفصل الحمل عن الدائرة المغذية له، وبذلك لا يؤثر الحمل العالى على أداء الدائرة المغذية. وقد يكون عازل رقمى أو تماثلى.

Bus

مسار، مجموعة من خطوط الاتصال بين عناصر نظام إلكترونى معين. مثلا مسار العناوين يحمل إشارة العناوين بين شريحة المعالج وشريحة ذاكرة. ومسار البيانات الذى يحمل إشارة البيانات بين المعالج والذاكرة.

Byte

ثمانى بتات.

C

Capacitor

مكثف الشحنات، capacitance هى السعة الكهربية.

A

Access time

زمن الاتصال، بشريحة ذاكرة. وهو الزمن من لحظة وضع إشارة عنوان معين إلى لحظة استلام الخرج على خطوط البيانات من هذه الشريحة.

Adder

مجمع، يجمع رقمان. منه المجمع الرقمى الذى يجمع رقمين ثنائيين، والمجمع الانسيابى أو التماثلى الذى يجمع إشارتين انسيابيتين مثل مكبر العمليات.

Address

عنوان. إشارة أو رقم ثنائى يحدد عنوان بايت معينة فى نظام ذاكرة معين. عدد بتات هذا العنوان يحدد كمية الذاكرة التى يمكن التعامل معها فى هذا النظام.

Amplitude

مقدار، وتطلق على مقدار الإشارة. وهو أحد السمات المهمة التى تعرف بها أى إشارة.

Analog

انسيابى، أو تماثلى، أو مستمر، أو غير متقطع مثل تغير درجة الحرارة على مدار اليوم التى يمكنها أن تأخذ مالانهاية من القيم بين قيمتيها الصغرى والعظمى.

AND gate

بوابة الآند AND، أو بوابة "و"، أو بوابة الضرب المنطقى. خرجها يساوى واحد فى حالة واحدة فقط وهى عندما تكون كل دخولها تساوى وحايد.

Astable

عديم الاستقرار، أو عديم الثبات، خرج يتردد باستمرار بين الواحد والصفر ولا يستقر على أى حالة منهما.

Asynchronous

غير توافقى، لا يتغير بالتوافق مع نبضات تزامن معينة. يمكن تصنيف الدوائر الرقمية إلى توافقية وهى التى يتغير خرجها بالتوافق مع نبضات تزامن، وغير توافقية وهى التى لا تحتاج لنبضات تزامن تتوافق معها.

B

Bidirectional

ثنائى الاتجاه. مثلا مسجل إزاحة ثنائى الاتجاه يمكن إزاحة بياناته من اليمين لليسار أو العكس. أو مسار البيانات فى المعالجات الذى يكون ثنائى الاتجاه حيث تكون الإشارة عليه خارجة من المعالج أو داخلة إليه.

Binary

ثنائى، Binary signal إشارة ذات مستويين، مستوى عالى (واحد) ومستوى منخفض (صفر).

Carry

الحمل من خانة إلى خانة تالية فى أثناء عمليات الجمع.

Clear

تصفير، طرف غير توافقى يجعل الخرج صفر بدون توافق مع نبضات الساعة.

Clock

نبضات التزامن، أو الإطلاق. نبضات لها شكل معين يتزامن معها عمل نوع مهم من الدوائر المنطقية وهى الدوائر التتابعية أو الدوائر التوافقية.

Code

مجموعة من البتات تمثل شفرة لمعلومة معينة.

Combinational logic circuit

دائرة منطقية توافقية، دائرة مكونة من مجموعة من البوابات المنطقية الموصلة مع بعضها بحيث لا تحتوى على أى عنصر من عناصر الذاكرة مثل القلابات وما يعلوها. خرج هذه الدوائر يكون دالة فى الدخل فقط عند نفس اللحظة، ولا يعتمد على الخرج عند لحظات سابقة ولا تحتاج لنبضات تزامن لكى يتوافق الخرج معها.

Commutative law

فى بعض العمليات الحسابية والمنطقية لا يهم الطريقة التى ترتب بها المتغيرات . $x+y=y+x$.

Comparator

مقارن، دائرة لمقارنة رقمين وتقرر إذا كانا متساويين أم أن أحدهما أكبر من الآخر، ويوجد المقارن الرقمى، والمقارن الانسيابى.

Complement

المتمم، المتمم الأحادى ones complement هو معكوس أى رقم ثنائى. المتمم الثنائى twos complement هو معكوس الرقم الثنائى مضافا إليه واحد المتمم لأى رقم فى أى نظام عد هو حاصل طرح هذا الرقم من قاعدة هذا النظام.

Counter

عداد، يعد النبضات الداخلة له وهو العداد الرقمى.

D

Data

بيانات.

D flip flop

قلاب له دخل واحد اسمه D حيث يصبح الخرج هو الدخل D بعد إعطاء نبضة التزامن.

Decade

دائرة تتميز بعشرة حالات. Decade counter عداد عشرى له عشرة حالات.

Decimal

عشرى. نظام العد العشرى الذى له عشرة أرقام من صفر حتى تسعة.

Decoder

محلل شفرة. دائرة رقمية تدخل لها شفرة رقمية فيحولها إلى صورة أخرى فى الخرج. إذا كان عدد بتات شفرة الدخل هو n فإن محلل الشفرة فى هذه الحالة يكون له عدد 2^n من المخارج يتم تنشيط أحدها على حسب شفرة الدخل.

Decrement

ينقص بمقدار واحد.

Demultiplexer

موزع، دائرة رقمية دخلها عبارة عن إشارة واحدة يتم توزيعها على مخارج الدائرة فى تتابع زمنى معين على حسب شفرة على خطوط خاصة لاختيار أحد هذه المخارج.

Digital

رقمى. الإشارة الرقمية هى إشارة مقطعة لها قيم محددة عند أزمنة محددة.

Digit

رقم، يمثل خانة معينة فى أحد أنظمة العد.

Driver

دافع تيار. يستخدم لدفع تيار عالى فى الدوائر التى تحتاج لذلك.

Dynamic RAM, DRAM

ذاكرة اتصال عشوائى ديناميكية. تتميز بسرعة الاتصال ورخص الثمن ولكنها تحتاج لإعادة تسجيل محتوياتها كل ٤ ميللى ثانية وإلا فإنها تفقد هذه المحتويات ووحدة بناؤها هو المكثف.

E

Edge triggered flip flop

قلاب يغير من حالة خرجة عند حافة نبضة التزامن سواء كانت الحافة الصاعدة (صفر إلى واحد) أو الحافة النازلة (واحد إلى صفر).

EEPROM

ذاكرة قراءة فقط يمكن برمجتها ومسحها كهربيا.

EPROM

ذاكرة قراءة فقط يمكن برمجتها بطرق خاصة ومسحها بالتعريض لأشعة فوق بنفسجية عالية الكثافة.

Enable

تنشيط. طرف يستخدم لتنشيط خرج الدائرة المنطقية ثلاثية المنطق بحيث عندما يكون هذا الطرف غير فعال يكون خرج الدائرة عبارة عن مقاومة عالية.

Encoder

مولد الشفرة، دائرة تحول البيانات الداخلة إلى صورة مكودة أو مشفرة. المشفر الرقمى الذى له عدد من خطوط الدخل وعدد من خطوط الخرج، بحيث أنه عند تنشيط أحد خطوط الدخل فإنه يتم إعطاء شفرة لهذا الخط على كل خطوط الخرج.

Exclusive NOR

عملية منطقية على متغيرين تعطى صفرا فى حالة عدم تساوى المتغيرين.

Exclusive OR

عملية منطقية على متغيرين تعطى واحد فى حالة عدم تساوى المتغيرين.

F

Frequency

التردد. عدد مرات التكرار فى الثانية. عدد النبضات فى الثانية. وحداتها هى الهرتز.

Feedback

التغذية المرتدة، وهى جزء من خرج أى دائرة يرجع أو يرتد إلى دخلها.

Flip flop

قلاب أو نطاط. دائرة منطقية ذات خرجين منطقيين كل منهما عكس الآخر. هناك أكثر من نوع منها على حسب الدخل، فهناك النوع JK والنوع D والنوع T وغيرها. هناك طرف تزامن للقلاب لا يتغير الخرج إلا عند إعطاء نبضة على هذا الطرف.

Full Adder, FA

مجمع كامل، دائرة تجمع ٣ بت وتعطى مجموع وحمل للمرحلة التالية.

G

Gate

بوابة، دائرة لها مجموعة من المداخل وخرج واحد. يتم إجراء عملية منطقية تمثل هذه البوابة على المداخل ووضع نتيجة العملية على الخرج. هناك أنواع عديدة من البوابات.

Glitch

نتوء يظهر فى المخطط الزمنى وهو غير مرغوب فيه ومن الممكن أن يسبب مشاكل فى تشغيل بعض الدوائر. انظر العدادات الرقمية مثلا.

H

Half adder

نصف مجمع، يجمع ٢ بت فقط ويعطى مجموع وحمل للمرحلة التالية.

Hexadecimal

ستعشرى. نظام العد الذى قاعدته ١٦ ويحتوى ستة عشر رقما تبدأ بالصفر وتنتهى بالرقم F.

Hold time

زمن المسك، وهو الفترة الزمنية التى يجب أن يظل الدخل فيها مستقرا بعد تطبيق الحافة المؤثرة لنبضة التزامن حتى يتغير الخرج بصورة مستقرة ومحددة.

I

Increment

الزيادة بمقدار واحد.

Integrated Circuit, IC

دائرة تكاملية. وهى نظام إلكترونى متكامل على شريحة واحدة لأداء وظيفة معينة.

Inverter

عاكس، بوابة عكس، خرجها عكس دخلها.

J

JK flip flop

قلاب تم التغلب فيه على الحالة التى يكون فيها الخرج غير محدد. فى هذه الحالة فإن الخرج يعكس حالته.

Johnson counter

عداد جونسون، نوع من العدادات الدوارة يتميز بأن له عدد من الحالات ضعف العداد الدوار العادى.

K

Karnaugh map

طريقة تخطيطية منظمة لتبسيط المعادلات المنطقية إلى أبسط صورة ممكنة.

L

Large Scale Integration, LSI

التكامل عالى المستوى، درجة من التعقيد فى تصنيع الشرائح الإلكترونية حيث تبلغ كثافة الكونات من ١٠٠٠ حتى ١٠٠٠٠ ترانزستور على الشريحة التكاملية الواحدة.

Latch

ماسك، دائرة منطقية ذات خرجين كل منهما عكس الآخر، أنظر flip flop أو القلاب.

Least significant bit, LSB

البت (الخانة) ذات القيمة الصغرى فى أى رقم وهى البت الموجودة فى أقصى يمين الرقم.

Logic

منطقى. المستوى المنطقى فى الإلكترونيات الرقمية هو تمثيل التعبير الغير حقيقى بصفر والتعبير الحقيقى بواحد.

Look ahead
ينظر للأمام، look ahead carry adder المجمع ذو الحمل الأمامى، يتميز بسرعته.

M

Master slave flip flop
قلاب مكون من ماسكين، الأول هو السيد master والثانى هو العبد slave. وهذه أحد طرق الحصول على قلاب حساس لأحد حواف نبضة التزامن.

Medium Scale Integration, MSI
التكامل المتوسط، درجة من التعقيد فى تصنيع الشرائح الإلكترونية حيث تبلغ كثافة المكونات من ١٠٠ حتى ١٠٠٠ ترانزستور على الشريحة الواحدة.

Monostable
أحادى الاستقرار، دائرة يستقر خرجها على حالة واحدة فقط إما الصفر أو الواحد. إذا تغير الخرج فإن ذلك يكون لفترة محددة ثم يرجع تلقائيا لحالة الاستقرار.

Most significant bit, MSB
البت أو الخانة ذات القيمة العظمى وهى البت الموجودة فى أقصى يسار أى رقم ثنائى.

Multiplexer, MUX
منتقى، دائرة إلكترونية تختار واحد من مداخلها وتضعه على الخرج تبعا لتتابع معين.

Multivibrator
مذبذب، دائرة يتذبذب خرجها بين الواحد والصفر ولا تستقر على أى واحدة من هذه الحالات.

N

NAND gate
بوابة ناند NAND، بوابة آند متبوعة بعاكس، يكون خرجها يساوى صفر فى حالة واحدة فقط وهى عندما يكون جميع مداخلها تساوى وحايد.

Nibble
٤ بتات. نصف بايت.

Nonvolatile
غير متطاير، تعبير يطلق على نوع من الذاكرة لا تفقد محتوياتها بانقطاع القدرة مثل ذاكرة القراءة فقط ROM.

NOR gate
بوابة نور NOR، بوابة أور متبوعة بعاكس، يكون خرجها واحد فى حالة واحدة فقط وهى عندما تكون جميع مداخلها أصفارا.

NOT gate
بوابة NOT، بوابة عكس. هى بوابة يكون خرجها عكس دخلها.

O

Octal
ثمانى، نظام العد الثمانى الذى قاعدته ٨.

One shot
أحادى النبضة، أحادى الاستقرار. دائرة عند إثارتها تعطى نبضة واحدة فقط على الخرج.

Open collector
يتم أخذ خرج الدائرة المنطقية من خلال ترانزستور مفتوح المجمع. تستخدم هذه الطريقة مع الدوائر ذات الأحمال العالية.

OR gate
بوابة أور OR، بوابة "أو". بوابة منطقية يكون خرجها صفر فى حالة واحدة فقط وهى عندما تكون كل الدخول أصفارا.

Oscillator
مذبذب، مولد إشارة. دائرة تعطى على خرجها موجة متكررة باستخدم نظام تغذية مرتدة فى تصميمها.

Output
خرج دائرة معينة أو نظام معين.

Overflow
فيضان، يحدث فى عملية الجمع عندما يزداد عدد بتات الناتج عن عدد بتات أى واحد من العددين المجموعين وبالذات مع الأرقام ذات الإشارة حيث يطغى الحمل من الخانة الأخيرة على خانة الإشارة.

P

Parallel
التوازى، ويعنى خروج مجموعة من البيانات على مجموعة من الخطوط فى نفس الوقت.

Potentiometer
مقسم جهد ويكون فى العادة من خلال مقاومة متغيرة.

Power dissipation
الطاقة المهدرة، وهى حاصل ضرب تيار مصدر القدرة فى جهد مصدر القدرة الذى يغذى أى دائرة أو شريحة إلكترونية.

Preset
جعل الخرج يساوى واحد قبل التشغيل بطريقة غير توافقية لا تعتمد على نبضات التزامن.

Priority encoder
مشفر مع الأولوية، مشفر يعطى شفرة الدخل ذو الأولوية الأعلى فى حالة تنشيط أكثر من دخل فى نفس الوقت.

Resistance

مقاومة.

Resistance network

شبكة مقاومات. مجموعة من المقاومات داخل غلاف واحد موصلة مع بعضها بطريقة معينة.

R-S flip flop

قلاب له دخلان R و S محظور فيه أن يكون كل منهما يساوى واحد فى نفس الوقت وإلا فإن خواص القلاب تفقد حيث يكون الخرج فى هذه الحالة غير مرغوب فيه.

S

Sequential circuit

دائرة تتابعية، دائرة منطقية يعتمد خرجها على تتابعات زمنية معينة. تحتوى عناصر ذاكرة. لذلك فالخرج يعتمد على الدخل الحالى والخرج فى لحظات سابقة. تعتمد فى تشغيلها على نبضات تزامن. من أمثلة هذه النظم العدادات ومسجلات الإزاحة.

Serial

تتابعى، تتابع بيانات أو نبضات على نفس الخط فى أزمنة متتابعة.

Set

جعل الخرج يساوى واحد، وضع الخرج فى حالة معينة، عكس reset.

Set up time

زمن الاستقرار، وهو الفترة الزمنية التى يجب أن يظل الدخل فيها مستقرا قبل تطبيق الحافة المؤثرة لنبضة التزامن، وإلا فإن الخرج لا يتغير لقيمة مستقرة.

Shift register

مسجل الإزاحة. دائرة منطقية يمكن تسجيل بيانات بها ثم إجراء إزاحة أو دوران على هذه البيانات.

Sign

الإشارة، وهى إشارة الرقم التى تكون سالبة أو موجبة.

Sign bit

خانة الإشارة . فى العادة تكون البت فى أقصى يسار الرقم. تكون واحد إذا كان الرقم سالب، وصفر إذا كان الرقم موجب.

Small Scale Integration, SSI

التكامل الصغير، درجة من التعقيد فى تصنيع الشرائح الإلكترونية حيث تبلغ كثافة الكونات أقل من ١٠٠ ترانزستور.

Speed Power product

حاصل ضرب السرعة فى الطاقة المهدرة، ويستخدم كمعامل لقياس أداء الشرائح والدوائر الإلكترونية الرقمية.

S-R flip flop

Product Of Sums, POS

مضروب المجاميع، طريقة لعرض التعبيرات المنطقية فى صورة عملية آند AND على كميات كل منها عبارة عن أور OR لمجموعة متغيرات.

Propagation

انتشار، Propagation delay زمن التأخير الناتج عن انتشار الإشارة أو وصول الإشارة من دخل أى دائرة حتى خرجها.

Pulse

نبضة، تغير مفاجىء فى قيمة الجهد أو التيار من مستوى لآخر ثم إلى نفس المستوى مرة أخرى فى زمن صغير.

Pull up resistor

مقاومة توصل بين نقطة معينة ومصدر القدرة لضمان أن جهد هذه النقطة سيكون واحد (عالى) عندما تكون غير نشطة. مثل توصيل مقاومة على أى خرج من خلال المجمع مفتوح.

R

Random Access Memory, RAM

ذاكرة الاتصال العشوائى، يمكن القراءة أو الكتابة فى أى مكان فيها وليس بالضرورة أن يكون بالتتابع. يطلق هذا الاسم بطريق الخطأ على ذاكرة الكتابة والقراءة.

Read

القراءة، عملية استدعاء البيانات من الذاكرة.

Register

مسجل، دائرة إلكترونية رقمية قادرة على تخزين بيانات وإزاحتها.

Reset

تصفير، جعل الخرج يساوى صفر. عودة للوضع الأصلى.

Ring counter

عداد دوار. عبارة عن مسجل إزاحة تم توصيل خرجه من أقصى اليمين كدخل من اليسار ولابد من تسجيل حالة ابتدائية على العداد قبل السماح بدورانها مع نبضات التزامن.

Ripple

تموجى، Ripple carry adder المجمع ذو الحمل التموجى، Ripple counter العداد التموجى.

Rise time

زمن الارتفاع، الزمن اللازم لكى تتغير إشارة من ١٠% إلى ٩٠% من قيمتها .

Reliable

موثوق به، يمكن الاعتماد عليه، reliability هو معامل الثقة.

Remainder

الباقى، من عملية القسمة.

إطلاق، نبضة تعطى لبدء التغيير فى قيمة الخرج لدائرة رقمية تبعا لدخلها.

Tristate logic

المنطق الثلاثى، دائرة منطقية لها الحالتان المنطقيتان المعروفتان لكل الدوائر المنطقية العادية، بالإضافة لحالة ثالثة يكون الخرج فيها مقاومة عالية أو مفتوح.

Truth table

جدول الحقيقة، يبين الخرج عند جميع الاحتمالات الممكنة للدخل فى الدوائر الرقمية.

TTL, Transistor Transistor Logic

أحد تكنولوجيات تصنيع الشرائح الإلكترونية باستخدام الترانزستور ثنائى القطبية. تتميز بأن جهد الواحد المنطقى ٥ فولت والصفر المنطقى هو صفر فولت.

U

Ultra large scale Integration, ULSI

التكامل المتناهى، درجة من التعقيد فى تصنيع الشرائح الإلكترونية حيث تبلغ كثافة المكونات أكثر من مليون ترانزستور على الشريحة الواحدة.

Universal gate

بوابة عامة. بوابات تتميز بأنه يمكن بناء نظام إلكترونى كامل باستخدام هذا النوع من البوابات فقط. مثال ذلك بوابة الناند NAND وبوابة النور NOR.

Universal shift register

مسجل إزاحة عام، بخطوط تحكم معينة يمكن الإزاحة من اليمين لليسار أو العكس، ويمكن إدخال البيانات توازى وإخراجها توالى أو العكس، كما يمكن إجراء عمليات الدوران المختلفة.

Up/down counter

عداد تصاعدى تنازلى، بخط تحكم يمكن جعل العداد يعد تصاعديا أو تنازليا.

V

Very Large Scale Integration, VLSI

التكامل العالى جدا، درجة من التعقيد فى تصنيع الشرائح الإلكترونية حيث تبلغ كثافة المكونات من ١٠٠٠٠٠ حتى مليون ترانزستور على الشريحة الواحدة.

Volatile

متطاير، تعبير يطلق على الذاكرة التى تفقد محتوياتها بانقطاع مصدر القدرة. مثل ذاكرة القراءة والكتابة RAM.

X

XOR gate

قلاب له دخلان R و S محظور فيه أن يكون كل منهما يساوى واحد فى نفس الوقت وإلا فإن خواص القلاب تفقد حيث يكون الخرج فى هذه الحالة غير مرغوب فيه.

Stage

مرحلة، مثلا مرحلة من مراحل عداد أو مسجل إزاحة وتكون عبارة عن قلاب فى هذه الحالة.

Static Memory, SRAM

ذاكرة استاتيكية، وحدة بناؤها هى القلاب ولا تحتاج لإنعاش بياناتها مثل الذاكرة الديناميكية.

Strobe

طرف فى بعض الدوائر المنطقية، عندما يكون نشط يتغير الخرج تبعا لحالة الدخل، وعندما يكون غير نشط فإن الخرج لا يرى الدخل.

Subtractor

طارح، دائرة تقوم بعملية الطرح الثنائى على رقمين مدخلين إليها.

Sum Of Products, SOP

مجموع المضاريب، طريقة لعرض التعبيرات المنطقية فى صورة عملية أور OR على كميات كل منها عبارة عن آند AND لمجموعة متغيرات.

Synchronous

توافقى، أو متزامن، أى يتغير بالتوافق مع نبضات تزامن معينة. من أمثلة ذلك العداد التوافقى.

T

Terminal Count, TC

العدة الطرفية (النهائية)، الحالة النهائية للعداد. مثل الرقم ٩ فى العداد العشرى التصاعدى.

Timer

مؤقت، دائرة توقيت.

Timing diagram

المخطط الزمنى، مخطط يبين العلاقة بين مقدار الإشارة والزمن وبالذات حينما يكون هناك أكثر من إشارة ويتم رسمها كلها مع الزمن فى نفس المخطط حتى تظهر العلاقة بينها.

T flip flop

قلاب له دخل واحد اسمه T حيث ينعكس الخرج مع كل نبضة تزامن إذا كان هذا الدخل واحد. وإذا كان هذا الدخل صفر فلا يتغير الخرج.

Toggle

يعكس، إذا كان الخرج صفر يصبح واحد، وإذا كان واحد يصبح صفر.

Trailing edge

الحافة الثانية لأى نبضة.

Trigger

بوابة إكس أور، تعطى واحد فى حالة اختلاف الدخلين وصفر فى حالة تساويهما.

XNOR gate

بوابة إكس نور، عكس البوابة إكس أور.

W

Word

كلمة، ١٦ بت، أو ٢ بايت. وحدة من وحدات تخزين البيانات الرقمية.

Write

الكتابة، عملية تخزين البيانات فى الذاكرة.